

# 一种节省芯片面积的频率调制器设计方案

黄 捷

(复旦大学电子工程系 上海 200433)

**摘要** 本文采用新结构设计了一种用 ASIC 实现的频率调制器宏单元。用通常的方法设计频率调制器需要使用乘法器实现系数的乘法运算,因而需要很大的芯片面积。通过将 ROM 存储的正弦波形改用对数格式,可将原来所需的乘法运算变换为对数格式数据的加法运算。将对数格式的波形数据变换为正常数据格式也使用了 ROM 查表方法。由于省掉了乘法器,芯片的面积大大缩小。利用 0.5 $\mu\text{m}$  CMOS 工艺设计版图并进行投片,测试结果显示达到了预期的设计要求。

EEACC: 1250, 2570, 6140, 6450F

## 1 引言

频率调制技术(Frequency Modulation)已被广泛应用于音乐合成、语音合成、立体声广播、移动通讯等领域<sup>[1-3]</sup>。最基本的频率调制(FM)系统可用函数表示为:

$$FM(t) = A \sin[\omega_c t + B \sin(\omega_m t + \varphi)] \quad (1)$$

式中  $A$ 、 $B$  为调制系数;  $\omega_c$ 、 $\omega_m$  分别为载波和调制波的角频率;  $\varphi$  为初始相位。该系统结构如图 1 所示。图 1 由两个正弦波发生器串联构成。第一个正弦波发生器称为调制波发生器,

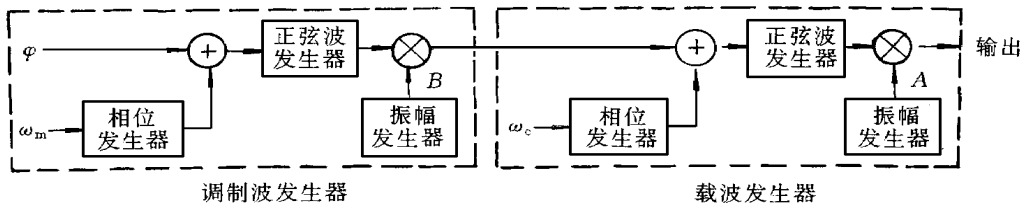


图 1 FM 系统基本结构图

第二个正弦波发生器称为载波发生器。其中的相位发生器产生正弦波的相位数据,振幅发生器产生正弦波的包络数据。由于电路依次产生调制波和载波,并且两个正弦波发生器具有完

全相同的结构,进行电路设计时,只需设计一个正弦波发生器.实现 FM 操作所需的两次运算可共用一个正弦波发生器;也可将电路设计成流水线形式,通过合理的时序安排,使各路频率调制运算在同一个正弦波发生器上分时实现,每两个时钟周期完成一次频率调制运算.根据上述分析,本电路设计的核心,就是设计一个可实现函数  $A \sin(\omega t + \Phi)$  功能的正弦波发生器.

不同的应用系统对于频率调制具有不同的性能要求.本文分析了两个频率调制器设计方案,并给出了在不同时钟频率条件下两个方案芯片面积的比较.

实现图 1 功能的最常用的方法(方案 1)是用 ROM 存储正弦波形  $\sin x$ ,用乘法器实现幅值系数的相乘运算  $A \sin x$ .这是一个通用方法,可以用于实现任何正弦波发生器电路.

用于消费类电子产品的专用集成电路对于价格极为敏感,在进行电路设计时,必须最大限度地减小芯片面积.根据频率调制器的结构特点,又结合其具体的应用场合,本文采用了针对专门的应用场合的一种设计方案(方案 2).通过将 ROM 存储的正弦波形以对数格式存储,波形的幅值数据也同样采用对数的格式,则公式(1)所需要的乘法运算就变换为对数格式数据的加法运算.对运算结果取指数,就可得到正常的的数据格式.取指数运算也可采用 ROM 查表方法以进一步减小芯片面积.此方案的原理框图示于图 2.ROMA 实现正弦查表,ROMB 用于取指数运算.此方案不需要使用乘法器,而只增加了一块 ROM 及少量译码电路进行对数格式向正常 PCM 格式的变换.

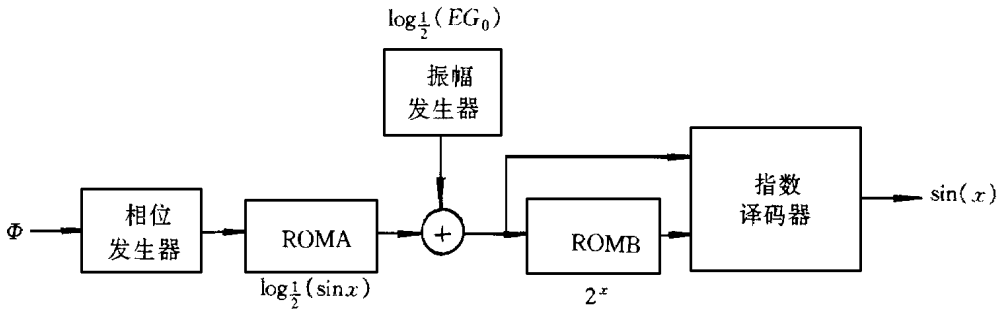


图 2 利用对数加法实现的正弦波发生器原理图

## 2 采用对数格式数据的频率调制器设计

### 2.1 基于 ROM 查表产生正弦波的基本原理

只读存储器 ROM 具有结构简单、存储容量大、不挥发的特点,因而具有广泛的应用<sup>[4,5]</sup>.具有  $K$  位地址( $K$  为常数)的  $[0, \frac{\pi}{2}]$  区间的正弦波形,可用公式表示为:

$$\text{Wave}_I[n] = \sin\left(\frac{\pi}{2} \times \frac{n}{2^K}\right) \quad n = 0 \sim (2^K - 1) \quad (2)$$

对应于  $K + 2$  位地址,  $[\frac{\pi}{2}, 2\pi)$  区间的正弦波形,可用  $[0, \frac{\pi}{2})$  区间的波形表示.  $K + 2$  位地址的最高位和次高位的组合决定了正弦波在直角坐标系中四个象限的范围.  $[0, \frac{\pi}{2})$  区间对应的地址范围为  $[0, 2^K - 1]$ ;  $[\frac{\pi}{2}, \pi)$  区间对应的地址范围为  $[2^K, 2^{K+1} - 1]$ ; 其他区间依此

类推 其数学表达式为:

$$\text{Wave. II, III, IV}[n] = \begin{cases} \text{Wave. I}[2^{K+1} - n] & n = 2^K \sim (2^{K+1} - 1) \\ - \text{Wave. I}[n - 2^{K+1}] & n = 2^{K+1} \sim (2^{K+1} + 2^K - 1) \\ - \text{Wave. I}[2^{K+1} - n] & n = (2^{K+1} + 2^K) \sim (2^{K+2} - 1) \end{cases} \quad (3)$$

由以上分析可以看出,  $[0, \frac{\pi}{2}]$  区间的正弦波形数据已包含了  $[\frac{\pi}{2}, 2\pi]$  区间波形的全部信息, 为了节省芯片面积, 只需存储波形的  $[0, \frac{\pi}{2}]$  区间,  $[\frac{\pi}{2}, 2\pi]$  区间的波形可通过改变 ROM 查表的地址以及 ROM 输出值的符号获得 我们仅需着重讨论对  $[0, \frac{\pi}{2}]$  区间波形数据的处理

将正弦波形以对数格式存储, 即 ROM 中存储的是  $\log_2 \sin x$ . 因为对于  $(0, \frac{\pi}{2})$  区间,  $\sin x$

$(0, 1)$ , 为了使 ROM 中存储的数据为正数, 实际采用  $\log_{1/2} \sin x$ .  $[0, \frac{\pi}{2}]$  区间对数形式的正弦波形可用公式表示为:

$$\text{ROMA}[n] = 2^K \times \log_{1/2} \sin \left[ \frac{\pi}{2} \times \left( \frac{n}{2^K} + \frac{1}{2^{K+1}} \right) \right] \quad n = 0 \sim (2^K - 1) \quad (4)$$

其中  $n$  为  $K$  位 ROM 地址 因为  $\log_{1/2} \sin x$  在  $x = 0$  处的值为无穷大, 在上式的相位数据中增加了半个步长的偏移量  $\frac{\pi}{2^{K+2}}$  项, 使各点数据均有意义

## 2.2 正弦波存储器的电路设计

根据上述原理, 可设计一块 ROM 电路用以存储公式(4)表达的波形 ROM 地址为  $2^K$ , 由公式(4), 取  $n = 0$ ,  $\text{ROMA}[0] = 2^K \times \log_{1/2} \sin \frac{\pi}{2^{K+2}} > 2^K \times \log_{1/2} \frac{\pi}{2^{K+2}} > 2^K \times K$ , 可由此估计此 ROM 所需的字长大于  $K + \log_2 K$ .

随着 ROM 输入地址的字长增大, 存储器的容量增长得很快<sup>[6,7]</sup>. 分割 ROM 输入地址可以大大缩小 ROM 规模

将输入地址  $X$  分为高位地址  $H$  和低位地址  $L$  两部分, 即  $X = H + L$ ,

$$\sin X = \sin \frac{\pi}{2} (H + L) = \sin \frac{\pi}{2} H \cos \frac{\pi}{2} L + \cos \frac{\pi}{2} H \sin \frac{\pi}{2} L \quad (5)$$

若  $2^{H+L} \gg 2L$ , 则  $\cos \frac{\pi}{2} L \approx 1$ ,  $\sin \frac{\pi}{2} L \approx \frac{\pi}{2} L$

$$\sin X = \sin \frac{\pi}{2} H + L \times \frac{\pi}{2} \cos \frac{\pi}{2} H \quad (6)$$

利用 ROM 存储  $\sin \frac{\pi}{2} H$  和  $\frac{\pi}{2} \cos \frac{\pi}{2} H$ , 通过乘加运算计算  $\sin X$ , 可大大减小 ROM 容量 (6) 式仅需存储  $2^{H+1}$  个 ROM 数据, 而  $X$  位地址共有  $2^{H+L}$  个数据, 因此通过分割 ROM 地址可大大减小 ROM 容量 由于本文的主要设计目的是尽量减小芯片面积, 因而不会考虑乘法器等占用较大芯片面积的方法 对(6)式取  $L = 1$ , 从而避免了使用乘法器, 但采用此方法减小 ROM 面积的效果也大大减弱了.

公式(4)又可分别表示为:

$$\text{ROMA}_E[m] = 2^K \times \log_{1/2} \sin \left[ \frac{\pi}{2} \times \left( \frac{2m}{2^K} + \frac{1}{2^{K+1}} \right) \right] \quad m = 0 \sim (2^{K-1} - 1) \quad (7)$$

$$\text{ROMA}_O[m] = 2^K \times \log_{1/2} \sin \left[ \frac{\pi}{2} \times \left( \frac{2m+1}{2^K} + \frac{1}{2^{K+1}} \right) \right] \quad m = 0 \sim (2^{K-1} - 1) \quad (8)$$

$$\text{DIFF}[m] = \text{ROMA}_E[m] - \text{ROMA}_O[m] \quad m = 0 \sim (2^{K-1} - 1) \quad (9)$$

因此,ROMA 可分解为两块  $K-1$  位地址的 ROM, 即  $\text{ROMA}_O$  和  $\text{DIFF}$ ,ROM 波形可以表示为公式(10). 由于  $\text{DIFF}$  中只存储  $\text{ROMA}_O$  与  $\text{ROMA}_E$  的差值, 可以采用较短的字长. 经计算,  $\text{DIFF}$  的字长只需要  $\text{ROMA}_O$  字长的  $1/3$ , 而采用此结构后,ROM 地址却减小了一半, 因此,ROM 面积可以减小  $1/3$ . 但是,ROM 面积的减小的同时却增加了一组加法器, 所节省的芯片面积小于原来的  $1/3$ . 此方法使用于面积较大的 ROM 能够取得较好的效果.

$$\text{ROMA}[n] = \begin{cases} \text{ROMA}_O[\frac{n}{2}] + \text{DIFF}[\frac{n}{2}] & \text{LSB} = 0 \\ \text{ROMA}_O[\frac{n-1}{2}] & \text{LSB} = 1 \end{cases} \quad n = 0 \sim (2^K - 1) \quad (10)$$

最终的 ROM 结构如图 3

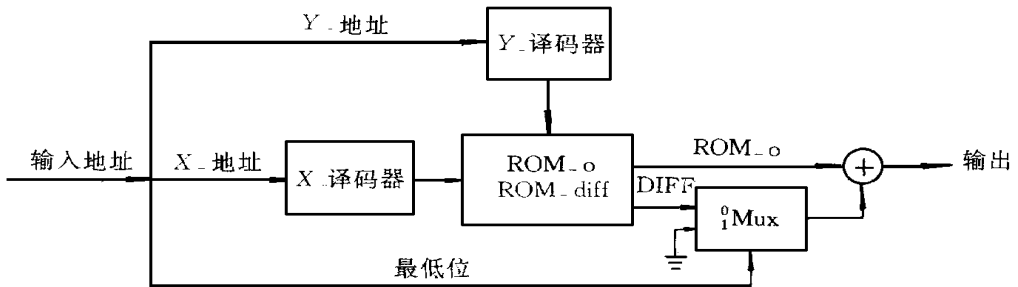


图 3 ROM 结构原理图

ROM 结构设计完成后,用 EDA 软件自动生成 ROM 码点,然后作仿真,确认 ROM 的输出数据同公式(4)的计算值完全一致.

对于  $[0, 2\pi)$  区间的波形,由地址译码器产生  $K$  位 ROM 查表地址.译码器的输入为  $K+2$  位波形地址.波形地址的最高位(MSB)只决定波形数据的符号,实际上不需参与译码.如果 MSB 为“1”,波形位于  $[\pi, 2\pi)$  区间,只需对 ROM 输出数据取补码即可.波形地址的次高位决定了波形在直角坐标系中上半平面的位置.如果次高位为“1”,表明波形位于  $[\frac{\pi}{2}, \pi)$  区间,ROM 的查表地址需对波形地址的低  $K$  位取反码获得.

### 2.3 对数格式的波形数据获取

利用公式(4),已将正弦波形表示成对数形式.公式中  $\log_{1/2} \sin \left[ \frac{\pi}{2} \times \left( \frac{n}{2^K} + \frac{1}{2^{K+1}} \right) \right]$  又可分解为整数部分和小数部分,分别用  $d$  和  $\alpha$  表示.因此,(4)式又可表示为:

$$\text{ROMA}[n] = 2^K \times (d + \alpha) \quad (11)$$

在进行取指数运算时,将对这两部分数据分别进行处理.

波形的幅值数据  $EG$  也需表示成对数形式,即

$$EG = 2^K \times \log_{1/2} EG_0 \quad (12)$$

式中  $EG$  为对数格式的幅值数据,  $EG_0$  为正常格式的幅值数据,  $2^K$  为常数.

对数格式的幅值数据与 ROM 输出的波形数据相加, 产生实际的波形

$$\begin{aligned}
 \text{Wave\_log} &= \text{ROMA}[n] + EG \\
 &= 2^K(d + \alpha) + EG \\
 &= 2^K(d + \alpha)
 \end{aligned}
 \tag{13}$$

$d$  和  $\alpha$  也分别对应正弦波的整数部分和小数部分

### 2.4 取指数运算单元设计

对于上述的波形数据如果全部采用译码器或 ROM 查表完成取指数运算, 译码器或 ROM 的规模都将很大, 不适合电路实现 为此, 可将整数部分和小数部分分开处理 小数部分的取指数运算通过 ROM 查表完成, 整数部分及 ROM 输出数据由译码器处理, 可以最大限度地节省芯片面积 对应于 ROMA 中的波形数据, 取指运算单元 ROMB 也采用  $2^k$  字节的 ROM, 其结构也同 ROMA 相同 ROMB 中存储的波形可用公式表示为:

$$\text{ROMB}[n] = 2^L(2^{1-\frac{n}{2^k}} - 1) \quad n = 0 \sim (2^k - 1)
 \tag{14}$$

ROMB 具有  $k$  位地址,  $L$  位字长 其输入为正弦波形对数形式数据的小数部分, 即(13)式中的  $2^k \times \alpha$

取指数操作最终由取指数译码器完成, 其功能可用公式表示为:

$$\text{Exp\_Decoder} = 2^X \times (1 + Y \times 2^{-L})
 \tag{15}$$

其中  $X = M - d$ ,  $M$  为常数;  $Y = \text{ROMB}[2^k \times \alpha]$  为小数部分的取指数运算结果

将(12)、(13)和(14)代入(15), 可推导出本电路最终输出的波形数据, 用公式表示为:

$$\text{Out}[n] = 2^{M+1} \times EG_0 \times \sin\left[\frac{\pi}{2} \times \left(\frac{n}{2^k} + \frac{1}{2^{k+1}}\right)\right] \quad n = 0 \sim (2^k - 1)
 \tag{16}$$

调节常数  $M$  即可确定最终输出的正弦波的最大幅值 此公式推导针对  $[0, \frac{\pi}{2})$  区间, 但可扩展至  $[0, 2\pi)$  区间

### 2.5 频率调制器总体结构

将上述各功能单元连接起来, 可实现频率调制器设计功能 其总体功能示意图如图 4

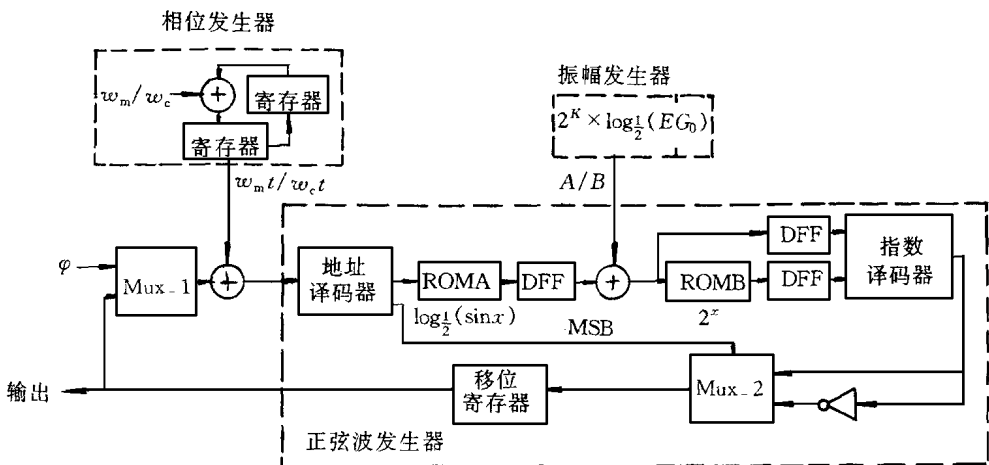


图 4 频率调制器功能示意图

地址译码器产生正弦波表的查表地址, 对应于  $K+2$  位地址的最高位, 输出信号  $M_{SB}$  控制取指数译码器输出的正常格式波形数据的符号。

本宏单元的时序由外部电路产生。对于本专用电路, 振幅发生器是另一个功能复杂的模块, 其原理可用  $2^k \log_{1/2} EG_0$  表示, 调制波和载波对应不同的幅值。相位发生器分别产生调制波和载波的相位数据。

电路开始工作时相位发生器输出的是调制波的相位, 多路选通器输出为初始相位  $\varphi$ 。上述数据输入正弦波发生器生成正弦波形。地址译码器和取指数译码器以及两块 ROM 构成了正弦波发生器。地址译码器的输出  $M_{SB}$  经两个时钟延时后作用于  $M_{ux\_2}$ , 控制输出波形的符号。此频率调制器可设计成流水线形式。各路初始相位和调制波相位依次输入地址译码器, 波形数据经  $M_{ux\_2}$  输出后送入移位寄存器。移位寄存器的输出如果为调制波波形, 再与相位发生器产生的载波相位相加送入正弦波发生器以产生最终的频率调制数据。通过采用流水线结构, 可以使本宏单元始终处于满负荷工作状态, 每两个时钟周期完成一次频率调制运算。

### 3 两种频率调制器设计方案芯片面积比较

方案 1 直接采用乘法器完成乘法运算。乘法器是专用集成电路中非常重要, 而且需要占用很大芯片面积的一种单元。这方面已经进行了非常多的研究工作, 但所有的文章都要对芯片面积与运算速度进行折衷考虑。比较节省面积的方法是用移位累加的方法复用加法器完成乘法运算。以  $16 \times 16$  乘法器为例,  $16 \times 16$  位乘法需要用 16 个时钟完成, 大约需要 1500 个晶体管。如果采用移位累加乘法器, 乘法器部分的时钟频率需要是 ROM 查表频率的 16 倍。如果要在每个时钟周期内完成一次乘法运算, 则需要采用波茨编码, 斜进位加法, 超前进位, 流水线结构等技术设计高速乘法器<sup>[8,9]</sup>。设计出的乘法器面积也会比移位累加乘法器面积大很多倍。因此, 针对不同的性能指标, 设计出的频率调制器的面积也会有很大的差别。

方案 2 采用对数格式的非线性量化。对数数据格式与  $CCIT\ G. 711\ \mu/A$  律音频脉冲编码调制标准采用相似的原理, 可以有效地减小小信号的量化噪声, 这正好符合人耳的听觉特性。16bit PCM 编码具有与 12bit 至 13bit 对数形式编码相似的听觉效果。采用对数格式存储波形后, 可以使用较短的字长。因此, 正弦波的存储 ROM 面积约可减少 20%。

针对方案 2 将电路参数进行优化, 取 ROM A 字长为 13bit, ROM B 字长为 10bit。采用分割输入地址结构设计 ROM, ROM B 的容量约为  $2k$  比特, 地址译码与指数译码器部分的面积要小于 ROM B 面积。对应的方案 1 中, 移位累加乘法器大约 1500 个晶体管。由于 ROM 为规则结构, 至少比同样晶体管数的标准单元节省 3 至 5 倍的面积。ROM B 与有关的译码电路要比移位累加乘法器的面积小很多。而且, 移位累加乘法器的时钟频率需要为 ROM 查表频率的 16 倍, 如果采用移位累加乘法器, 则乘法运算成了限制系统最高频率的“瓶颈”; 而在方案 2 中, ROM 查表为系统的关键路径, 不论方案 1 使用何种乘法器, 方案 2 的最高频率也决不会比方案 1 低。如果在方案 1 中采用高速乘法器, 则会大大增加乘法器的面积。本文所设计的电路采用 10MHz 时钟频率, 在方案 1 中已经不能采用移位累加乘法器。因此, 选用方案 2 具有显著的节省芯片面积的作用。

## 4 结论

本文通过将正弦波形以对数格式存储,使原来需要的乘法运算变换为对数的加法运算,从而不必使用乘法器。将对数格式的波形数据变换为正常数据格式也使用了ROM查表方法。对于系统时钟频率比较高的应用场合,由于高速乘法器需要占用很大的面积,导致设计出的芯片的面积很大。新的对数波形存储结构则可以在ROM能够正常工作的任何频率范围内保持较小的芯片面积。即使在频率较低的应用场合,本文采用的频率调制器设计结构也具有一定节省面积的效果。

利用  $0.5\mu\text{m}$  CMOS 工艺设计规则设计版图并进行了投片。针对  $10\text{MHz}$  的系统时钟频率,选择适当的标准单元库,并对采用全定制的电路元件参数进行了优化。两块ROM为全定制设计,电路的其余部分采用标准单元,为了节省芯片,用手工布局、布线。图5为本文所设计的宏单元的芯片照片。芯片面积为  $795\mu\text{m} \times 485\mu\text{m}$ 。对芯片的测试结果显示芯片能够正常工作。

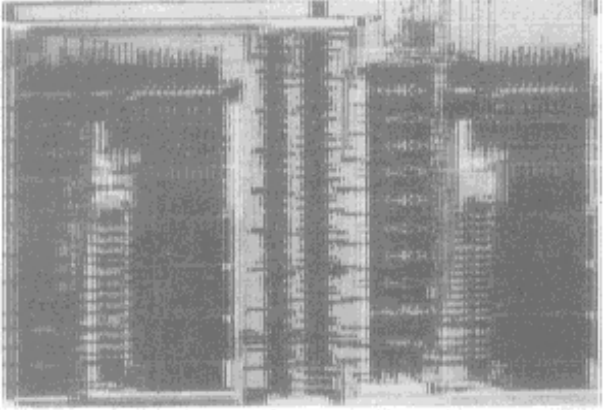


图5 频率调制器芯片照片

## 参 考 文 献

- [1] F. Richard Moore, Elements of Computer Music, Prentice Hall, 1990
- [2] Ken C. Pohlmann, Advanced Digital Audio, SAMS a Division Macmillan Computer, 1991.
- [3] David Miles Huber, Random Access Audio, SAMS a Division Macmillan Computer, 1992
- [4] J. Tierney *et al* , IEEE Trans Audio and Electroacoust , 1971, **19**: 48~ 57.
- [5] Michael J. Flanagan *et al* , IEEE Trans Commun , 1995, **43**(7): 2254~ 2262
- [6] 刘宝琴,等,脉冲数字电路及其应用(下),人民邮电出版社,1985,316~ 322
- [7] 龚之春,脉冲与数字电路导论,高等教育出版社,1995,271~ 277.
- [8] R. F. Lyon, IEEE Trans Commun , 1976, **24**: 418~ 425
- [9] Jun Iwamura *et al* , Proceeding of the International Conference on Circuits and Computers, 1982: 151~ 154

## Design for Frequency Modulator with Reduced Chip Size

Huang Jie

(*ASI & System State Key Laboratory, Fudan University, Shanghai 200433*)

Received 20 May 1997, revised manuscript received 31 October 1997

**Abstract** A Frequency Modulator Macrocell has been developed to reduce chip size. Multiplier is needed to achieve coefficient multiplication in a standard Frequency Modulation system which consumes a large chip size. In our design, the sinusoid wave stored in the ROM is in the logarithm format, and the original multiplication operation is transferred into addition operation. A ROM is also used for the exponent operation which transfers the logarithm data to the normal format. The chip size is largely minimized by the omitting of multiplier. The layout of the circuit has been designed in  $0.5\mu\text{m}$  CMOS process, and the successful test chip has been achieved.

**EEACC:** 1250, 2570, 6140, 6450F