

MOS 器件鸟咀区非本征电容研究

戚盛勇 俞 权 彭 军

(复旦大学国家微分析中心 上海 200433)

摘要 在 MOS 结构的窄沟器件、倒比器件中, 鸟咀区下的势垒层所构成的非本征电容 C_{gb0} 对集成电路的高频特性有较大影响, 但由于它与本征电容并联, 且有杂散电容的影响, 不易测准。本文研究了精确测量 C_{gb0} 的方法, 同时也发现它的值不是常数, 并给出了 C_{gb0} 随 V_{gb} 变化的经验公式

EEACC: 2560R, 2560B, 2530F

1 引言

随着集成电路日新月异的发展, 电路内所用的器件类型越来越多, 其中窄沟器件、倒比管 ... 等等也广泛应用在各种电路中。由于窄沟器件、倒比管等器件中鸟咀区的存在对器件电学特性有明显的影响, 已有不少作者研究了鸟咀区引起的对窄沟器件的开启电压的影响^[1,2]。我们在另一篇文章^[3]中也讨论了鸟咀区引起的有效沟道宽度调制效应, 和有效迁移率不同于宽沟器件的变化规律。但上述文章讨论的都是指鸟咀区对器件直流特性的影响, 都未涉及交流特性。由于在高频电路中器件的电容特性对电路的放大、延迟、相位变化等都有明显的影响, 所以我们在本文中研究了精确测试鸟咀区非本征电容 C_{gb0} 的测试方法, 并发现 C_{gb0} 的值与工作电压 V_{gb} 有关。根据 C_{gb0} 的物理本质, 引入了它随 V_{gb} 变化的经验公式

2 精确测量非本征沟道电容的方法

四端 MOS 器件的沟道电容 C_{gb} 不同于一般二端结构的 MOS 电容, 因为它不但受到栅和衬底电势的作用, 还同时受到漏源电势的影响

一般而言, 沟道电容 C_{gb} 可分为本征电容 C_{gbi} 和非本征电容 C_{gb0}

$$C_{gb} = C_{gbi} + C_{gb0} \quad (1)$$

其中 C_{gbi} 是不考虑沟道区边缘效应的理想器件但受漏源偏置电压影响的沟道电容, 定义为^[4]

$$C_{gbi} = \frac{\partial Q_g}{\partial V_b} \Big|_{V_g, V_s, V_d} \tag{2}$$

在器件强反型的饱和区, 可求得

$$C_{gbi} = \frac{\delta_i}{3(1 + \delta_i)} C_{ox}$$

其中 δ_i 的值和 V_{bs} 及体效应系数 γ 有关, 因而也和衬底掺杂浓度有关 在器件强反型的非饱和区, 当 $V_{ds} = 0$ 时, 得到^[4]

$$C_{gbi} = 0 \tag{3}$$

这是因为当沟道处在强反型而且漏源加相同的偏置时, 沟道区的电势完全被漏源端的电位所固定而不会随 V_b 变化, 由于栅氧化层上下的电位固定, 栅上的电荷 Q_G 也不会随 V_b 变化, 根据(2)式 C_{gbi} 的定义, 此时本征电容为零. 由(1)式 $C_{gbi} = C_{gb0}$, 因而这就是测量 C_{gb0} 的最佳条件

非本征电容 C_{gb0} 是由沟道区的边缘效应引起的寄生电容 由于器件鸟咀区还未形成沟道的区域(如图 1 的 $\Delta W/2$ 区域), 该处的电势未被固定, 其空间电荷随 V_b 而变, 导致电荷

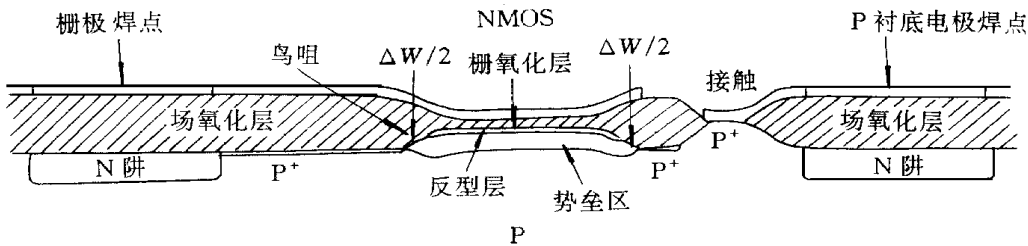


图 1 NMOS 结构剖面图

Q_G 随 V_b 变化, 从而构成非本征电容 C_{gb0} 虽然它的值较小, 但当器件处于强反型工作区时, 本征电容较小, 非本征电容的值不可忽略, 且它的大小随器件工艺条件而变, 所以 C_{gb0} 也是器件模型的一个重要参数^[5], 因而由实验精确测定 C_{gb0} 的值就十分重要

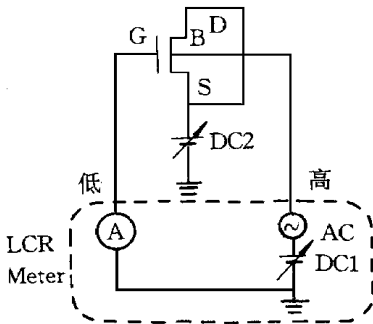


图 2 测量装置示意图

根据测试 C_{gb0} 的条件, 测试装置如图 2 所示, 电容测试仪器为 HP4284A 精密 LCR 测试仪, 测试频率为 100kHz, 精度为 1fF, 图中虚线内的直流电源 V_{DC1} 也由 HP4282A 提供, 虚线外的直流电源 V_{DC2} 由直流测试仪 HP4155A 提供, 为简单起见, 可令 $V_{DC2} = 0$, 同样符合 C_{gb0} 的测试条件 探针台带有光、电屏蔽, 且有控温装置, 测试时保持恒温 27 , 并严格扣除每次测量时由外部连线引起的杂散电容

我们用图 2 所示的装置在器件的非饱和强反型区测试了 MOS 器件的 C_{gb} 值, 结果如表 1 所示 研究的样品由上海贝岭微电子有限公司 $2.4\mu\text{m}$ CMOS N 阱工艺制备, 该工艺的栅氧厚度为 42nm, 场氧厚度为 700nm, NMOS 沟道区掺杂浓度为 $1.28 \times 10^{16}/\text{cm}^3$, PMOS 沟道区掺杂浓度为 $7.09 \times 10^{15}/\text{cm}^3$. 器件的宽长比分别为 $w/L = 5/300, 10/300, 300/10, 300/15$, 这些器件源 S、漏 D、栅 G、衬底 B 的压焊点(pad) 都独立引出, 避免相互干扰

从表 1 可见不论 NMOS 或 PMOS 它们的 C_{gb} 值都与沟道长度 L 有明显的对应关系, 而

L 也就是器件中鸟咀区的长度, 对应于 C_{gb0} 面积的大小

但为什么沟道较短的NMOS 的 C_{gb} 测量值比 PMOS 的值大两个数量级呢? 为寻找原因, 我们又测试了几个 NMOS 的 C_{gb} 值, 发现强反型区 C_{gb} 的测量值与压焊点的面积有对应关系 可见在强反型区的 C_{gb} 测量值中不但包含了非本征电容 C_{gb0} 还和压焊点及联线电容有关 考虑了 NMOS 的栅压焊点的影响后, NMOS 测试结构的等效电路如图 3 所示 其中栅压焊点下面的场氧化电容和 N 阱对衬底的 pn 结电容分别构成 C_1 、 C_2 , 联线电容构成了 C_3 由于 C_1 、 C_2 串联后和 C_3 都一起并联在 C_{gb0} 上, 使测得的电容为这些电容之和 P 衬底压焊点下的寄生电容已被引线孔的欧姆接触短接, 在测试中可不考虑 而由于 PMOS 是做在 N 阱里面, 但它的栅压焊点做在另一个 N 阱上面, 所以压焊点和联线电容的影响就很小, 实际测量中可不考虑

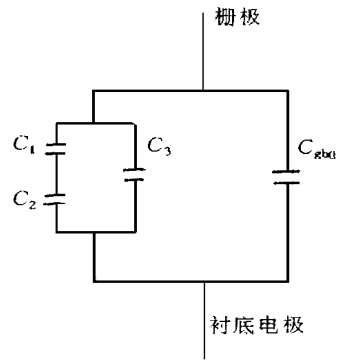


图 3 NMOS 测试结构的等效电路

为了分离压焊点电容和联线电容对测试 C_{gb0} 的影响, 我们用激光把 NMOS 器件与压焊点的铝联线割断, 测得 NMOS 栅压焊点对 P 衬底的电容值为 0.330pF. 把表 1 中的结果扣除压焊点电容, 再除以沟道长度 L , 即为器件模型中的 C_{gb0} , 其单位为 pF/m, 结果如表 2 所示 考虑到小电容测试的精度, C_{gb0} 必须从 L 较大的器件中测得

表 1 C_{gb} 的测量值 (单位 pF, 测试条件 $V_{gb} = 5V$)

w/L	PMOS	NMOS
5/300	0.104	0.519
10/300	0.126	0.514
300/10	0.004	0.329
300/15	0.004	0.336

表 2 扣除压焊点和联线电容后 C_{gb0} 的测量值 (单位 pF/m, 测试条件 $V_{gb} = 5V$)

w/L	PMOS	NMOS
5/300	346	630
10/300	420	613
平均	3.8×10^2	6.2×10^2

3 非本征沟道电容 C_{gb0} 的经验公式

用上面的测量方法, 我们对 $w/L = 5/300$ 的 MOS 器件研究了 C_{gb0} 随 V_{gb} 的变化规律 在不同的 V_{gb} 条件下, 测得 NMOS 和 PMOS 的非本征沟道电容 C_{gb0} , 结果如图 4 所示, C_{gb0} 随 V_{gb} 的增加而减小

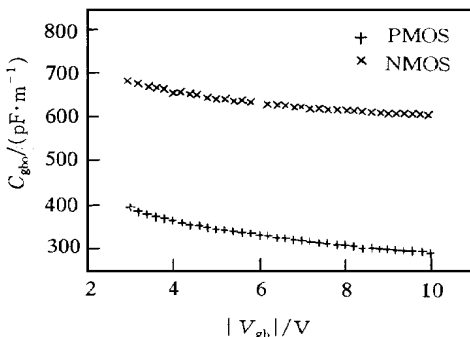


图 4 C_{gb0} 随 V_{gb} 的变化

我们曾研究了鸟咀区引起的沟道宽度调制效应^[3], 并得出

$$\Delta W = \Delta W_0 - \frac{\alpha(V_{gs} - V_{th})}{\beta(V_{gs} - V_{th})^2} \quad (4)$$

其中 ΔW_0 是当 $V_{gs} = V_{th}$ 时的沟道宽度改变量, α 、 β 是其中两个参数, 它们的值与鸟咀区的形状和工艺有关

从图 1 可见, C_{gb0} 是鸟咀区中未被沟道电荷

屏蔽的那段势垒区的电容。由于 $V_{gb} (= V_{gs} + V_{sb})$ 增加, 沟道反型层电荷向两旁扩展, ΔW 减小, 未被反型层屏蔽的势垒区域也减少, 导致 C_{gb0} 减小。可见 C_{gb0} 的变化与沟道宽度调制效应是出于同一个物理本质, 因此我们也可以用下式描述 C_{gb0} 的变化规律,

$$C_{gb0} = C_{gb01} - C_{gb02}V_{gb} - C_{gb03}V_{gb}^2 \quad (5)$$

其中 C_{gb01} 是 $V_{gs} = 0$ 时的 C_{gb0} 值, C_{gb02} 、 C_{gb03} 分别是描述 C_{gb0} 变化的两个参数。根据 (5) 式, 拟合得到的结果如图 4 曲线所示。在我们的实验中求出

$$\text{NMOS } C_{gb01} = 734\text{pF/m} \quad C_{gb02} = 25.8\text{pF}/(\text{V} \cdot \text{m}) \quad C_{gb03} = -1.23\text{pF}/(\text{V}^2 \cdot \text{m})$$

$$\text{PMOS } C_{gb01} = 468\text{pF/m} \quad C_{gb02} = 30.8\text{pF}/(\text{V} \cdot \text{m}) \quad C_{gb03} = -1.36\text{pF}/(\text{V}^2 \cdot \text{m})$$

NMOS 的 C_{gb0} 值于大 PMOS, 这是由于在为调整阈值电压时的离子注入使 NMOS 沟道区掺杂浓度大于 PMOS 沟道区的掺杂浓度所致。

4 结束语

从上述结果可见, 正确扣除压焊点电容和联线电容的影响对正确测试 MOS 管的非本征电容 C_{gb0} 是十分重要的, 由于沟道宽度调制效应的影响, C_{gb0} 也是工作电压 V_{gb} 的函数, 正确描述这个现象对于精确模拟窄沟器件、倒比器件的高频特性很重要。

参 考 文 献

- [1] C. T. Wang, IEEE Trans Electron Devices, 1986, ED-33(1): 161~164
- [2] J. H. Huang, Z. H. Liu, M. C. Teng *et al*., BSM3 Manual, Version 2.0, University of California, at Berkeley, 1994
- [3] 戚盛勇, 金晓东, 半导体学报, 1996, 17(12): 902~906
- [4] Y. P. Tsividis, Operation and Modeling of the MOS Transistor, McGraw-Hill, Inc., 1987, chapter 8.4
- [5] Cadence Spice Reference Manual, Version 4.2.2, Cadence Design Systems Inc., 1993, 2(8): 49~73

Study on Bird's Beak Extrinsic Capacity of MOS Device

Qi Shengyong, Yu Quan, Peng Jun

(NMC, Fudan University, Shanghai 200433)

Received 12 May 1997, revised manuscript received 20 September 1997

Abstract In narrow channel MOS devices and inverse ratio transistors, the extrinsic capacity C_{gb0} constituted by barrier region under the bird's beak has obvious influence on the high frequency properties of integrated circuits. However, C_{gb0} is very difficult to be measured precisely because it is in parallel with intrinsic capacity and affected by the stray capacity. A precise measurement method of C_{gb0} has been discussed in this paper. It is found that C_{gb0} is not constant and an empirical formula of C_{gb0} varying with V_{gb} is provided.

EEACC: 2560R, 2560B, 2530F