

凹陷沟道 SOI 器件的实验研究

张 兴 Mansun Chan¹ Ping K. Ko¹ 王阳元

(北京大学微电子学研究所 北京 100871)

(1 香港科技大学电气与电子工程系 香港)

摘要 本文较为详细地描述了凹陷沟道 SOI 器件的结构和工艺制造技术, 采用凹陷沟道技术制备的 SOI 器件的性能明显优于常规厚膜部分耗尽和常规薄膜全耗尽 SOI 器件的性能。采用该技术已成功地研制出沟道区硅膜厚度为 70nm、源漏区硅膜厚度为 160nm、有效沟道长度为 0.15~ 4.0 μ m 的高性能凹陷沟道 SOI MOSFET, 它与常规薄膜全耗尽 SOI MOSFET 相比, 跨导及饱和漏电流分别提高了约 40%。

EEACC: 2560R, 2550, 2220C

1 引言

众所周知, 与部份耗尽 SOI 电路相比, 薄膜全耗尽 CMOS/SOI 电路具有寄生电容小、速度高、短沟道效应小、驱动电流大、特别适合于低压低功耗器件和电路等特点^[1,2]。但是随着薄膜全耗尽 SOI 器件硅膜厚度的减薄, 也带来了很多问题, 其中最典型的也是对电路特性影响最大的就是寄生串联电阻问题^[3,4]。

由于薄膜全耗尽 SOI 器件的硅膜厚度很薄, 源漏寄生串联电阻急剧增加, 使器件的驱动电流明显减小, 速度下降, 从而抵消了全耗尽 CMOS/SOI 电路速度高的优势。为此人们采取了很多措施解决这一问题, 例如 SALICIDE 技术等。在 SALICIDE 工艺中, 为了防止硅化物将有限的表层硅膜完全消耗掉, 必须严格限制硅化物的厚度, 这不仅增加了技术难度, 而且也限制了硅化物对寄生串联电阻效应的抑制效果^[5,6]。

针对这种情况, 我们研究开发了凹陷沟道 RC (Recessed Channel) SOI 器件结构和工艺技术, 如图 1(f), 在凹陷的薄的 SOI 膜上制作沟道, 在较厚的硅膜上制作源漏区, 这样既可保证 SOI 器件是全耗尽的, 又可解决超薄的源漏区寄生电阻大的问题, 使 SOI 器件的特性得到很大的提高。本文主要报道这种凹陷沟道 SOI 器件结构的工艺制作技术和器件特性分析。

张 兴 男, 1965 年出生, 副教授, 副所长, 主要从事 SOI 技术、器件电路模拟、电路开发及抗辐照技术等的研究。
王阳元 男, 1935 年出生, 中国科学院院士, 北京大学微电子所所长, 主要从事 ULSI 新工艺新器件新结构电路研究。
1997-10-24 收到, 1997-12-22 定稿

2 制造工艺

我们采用的实验衬底材料是方块电阻为 $10\sim 20\Omega/\square$ 的 N 型(100) SMOX 片, 原始材料是方块电阻为 $20\sim 30\Omega/\square$ 的 P 型(100) Si 材料, 进行氧离子注入, 注入能量为 200keV , 注入剂量为 $1.8 \times 10^{18}\text{cm}^{-2}$, 注入时衬底的基片温度为 600°C , 注入后经 1310°C 、6 小时高温退火形成表面硅层厚度为 205nm 、埋氧化层厚度为 380nm 左右的 SMOX 材料^[7].

凹陷沟道 SO I 器件的制造工艺流程如图 1 所示 首先在 SMOX 圆片上生长 20nm 的一氧化层并淀积厚度为 110nm 的一层 Si_3N_4 , 之后光刻出沟道区, 并进行刻蚀, LOCOS 氧化(见图 1b~ d), 将器件的沟道区减薄, LOCOS 氧化层的厚度为 240nm . 由于采用的是非自对

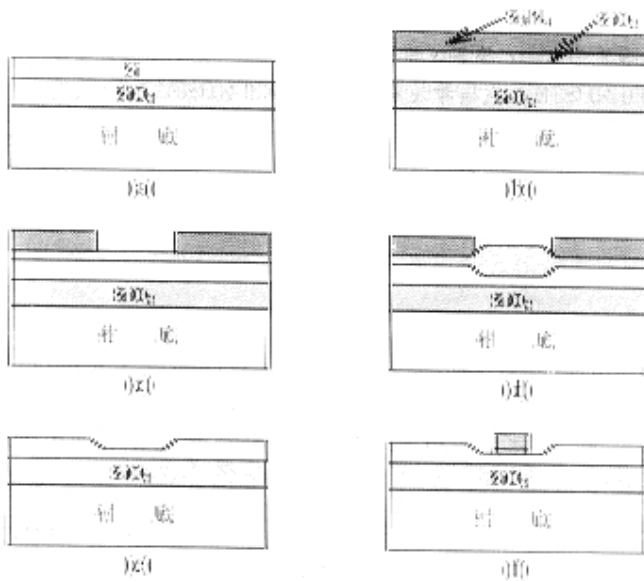


图 1 凹陷沟道 SOIMOSFET 的工艺流程示意图

(f) 所示

准工艺, 必须在多晶硅栅两侧各留出 $0.5\mu\text{m}$ 的对准误差 然后去掉氧化硅和 Si_3N_4 层, 这样便形成了图 1(e) 所示的凹陷沟道 形成凹陷沟道之后便可按常规薄膜全耗尽 CMOS/SOI 工艺制作器件和电路, 详细的工艺过程可以参考文献[8, 9].

为了进行对比, 在同一个 SMOX 圆片上分别制作了薄膜全耗尽和凹陷沟道两种不同类型的 SOIMOSFET. 经 LOCOS 氧化剥离后, 全耗尽薄膜器件和凹陷沟道区的表面硅膜厚度为 70nm , 凹陷沟道器件的源漏区厚度为 160nm , 凹陷沟道 SOIMOSFET 的结构如图 1

采用电子束(e-beam)光刻和反应离子刻蚀技术研制了有效沟道长度为 $0.15\sim 4.0\mu\text{m}$ (对于有效沟道长度为 $0.15\mu\text{m}$ 的器件, 由于在进行反应离子刻蚀时有些过刻蚀, 其设计沟道长度为 $0.25\mu\text{m}$). 整个工艺过程中, 长时间高温过程的最高温度是栅氧化工艺, 其温度为 850°C , 栅氧化之后的退火、低氧层致密等工艺过程均低于或等于此温度 采取这种工艺, 对防止氧化层二次缺陷和杂质的横向扩散都是非常有好处的 本工艺采用了全离子注入工艺, 其中沟道区的注入条件分别为: NMOSFET: 注 BF_2^- 、剂量为 $6 \times 10^{12}\text{cm}^{-2}$ 、能量为 40keV ; PMOSFET: 注 P^+ 、剂量为 $6 \times 10^{12}\text{cm}^{-2}$ 、能量为 40keV . 多晶硅厚度为 300nm , N 和 PMOS 晶体管分别采用 N^+ 和 P^+ 多晶硅栅, 多晶硅注入与源漏注入利用同一块掩膜版 由于多晶硅及源漏区要求的掺杂深度不同, 我们采用了两次注入, 注入的具体条件分别为: 对于 NMOSFET, (1) 注 P^+ 、能量为 70keV 、剂量为 $5 \times 10^{15}\text{cm}^{-2}$, (2) 注 As^+ 、能量为 40keV 、剂量为 $5 \times 10^{15}\text{cm}^{-2}$; 对于 PMOSFET, (1) 注 B^+ 、能量为 40keV 、剂量为 $5 \times 10^{15}\text{cm}^{-2}$, (2)

注 BF_2^+ 、能量为 40keV 、剂量为 $5 \times 10^{15} \text{cm}^{-2}$ 。栅氧化层厚度为 10.5nm ，氧化层界面态低于 $8.0 \times 10^{10} \text{cm}^{-2}$ 。

3 实验结果与讨论

图 2 给出了沟道长度为 $0.5\mu\text{m}$ 的凹陷沟道和常规薄膜全耗尽 SO INMOSFET 的 $I_{\text{ds}} \sim V_{\text{ds}}$ 输出特性曲线, 从中可以非常明显地看出, 与常规薄膜全耗尽 SO IMOSFET 相比, 凹陷沟道的饱和漏源电流及跨导明显增加, 开始饱和时的漏电压减小。对于有效沟道长度为 $0.5\mu\text{m}$ 的 SO I 器件, 凹陷沟道器件的饱和漏电流及跨导约提高 40%。

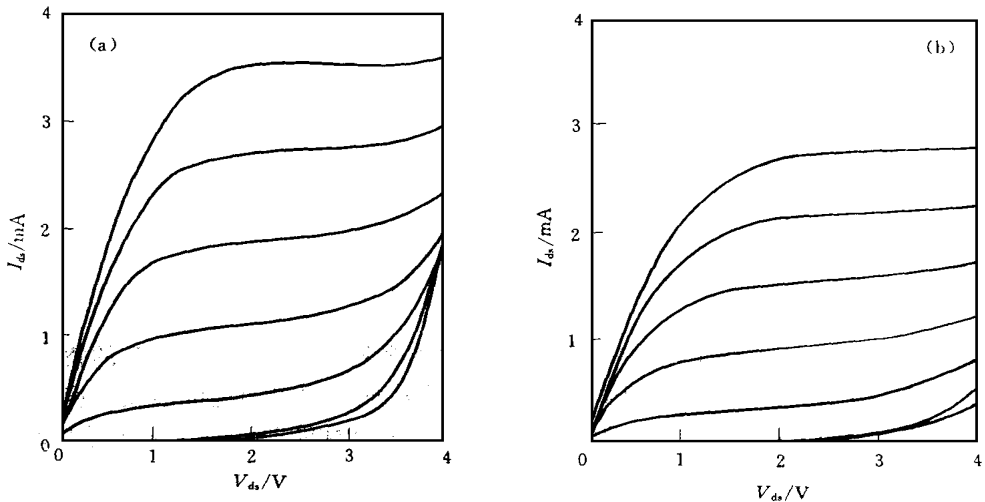


图 2 凹陷沟道和常规薄膜全耗尽 SO INMOSFET 的特性曲线
(a) 凹陷沟道, (b) 常规薄膜全耗尽; ($W/L = 20\mu\text{m}/0.5\mu\text{m}$, $V_{\text{gs}}: 0.5\text{V}/\text{div}$).

图 3 和图 4 分别给出了沟道长度为 $0.15 \sim 4.0\mu\text{m}$ 的凹陷沟道和常规薄膜全耗尽 SO I NMOSFET 的跨导及饱和漏电流随沟道长度的变化关系, 可以看出, 采用凹陷沟道新技术使全耗尽 SO I 器件的性能明显提高。PMOSFET 的特性与 NMOSFET 类似, 在此不再赘述。

由于凹陷沟道和常规薄膜全耗尽 SO I 器件制作在同一个 SMOX 圆片上, 且常规薄膜全耗尽器件的表面硅膜减薄与凹陷沟道器件的沟道减薄是利用同一次 LOCOS 氧化实现的, 因此, 两种器件之间除了源漏区的厚度不同外, 其他工艺条件完全一样。因此, 凹陷沟道 SO IMOSFET 跨导及饱和漏电流的提高主要是由于较厚的源漏区使源漏寄生串联电阻减小引起的。

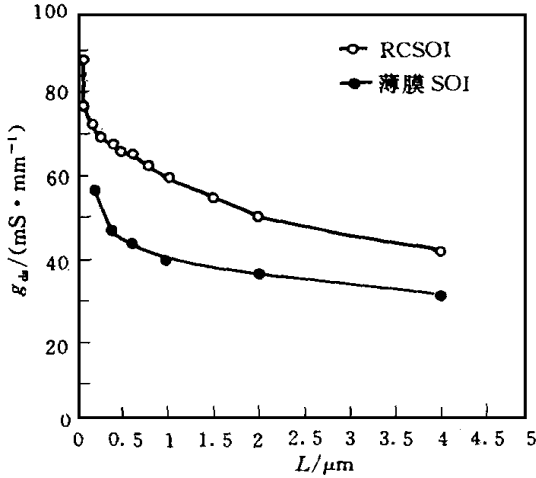


图 3 凹陷沟道和常规薄膜 SO INMOSFET 的跨导与沟长的关系

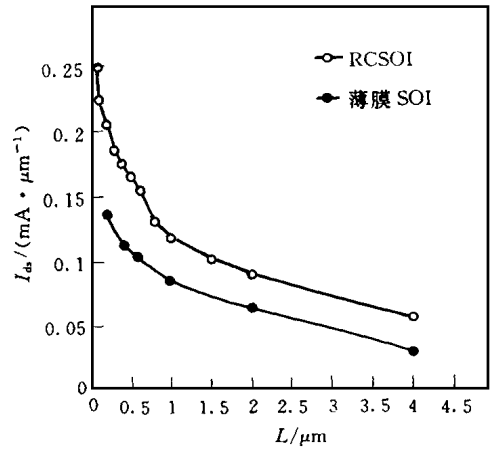


图 4 凹陷沟道和常规薄膜 SO INMOSFET 的饱和漏电流与沟长的关系

4 结束语

通过大量实验证明,采用凹陷沟道技术解决薄膜全耗尽 SO IMOSFET 的寄生串联电阻问题是一种十分有效的技术,我们采用该技术已成功地研制出沟道区硅膜厚度为 70nm、源漏区厚度为 160nm、有效沟道长度为 0.15~ 4.0 μm 的高性能凹陷沟道全耗尽 SO IMOSFET,它与常规薄膜全耗尽 SO IMOSFET 相比,跨导及饱和漏电流分别提高了约 40%.

参 考 文 献

- [1] J. P. Colinge, Silicon-On-Insulator Technology—Materials to VLSI, Kluwer Academic Pub., 1991.
- [2] 张兴,王阳元, 电子学报, 1995, 23(10): 139.
- [3] M. Jeng, J. E. Chung, P. K. Ko *et al*., IEEE Trans Electron Devices, 1989, 36(9): 1725.
- [4] N. Kistler, E. V. Ploeg, J. Woo *et al*., IEEE Electron Device Lett., 1992, 13: 235.
- [5] S. Tyson and R. Gallegos, Proceedings IEEE International SOI Conference, USA, 66, 1991.
- [6] 奚雪梅,徐立,武国英,等, 半导体学报, 1995, 16(4): 291.
- [7] 奚雪梅,北京大学博士毕业论文, 1995.
- [8] Xing Zhang, Liqiong Wei, Yingxue Li *et al*., Proceedings Int. Conf. on Solid State Devices & Materials, Japan, 991, 1994.
- [9] 张兴,王阳元, 半导体学报, 1997, 18(2): 124.

Experiment Investigation of Recessed Channel SOI Devices

Zhang Xing, Mansun Chan¹, Ping K. Ko¹, Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing 100871)

(Department of Electrical & Electronic Engineering,

Hong Kong University of Science & Technology, Hong Kong)

Received 24 October 1997, revised manuscript received 22 December 1997

Abstract Recessed channel SOI devices are investigated. In this paper, the structure and process of the recessed channel SOI devices are described in detail. The characteristics of SOI MOSFET using recessed channel technology are much better than that of the normal thick non-depleted and thin-film fully depleted SOI MOSFETs. The $0.15 \sim 4.0 \mu\text{m}$ recessed channel SOI MOSFETs which the silicon film of channel is 70nm and silicon film of source/drain is 160nm are developed by using submicron process. The transconductance and drain current are increased 40% than thin-film fully depleted SOI MOSFETs.

EEACC: 2560R, 2550, 2220C