

# 适用于 MPEG2 标准的二种 VLSI 模块设计

叶 波 俞 颖 章倩苓

(复旦大学专用集成电路与系统国家重点实验室 上海 200433)

**摘要** 本文提出了 MPEG2 视频解码器主要功能模块的专用 VLSI 结构 其中包括一种新的适用于 MPEG2 标准的 DCT 实现方法, 对于 8 点一维 DCT, 只用 7 个变量乘系数乘法器和 10 个加/减法器, 在 4 个时钟周期内能处理完 8 点数据; 通过合理分配画面存储结构, 提出了一种新的流水线的运动补偿预测结构 用 VHDL 语言进行仿真, 并用 1.0 $\mu$ m CMOS 单元库进行综合, 满足 MPEG2 MP@ML 视频解码的实时处理要求

EEACC: 6140C, 6120B, 2570

## 1 引言

实时图象处理在多媒体、HDTV、图象通信等领域有着非常广泛的应用<sup>[1]</sup>.

MPEG2 是视频和音频信号数据压缩国际标准 MPEG1 的扩展, 直接面向高数据率的广播格式, 提供了有效的隔行视频信号编码算法, 支持宽范围的比特率 MPEG2 能表示隔行和逐行视频序列, 主要用于 DVD、HDTV 和数字卫星电视等

图象处理算法的特点是数据量和运算量非常大 随着图象处理数据量的增大, 用软件实现图象数据的解压已经不能满足图象的实时处理要求, 用硬件实现图象处理算法已经成为必然趋势

图象压缩标准的建立以及超大规模集成技术的发展使图象编/解码算法的硬件实现成为可能 图象压缩/解压 VLSI 芯片已成为多媒体技术的核心, 世界各大电子研究机构都致力于实现这些算法芯片的研究

MPEG2 视频解码器包括 DCT、运动补偿预测(MC)、变字长解码VLD、逆量化和控制器等几个部分, 每一部分实现的优劣都直接关系到图象的实时解码性能 本文重点介绍 DCT、MC 的 VLSI 实现结构

叶 波 1971 年出生, 博士生, 从事图象处理、集成电路设计等方面的研究

俞 颖 1975 年出生, 硕士研究生, 从事集成电路设计等方面的研究

章倩苓 教授, 博士生导师, 实验室主任, 主要从事 ASIC 设计技术、数字信号处理等  
1997-10-01 收到, 1998-04-25 定稿

## 2 DCT 的实现

8×8 二维 DCT 定义为:

$$f(x, y) = \frac{1}{4} \prod_{u=0}^7 \prod_{v=0}^7 C(u)C(v)F(u, v) \cos \frac{(2x+1)u\pi}{16} \cos \frac{(2y+1)v\pi}{16} \quad (1)$$

$$C(0) = \frac{1}{\sqrt{2}}, C(x) = 1, x \neq 0 \text{ 时, } (x \text{ 为 } u \text{ 或 } v)$$

式中  $x, y$  为图象块象素的空间坐标,  $u, v$  为变换域 DCT 系数块的频率坐标 二维 DCT 可通过行列分解技术变为 2 个一维 DCT<sup>[3,4]</sup>来实现

(1)式可写为:

$$f(x, y) = \frac{1}{2} \prod_{v=0}^7 C(v) \cdot \left\{ \frac{1}{2} \prod_{u=0}^7 C(u)F(u, v) \cos \frac{(2x+1)u\pi}{16} \right\} \cos \frac{(2y+1)v\pi}{16}$$

$$\text{令 } w(x, v) = \frac{1}{2} \prod_{u=0}^7 C(u)F(u, v) \cos \frac{(2x+1)u\pi}{16}$$

$$\text{则 } f(x, y) = \frac{1}{2} \prod_{v=0}^7 C(v)w(x, v) \cos \frac{(2y+1)v\pi}{16}$$

### 2.1 一维 DCT 结构

定义一维 DCT:

$$x_v = \frac{1}{2} \prod_{u=0}^7 C(u)X_u \cos \frac{(2v+1)u\pi}{16}$$

上式需要 64 次乘法, 硬件实现复杂, 根据 Chen<sup>[3]</sup>的算法和文献[5, 6], 可导出下列方程

$$\begin{bmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \end{bmatrix} = \frac{1}{2}PX_o + \frac{1}{2}QX_e \quad (2), \quad \begin{bmatrix} x_7 \\ x_6 \\ x_5 \\ x_4 \end{bmatrix} = \frac{1}{2}PX_o - \frac{1}{2}QX_e \quad (3)$$

$$PX_o = \begin{bmatrix} x_{00} \\ x_{01} \\ x_{02} \\ x_{03} \end{bmatrix} = \begin{bmatrix} A & B & A & C \\ A & C & -A & -B \\ A & -C & -A & B \\ A & -B & A & -C \end{bmatrix} \begin{bmatrix} X_0 \\ X_2 \\ X_4 \\ X_6 \end{bmatrix} \quad (4)$$

$$QX_e = \begin{bmatrix} x_{e0} \\ x_{e1} \\ x_{e2} \\ x_{e3} \end{bmatrix} = \begin{bmatrix} D & E & F & G \\ E & -G & -D & -F \\ F & -D & G & E \\ G & -F & E & -D \end{bmatrix} \begin{bmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{bmatrix} \quad (5)$$

其中  $A = \cos \frac{\pi}{4}, B = \cos \frac{\pi}{8}, C = \sin \frac{\pi}{8}, D = \cos \frac{\pi}{16}, E = \cos \frac{3\pi}{16}, F = \sin \frac{3\pi}{16}, G = \sin \frac{\pi}{16}$

为计算(4)式和(5)式, 把(4)和(5)式进行以下变换, (4)式变为

$$PX_o = \begin{bmatrix} A \\ A \\ A \\ A \end{bmatrix} X_0 + \begin{bmatrix} B \\ C \\ -C \\ -B \end{bmatrix} X_2 + \begin{bmatrix} A \\ -A \\ -A \\ A \end{bmatrix} X_4 + \begin{bmatrix} C \\ -B \\ B \\ -C \end{bmatrix} X_6 \tag{6}$$

(5)式变为

$$QX_e = \begin{bmatrix} D \\ E \\ F \\ G \end{bmatrix} X_1 + \begin{bmatrix} E \\ -G \\ -D \\ -F \end{bmatrix} X_3 + \begin{bmatrix} F \\ -D \\ G \\ E \end{bmatrix} X_5 + \begin{bmatrix} G \\ -F \\ E \\ -D \end{bmatrix} X_7 \tag{7}$$

一维 DCT 的VLSI结构如图 1 所示 图 1 中,A, B, C, D, E, F, G 为定系数乘法器, ACC1, ..., ACC8 为累加器,MUL 1, ..., MUL 8 为多路选通器, 采用三态门选通控制结构, 控制当前时刻哪一个乘法结果作为累加器的输入  $x_3, x_2, x_1, x_0$  和  $x_4, x_5, x_6, x_7$  为输出顺序 累加器实为带反馈输入的加法器, 故总的 8 点 1-DCT 实现仅需 7 个乘法器和 10 个加法器, 而且每个 8 点 DCT 只需 4 个时钟周期, 即一个时钟处理两个输入数据

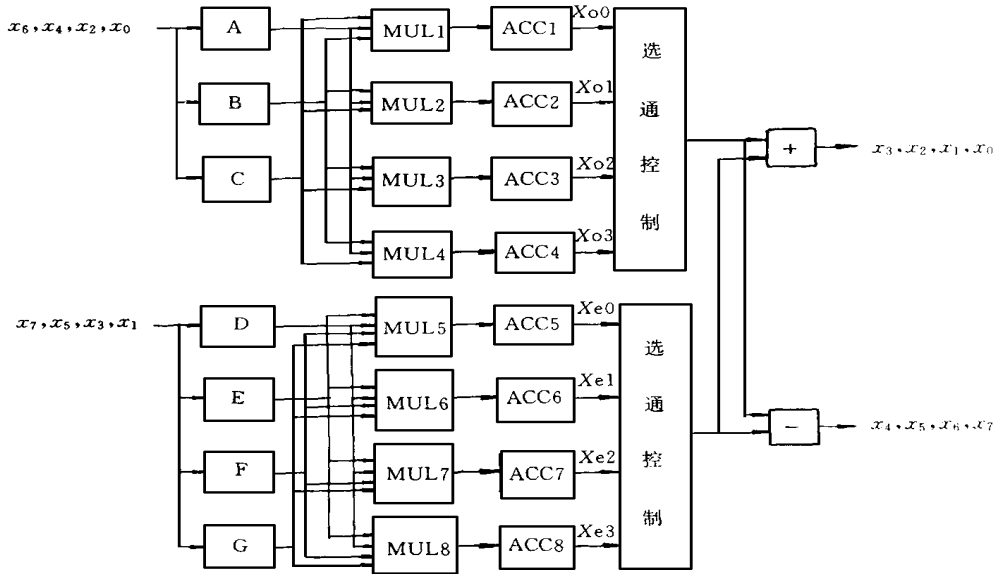


图 1 一维 DCT 结构

### 2 2 二维 DCT 的实现

采用分时方式实现二维 DCT, 如图 2(a) 所示 先对  $8 \times 8$  的 DCT 系数数据进行列变换, 结果存放到转移存储器中, 然后再从转移存储器中按一定顺序读取数据进行行变换, 行变换后的数据即为象素数据或象素预测误差信号 为使得一维 DCT 能高效流水线地连续运行, 转移存储器采用双缓冲结构, 其时序关系如图 2(b) 所示, 一维(1-D) DCT 交替读写 Buffer1 和 Buffer2 中的数据

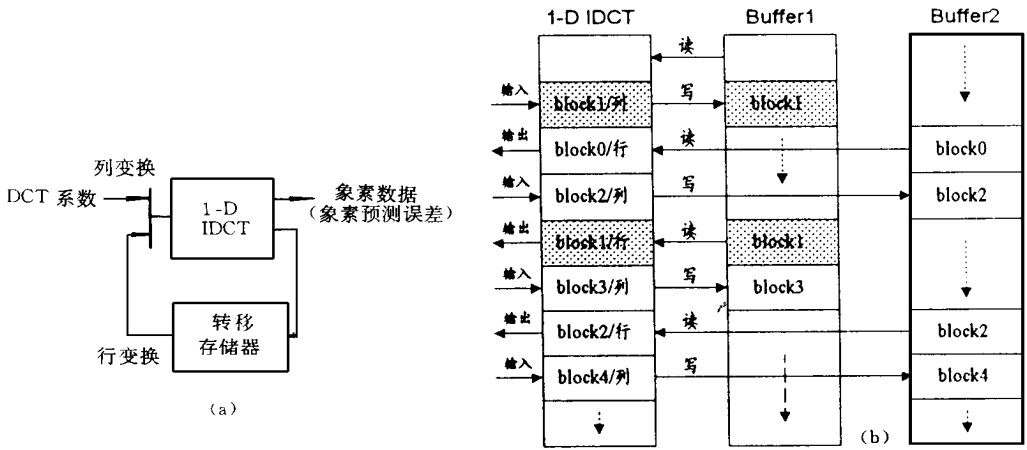


图 2 (a) 二维 DCT 结构; (b) 转移存储器的双缓冲读/写时序

### 2.3 仿真结果

用 VHDL 语言进行了电路验证, 用  $1.0\mu\text{m}$  的 CMOS 单元库进行仿真综合, 关键路径延时为  $17\text{ns}$ 。对一维 DCT, 在 4 个时钟周期内就能处理完 8 点数据, 一维 DCT 的波形图示于图 3。根据 MPEG2 标准, 输入数据范围为  $-2048 \sim 2047$ 。输出数据相对输入数据滞后 6 个时钟, 由于 DCT 内部为流水线结构, 因而在 6 个时钟以后能持续地输出数据。当输入全为 0 时, 输出也全为 0, 图 3 中, 输入图象数据  $x_{0-7}$  分别为 00FA, 0007, 002D, 003A, FFEF, 004F, 003D, 0000 时, 变换后输出数据  $x_{0-7}$  分别为 00A4, 0021, 005F, 0043, 0020, 0084, 0074, 0041, 与软件计算结果一致。用 Synopsys 软件进行综合后, 在  $50\text{MHz}$  频率下一维 DCT 的规模约为 8000 门, 完成  $8 \times 8$  块的计算时间为  $1.28\mu\text{s}$ , 比文献[6]方法的 11000 门减少 3000 门。

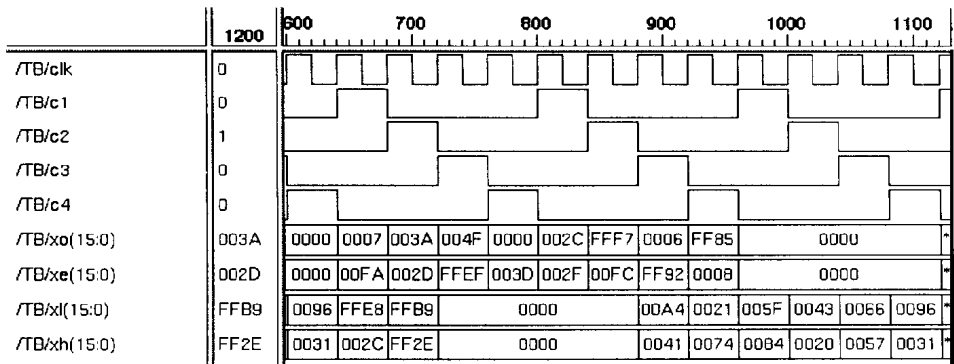


图 3 8 点一维 DCT 的波形

### 3 运动补偿预测

运动补偿通过对一幅已知画面中相邻像素值的块进行重新定位来达到对另一幅画面预测的目的。运动被描述成一个二维运动矢量, 该运动矢量指明从先前已解码的画面的什么地

方去检索一块像素来预测当前块中的像素值<sup>[2,7,8]</sup>.

运动补偿电路包括运动矢量解码和像素产生两部分. 图 4 示出了运动补偿预测结构

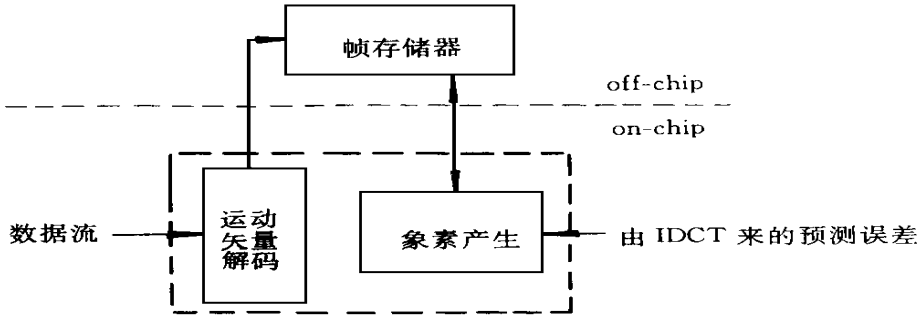


图 4 运动补偿预测结构

### 3.1 运动矢量解码

运动矢量决定参考图象中参考宏块的地址. 运动矢量传输的是后一个与前一个运动矢量的差值. 计算公式如下:

$$|\delta| = \begin{cases} |\text{motion\_code}| & (\text{f\_code} = 1 \text{ or } \text{motion\_code} = 0) \\ (|\text{motion\_code}| - 1) \times 2^{f\_code-1} & \end{cases} \quad (5)$$

$$\text{vector} = \begin{cases} \delta + \text{PMV} + 32 \cdot 2^{f\_code-1} & (\delta + \text{PMV} < -16 \cdot 2^{f\_code-1}) \\ \delta + \text{PMV} - 32 \cdot 2^{f\_code-1} & (\delta + \text{PMV} > 16 \cdot 2^{f\_code-1}) \\ \delta + \text{PMV} & (\text{otherwise}) \end{cases} \quad (6)$$

f\_code 为运动矢量解码时的一个参数, 该参数只出现在预测画面的标题中, 该数字提供了对编码的矢量解码时用到的信息, 并控制着被解码矢量的最大尺寸, 其值范围为 1~7. vector 为重构后的运动矢量, PMV 为前一个运动矢量值. motion\_code 和 motion\_residual 标志矢量值和误差

运动矢量解码的电路结构如图 5 所示, 其中 range 限制运动矢量 vector 的范围

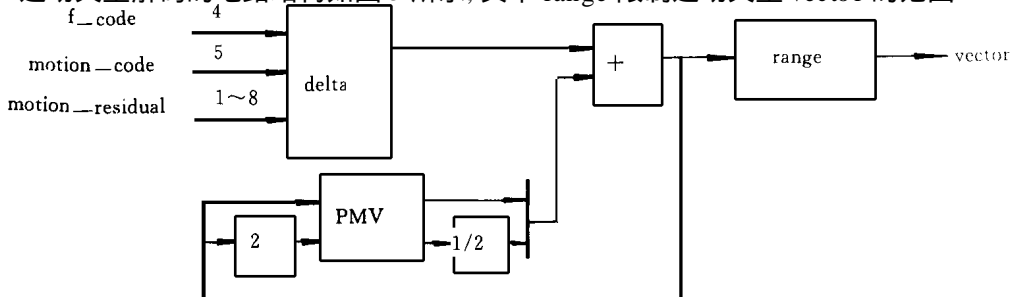


图 5 运动矢量解码结构

### 3 2 像素产生

通过读参考场或帧的预测像素进行预测 一个给定的像素通过读取参考场或帧中由运动矢量偏置的对应像素来预测 所有运动矢量精度为半像素

预测电路中采用三级流水线结构 第一级流水线产生读半像素操作所需数据的地址, 并从帧存储器读出数据, 第二级流水线进行半像素操作并产生预测结果, 第三级流水线将预测结果与经 DCT 变换所得的预测误差相加, 并得到解码数据, 送显示缓冲 像素产生电路如图 6 所示

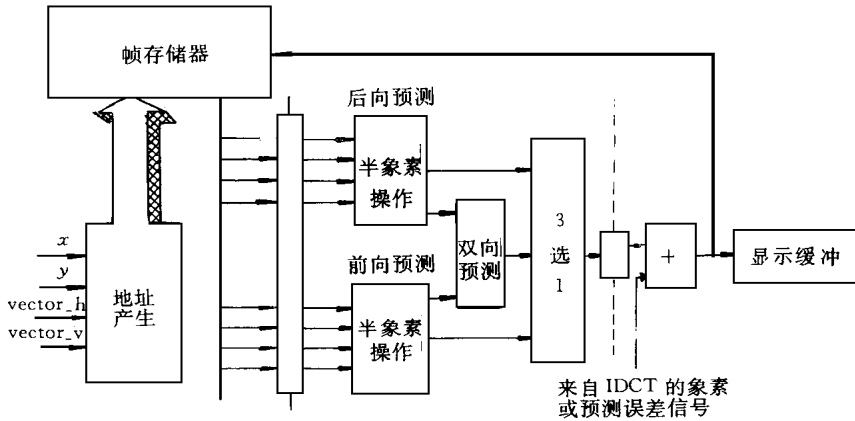


图 6 像素产生电路

图 6 中  $x, y$  为当前宏块中的像素坐标地址,  $vector\_h, vector\_v$  分别为运动矢量的水平和垂直分量 图 6 中:

- (1) 帧存储器由 Frame A 和 Frame B 组成, Memory 的写使能端  $W_r$  由图象类型控制, 在加法器输出 B 画面时,  $W_r$  为“0”, Frame Memory 不进行写操作, 直接进显示缓冲 I P 画面除进显示缓冲外, 还必须交替写进 Frame A 和 Frame B, 以作为后面图象的参考图
- (2) 对于 I 画面或 P 画面与 B 画面中的帧内编码宏块, 不作预测, 直接由 DCT 产生像素数据
- (3) 同时预测亮度信号 Y 和色度信号  $C_b, C_r$ , Y 数据量是  $C_b$  与  $C_r$  总和的 1 倍
- (4) 采用两个半像素操作, 加快了对 B 图进行双向预测的速度, 保证流水线高效

#### 3 2 1 半像素操作

在 MPEG2 视频解码中运动矢量精确到半个像素 预测像素时采用半像素操作 半像素操作示意图如图 7 所示

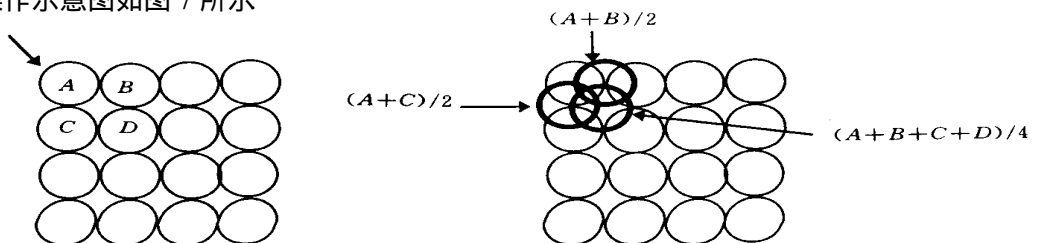


图 7 半像素操作示意图

算法如下: (1) 水平和垂直分量精度均不是半像素时, 像素预测值为  $pel\_pred[y][x] = A$ ;

(2) 垂直分量精度为半像素时, 像素预测值为  $(A + C)/2$ ;

(3) 水平分量精度为半像素时, 像素预测值为  $(A + B)/2$ ;

(4) 水平和垂直分量精度均为半像素时, 像素预测值为  $(A + B + C + D)/4$

半像素操作电路结构如图 8 所示, 主要由两个超前进位加法器和一个 CSA 加法器构成, 图中 A、B、C、D 为参考图中相邻的 4 个像素

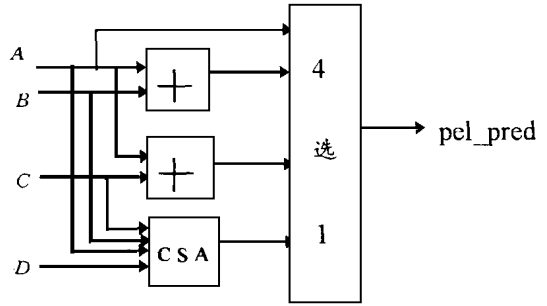


图 8 半像素操作电路结构

### 3.2.2 帧的组织结构

Frame A 和 Frame B 的内部组织结构如图 9 所示。Frame A 和 Frame B 分别由两个存储器组成, 存储上下两场。上下两场存储器地址不重叠。地址组成方式是高位地址(10 位)是行号, 低位地址(10 位)是列号。



图 9 存储器中帧的组织结构半像素操作电路结构

用 VHDL 语言进行了电路验证。用  $1.0\mu\text{m}$  CMOS 单元库进行仿真, 电路能正常工作于 40MHz 的时钟频率时, 电路规模为 4500 门左右, 满足 MPEG2 中 MP@ML 视频解码的实时处理要求。

## 4 结语

本文提出了适用于 MPEG2 标准的视频解码器主要功能模块的硬件实现方法, 包括反离散余弦变换、运动补偿预测等内容。根据各功能模块的特点, 采用专用的 VLSI 结构, 提高了电路速度, 减小了芯片面积。

## 参 考 文 献

- [ 1 ] R. J. Clarke, Digital Compression of Still Images and Video. Harcourt Brace & Company, London, 1995: 277~299
- [ 2 ] ISO/IEC 13818-2: 1996(E). Information technology (Generic coding of moving pictures and associated audio information: Video. May. 1996
- [ 3 ] W. H. Chen, C. H. Smith and S. C. Fralick, IEEE Trans Commun., 1977, COM-25(9): 1004~1009
- [ 4 ] C. M. Wu and A. Chiou, IEEE Trans Consum. Electron., 1993, 39(4): 859~869
- [ 5 ] T. Masaki, Y. Morimoto, T. Onoye *et al*., IEEE Trans Circuits Syst for Video Technol., 1995, 5(5): 387~395
- [ 6 ] T. Onoye, T. Masaki, Y. Morimoto *et al*., Single Chip Implementation of MPEG2 Decoder for HDTV Level Pictures, IEICE Transactions Fundamentals, 1996, E79-A(3): 1~10
- [ 7 ] B. DeLoore, P. Lippens, P. Eeckhout *et al*., A Video Signal Processor for Motion-Compensated Field-Rate Up-conversion in Consumer Television, IEEE International Solid-State Circuits Conference, 1996, 248~249
- [ 8 ] Hong-Dar Lin, Alex Anesko, Brian Petryna. A 14GOPS Programmable Motion Estimator for H. 26x Video Coding. IEEE International Solid-State Circuits Conference, 1996, 246~247.

## Special Functional Block Design for MPEG2 Video Decoder

Ye Bo, Yu Ying, Zhang Qianling

(ASIC & System State Key Lab, Fudan University, Shanghai 200433)

Received 1 October 1997, revised manuscript received 25 April 1998

**Abstract** VLSI architecture of special functional block units for MPEG2 video decoder is proposed. A novel realization methodology of DCT compatible with MPEG2 is presented, for 1-D DCT, it takes 4 clocks to process 8 point data by using only 7 variables multiplying constant coefficients multipliers and 10 adders/subtractors. A novel pipeline VLSI structure of motion compensation prediction is designed by allocating suitable picture storage structure. The design is simulated by VHDL and synthesized by 1.0 $\mu$ m CMOS cells library, and it can be used in MPEG2 MP@ML video decoder.

**EEACC:** 6140C, 6120B, 2570