

自对准外延 CoSi_2 源漏接触 CMOS 器件技术

邵 凯 李炳宗 邹斯洵 黄维宁
吴卫军 房 华 於伟峰 姜国宝

(复旦大学电子工程系 上海 200433)

俞 波 张 敏

(中国科学院上海冶金研究所 上海 200050)

摘要 Co/Ti/Si 或 TiN/Co/Ti/Si 多层薄膜结构通过多步退火技术在 Si 单晶衬底上外延生长 CoSi_2 薄膜, AES、RBS 测试显示 CoSi_2 薄膜具有良好均匀性和单晶性. 这种硅化物新技术已用于 CMOS 器件工艺. 采用等离子体增强化学汽相淀积(PECVD)技术淀积氮氧化硅薄膜, 并用反应离子刻蚀(RIE)技术形成多晶硅栅边墙. 固相外延 CoSi_2 薄膜技术和边墙工艺相结合, 经过选择腐蚀, 可以分别在源漏区和栅区形成单晶 CoSi_2 和多晶 CoSi_2 薄膜, 构成新型自对准硅化物(SALICIDE)器件结构. 在 N 阱 CMOS 工艺中应用这种新型 SALICIDE 器件结构, 提高了 MOS 晶体管和试验电路的性能.

PACC: 6855, 8115N; **EEACC:** 0510D, 0520, 2550F, 2570D

1 引言

随着超大规模集成电路和甚大规模集成电路(VLSI/ULSI)技术的迅速发展, 半导体芯片上的器件尺寸进入亚微米级, 接触和互连技术成为影响器件速度和可靠性的一个关键^[1,2]. 为防止尺寸缩小带来的浅结扩散区和多晶硅栅电极层互连薄层电阻升高, 需要采用自对准硅化物(SALICIDE)工艺. CoSi_2 是一种宜于形成优良自对准硅化物器件结构的薄膜材料, 它具有相当低的电阻率($10 \sim 20 \mu\Omega \cdot \text{cm}$), 在集成电路制造中也具有较好的工艺相容性^[3].

CoSi_2 具有与 Si 的金刚石结构较匹配的 CaF_2 立方晶体结构, 在室温下晶格常数仅相差 1.2%, 因此有可能在它们之间进行异质外延生长^[4]. 最近研究表明, Co/Ti/Si 或 TiN/Co/Ti/Si 通过固相反应可以在 Si 衬底上异质外延单晶 CoSi_2 薄膜^[5~9]. 目前在 VLSI/ULSI 器

邵 凯 男, 1970 年生, 硕士, 目前在深圳市思特达显示技术工程有限公司, 从事 MLCD 器件制造工艺开发和研究
李炳宗 男, 1936 年生, 教授, 博士生导师, 从事半导体微电子专业教学和科研
1994 年 10 月 30 日收到初稿, 1995 年 2 月 11 日收到修改稿

件制造中应用的 SALICIDE 工艺在扩散区形成的硅化物属多晶结构. 这种多层薄膜固相反应 CoSi₂/Si 异质外延技术有可能用来发展一种新型的自对准硅化物器件接触技术. 通过选择腐蚀技术, 可以不经光刻在硅片上形成自对准 CoSi₂ 接触和栅电极, 并且在源漏扩散区得到单晶结构 CoSi₂ 薄膜, 均匀平整的接触界面, 有利于发展浅结技术.

作者应用这种多层薄膜固相外延硅化物新技术于 CMOS 器件制造工艺中. 为了形成自对准相互隔离的硅化物源、漏、栅区, 需要在多晶硅条边缘形成氮氧化硅介质边墙. 采用等离子增强淀积氮氧化硅薄膜, 然后用反应离子刻蚀技术可以形成较好的多晶硅栅边墙介质^[10].

我们把多层薄膜固相反应 CoSi₂ 外延技术与 N 阱 CMOS 工艺相结合, 试验成功一种新型的自对准硅化物 CMOS 器件技术. 测试结果表明这种新型 SALICIDE 器件有良好 MOSFET 特性, 21 级或 81 级环振电路频率比同时试验的硅栅 CMOS 工艺高 1 倍以上.

2 实验工艺

对于 Co/Ti/Si 固相反应实验选用衬底为(100)、(111)和不同电阻率的硅片. 在 N 阱 CMOS 器件工艺试验中, 则用 5~8Ω·cm 的 p-Si(100)衬底片. 在淀积多层薄膜前, 硅片经过严格清洗工艺, 并用稀 HF 溶液漂洗清洗过程中可能产生的 Si 表面自然氧化层, 使之露出新鲜表面, 然后将 Si 片装入 OXFORD 多功能溅射台真空系统中. 利用离子束溅射技术, 在不破坏真空系统的条件下, 先后在清洁 Si 表面淀积 Ti 膜和 Co 膜, 获得 Co/Ti 双层薄膜, 或在双层薄膜上利用磁控淀积 TiN 覆盖层, 形成 TiN/Co/Ti/Si 多层结构. 溅射速率和厚度用石英晶片测厚仪监控.

在选用边墙介质时采用不同含氧比例的 Si_xO_yN_z 进行了实验, 利用 DP-80 平板式等离子体增强化学汽相淀积(PECVD)设备, 在工作气压 46Pa、衬底温度为 300℃时淀积约 400nm 氮氧化硅薄膜. 多晶硅栅和 Si_xO_yN_z 边墙的反应离子刻蚀(RIE)是利用 DP-80 型 RIE 装置实现. 掺磷多晶硅的刻蚀气体为 SF₆+Ar, 典型工作气压 5.3Pa, 功率 50W. 利用 CHF₃+Ar 刻蚀 Si_xO_yN_z, 工作气压和功率与刻蚀多晶硅的条件相同.

固相反应在国产 KST-2 型快速热退火设备上进行. 它是利用卤素钨灯辐射对样品进行加热, 退火过程中通以 99.999%的高纯氮气, 流量 1.5l/min. 多层结构 TiN/Co/Ti/Si 则采用两步退火工艺. 为获得 SALICIDE 器件结构, 在第一步退火后进行选择腐蚀, 然后再进行第二步退火. 第一步退火为低温退火, 在 550~700℃之间进行. 第二步退火为高温退火, 退火温度从 750℃逐步上升至 900℃. 选择腐蚀采用以 HCl 或 HNO₃ 为基的溶液, 去除 SiO₂ 上的未反应 Co 膜和 Ti 膜, 并同时去除 TiN 层. 经过高温反应阶段后使薄层电阻降至最低, 从而形成自对准硅化物的源漏区接触和栅电极及局部互连.

3 实验结果和讨论

3.1 Co/Ti/Si 固相反应形成外延单晶 CoSi₂

X 射线衍射(XRD)测试表明, 在(111)或(100)Si 衬底上通过 Co/Si 直接反应形成的 CoSi₂ 薄膜中有时也呈现对应衬底晶向的择优晶向, 但背散射定向测试未显示显著的沟道

效应,表明 CoSi_2 薄膜仍为多晶结构. 利用 Co/Ti/Si 或 TiN/Co/Ti/Si 多层薄膜多步退火反应, 则可在 Si 衬底上外延生长 CoSi_2 薄膜. 实验表明磁控溅射 TiN 覆盖层有利于外延单晶 CoSi_2 生长, 本实验都采用 TiN/Co/Ti/Si 多层薄膜结构.

$\text{TiN}(15\text{nm})/\text{Co}(30\text{nm})/\text{Ti}(15\text{nm})/\text{Si}(100)$ 薄膜结构经多步退火反应后, AES 测试清楚地显示在 Si 衬底上形成符合化学计量比的一定厚度 CoSi_2 层, 在它上面有 Co-Ti-Si 合金层, 反应过程中 Ti 层外扩散并在表面氮化, 使表面含氧的 $\text{TiN}(\text{O})$ 层加厚. XRD 测试表明反应生成的薄膜结构中无 Ti-Si 化合物形成. 同时 RBS 的测试表明此种薄膜具有显著的沟道效应, 其表面沟道产额小于 20%. XRD 测试也显示对应 Si 衬底 (100) 晶向的高强度 $\text{CoSi}_2(400), (200)$ 衍射峰, 其它 CoSi_2 峰未被检测到. 多种测试结果都说明在 Si 衬底上可以得到外延单晶 CoSi_2 薄膜, 由此可改善 CoSi_2/Si 界面特性等, 用以发展新型器件技术.

3.2 SALICIDE 器件结构形成

图 1 给出在源漏区和栅电极区分别采用单晶和多晶 CoSi_2 薄膜的新型自对准硅化物器件结构的主要工艺步骤.

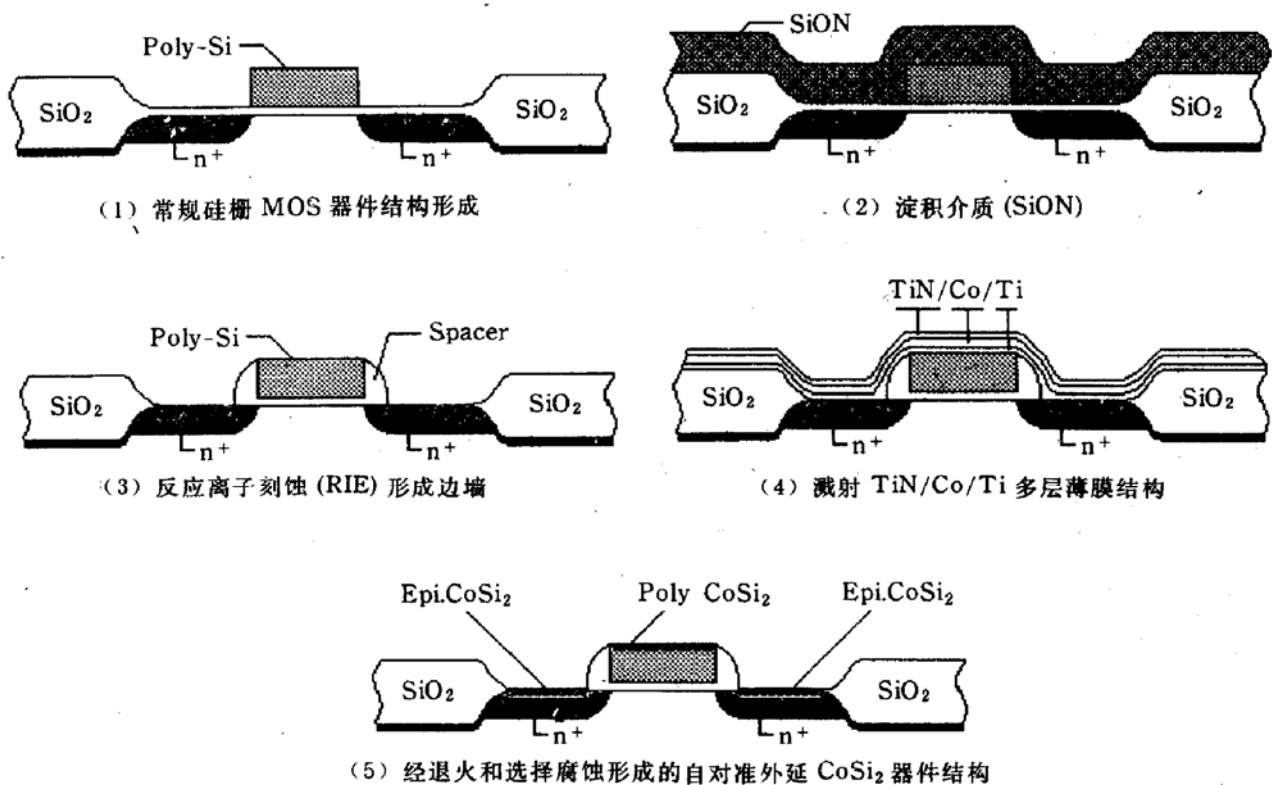


图 1 采用 CoSi_2 外延层的新型 SALICIDE 器件结构形成过程

TiN/Co/Ti/Si 结构固相反应的退火温度选择对 CoSi_2 外延生长极为重要. 研究表明, 在 $550\sim 700^\circ\text{C}$ 进行的第一步退火, 使 Si 界面开始生长 Co 的硅化物以及 Co-Ti-Si 合金层. 在第二步逐步升温退火过程中 CoSi_2 逐渐长厚, 形成低电阻薄膜. 在较低温度下 (550°C) 退火可使 Ti 与 Si 表面自然氧化层发生还原反应, 清洁 Si 表面, 并可能形成 Ti-Si-O 非晶层. 同时, Ti 原子向外扩散, 穿过 Co 层至表面在 N_2 气氛和残余氧作用下形成 TiNO 层. 在较高温度 ($600\sim 750^\circ\text{C}$) 下, 薄膜中的进一步反应导致在 Si 表面开始生成 Co-Si 化合物, 其上层则为 Co-Ti-Si 合金层. 第一步退火为 CoSi_2 外延生长提供优良反应界面以及足够的 Co-Si 层. 第一步退火条件选择要适当, 温度过低, 在选择腐蚀时会损失过多 Co, 温度过高会使

Ti 与场区及边墙 SiO_2 层发生过度反应而导致硅化物横向生长, 破坏 SALICIDE 器件结构. 为优化 SALICIDE 器件工艺, 第一步退火阶段选择不同温度进行实验. 第一步退火后分别用 HCl 基和 HNO_3 基的腐蚀液对样品(B 和 C)进行选择性的腐蚀, 然后进行第二步逐步升温(从 750 至 900 $^\circ\text{C}$)的退火过程, 每一步都用四探针薄层电阻测试仪测试样品的薄层电阻, 和未经腐蚀的样品(A)进行比较, 结果如图 2 所示. 第一步退火选择在 650 和 700 $^\circ\text{C}$ 之间较

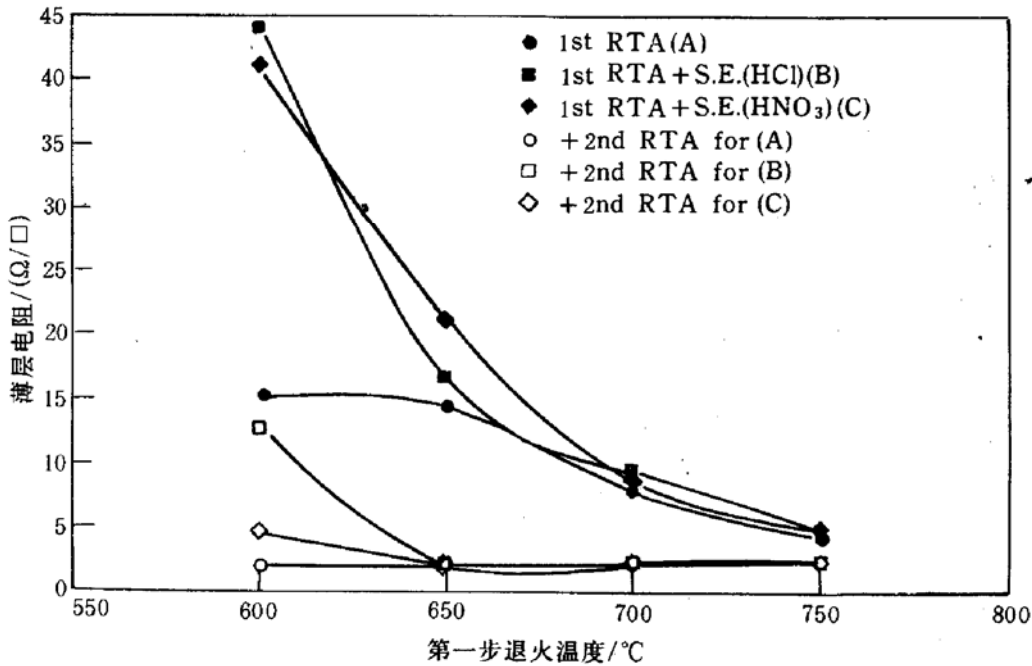


图 2 TiN(15nm)/Co(30nm)/Ti(10nm)/Si 结构第二步退火后薄层电阻随第一步退火温度和选择腐蚀条件的变化情况

好, 低于这一温度不能形成低阻值的 CoSi_2 薄膜, 过高的温度会破坏器件结构. 用 SEM 观察经 Co/Ti/Si 固相反应和选择腐蚀后的样品, 发现在 Si 单晶区形成的外延单晶 CoSi_2 薄膜表面比较平整, 在用边墙隔离的相邻单晶和多晶硅区也无“桥连”现象发生, 为以后的工艺步骤打下良好基础.

3.3 MOSFET 器件性能

将上述外延自对准 CoSi_2 接触技术应用用于 N 阱 CMOS 工艺中可以得到优良 SALICIDE 器件结构. 该工艺采用 2 μm 光刻技术. 用 HP 半导体测试仪对经不同工艺形成的 MOS 器件特性进行测试. 图 3 为外延 SALICIDE 结构和常规硅栅 NMOS 晶体管的典型输出特性比较, 前者显示较大的晶体管跨导. 测试结果未发现漏电有明显增加. 在 21 级和 81 级环形振荡器测试结构中, 具有自对准外延 CoSi_2 接触和栅级局部互连的环振电路周期分别为 58ns 和 220ns, 而常

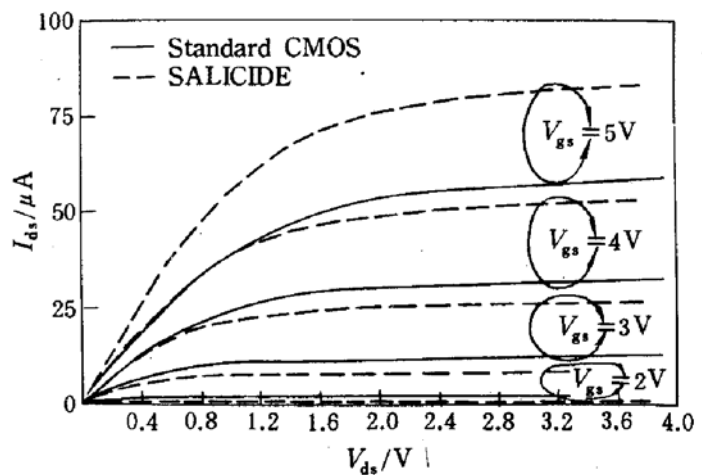


图 3 用外延自对准 CoSi_2 薄膜工艺和常规硅栅工艺研制的 NMOS 器件输出特性曲线

规硅栅 CMOS 工艺的环振周期则分别为 104ns 和 485ns. 在两种器件工艺中用加长多晶硅条实现局部互连的 21 级环振的测试结果则分别为 79ns 和 190ns, 明显说明采用外延 CoSi_2 薄膜后的性能改进.

4 结 论

用 TiN/Co/Ti/Si 或 Co/Ti/Si 多层薄膜结构通过多步退火可以在 Si 衬底上外延单晶 CoSi_2 薄膜. 外延 CoSi_2 薄膜具有较平整的表面和较好的界面特性. 本项研究成功地把这种多层薄膜固相反应外延生长 CoSi_2 薄膜技术, 应用于硅栅 CMOS 工艺. 利用这种固相外延技术与多步退火工艺及化学选择腐蚀工艺相结合, 在具有介质边墙隔离的硅栅 MOS 结构中, 可以同时源漏区外延生长 CoSi_2 薄膜, 在多晶硅栅电极及局部互连条上形成低电阻多晶 CoSi_2 薄膜. 把这种外延 CoSi_2 自对准硅化物技术应用于 N 阱 CMOS 工艺, 工艺相容性好, 源、漏、栅区的薄层电阻可降低一个数量级以上, 为 $2\sim 3\Omega/\square$, 提高了 MOS 器件性能.

参 考 文 献

- [1] S. P. Murarka, Silicide for VLSI Application, Academic Press, New York, 1983.
- [2] C. M. Osburn, Q. F. Wang, M. Kellam *et al.*, Appl. Surf. Sci., 1991, **53**: 291~312.
- [3] L. Van Den Hove, R. Wolters, K. Maex *et al.*, IEEE Trans. Electron Devices, 1987, **34**:553.
- [4] L. J. Chen and K. N. Tu, Materials Science Report, 1991, **6**(2,3):53.
- [5] M. L. A. Dass, D. B. Fraser and C. S. Wei, Appl. Phys. Lett., 1991, **58**:1308.
- [6] B. Z. Li, W. J. Wu, K. Shao *et al.*, 1994 MRS Spring Meeting, San Francisco, 1994, MRS Proc. **V. 337**:449.
- [7] F. Hong, G. A. Rozgonyi and B. Patnaik, Appl. Phys. Lett., 1992, **61**: 1519.
- [8] P. Liu, B. Z. Li, Z. Sun *et al.*, J. Appl. Phys., 1993, **74**(3):1700.
- [9] 刘平, 李炳宗, 孙臻, 等, 半导体学报, 1994, **15**(4):235.
- [10] Sixun Zou, Kai Shao and Bingazong Li, ICMPC'94, Kun-Ming, China, 1994, 340.

Self-Aligned Epitaxial CoSi_2 Contact on Source and Drain Regions for CMOS Device Technology

Shao Kai, Li Bingzong, Zou Sixun, Huang Weining,
Wu Weijun, Fang Hua, Yu Weifeng and Jiang Guobao

(*Department of Electronic Engineering, Fudan University, Shanghai 200433*)

Yu Bo and Zhang Min

(*Shanghai Institute of Metallurgy, The Chinese Academy of Sciences, Shanghai 200050*)

Received 30 October 1994, revised manuscript received 11 February 1995

Abstract Epitaxial CoSi_2 film can be grown on Si monocrystalline substrate by multi-step annealing of Co/Ti/Si or TiN/Co/Ti/Si multilayer. AES and RBS measurements show that epitaxially grown CoSi_2 film has good uniformity with a flat CoSi_2/Si interface. The new silicide technology has been studied for CMOS process application. Plasma Enhanced Chemical Vapour Deposition (PECVD) and Reactive Ion Etching (RIE) were used to form a sidewall spacer at poly-Si gate. Combining solid state epitaxial CoSi_2 technique with sidewall process and selective etching, a new Self-Aligned Silicide (SALICIDE) device structure is formed. The epitaxial CoSi_2 contacts are grown on source/drain region, while on top of poly-Si a polycrystalline CoSi_2 layer is formed. The epitaxial SALICIDE technology has applied to N-well CMOS process and results in good MOSFET and test circuit performances.

PACC: 6855, 8115N; **EEACC:** 0510D, 0520, 2550F, 2570D