

薄膜 SOI MOSFET 浮体效应的抑制优化研究

奚雪梅 王阳元

(北京大学微电子研究所 北京 100871)

摘要 本文根据所建浮体效应物理模型,研究了器件参数对 SOI MOSFET 浮体效应影响关系. 研究表明,降低源漏掺杂浓度、减小体区少子寿命、采用优化的硅膜厚度、以及在保持器件全耗尽的情形下适当提高沟道掺杂浓度等,可以有效地抑制浮体效应,提高器件的源漏击穿电压,这些参数在工艺上可以对应采用 LDD&LDS 的 MOS 结构、准确控制的沟道缺陷工程以减小少子在 SOI 体区的复合寿命等,为从工艺设计上进一步改善 SOI MOSFET 的器件特性打下理论基础.

PACC: 3450H, 3490, 7220J, 7360H

1 引言

全介质隔离的薄膜 SOI MOSFET 结构比相应的体硅器件有较多的本质优越性,如高速度、高可靠性、低功耗和很强的抗辐照性能,然而该结构也引起寄生的浮体效应,表现为器件输出特性中异常的电流翘曲("Kink")和源漏击穿电压降低,现已引起广泛的重视与研究^[1~3],文献[4]中我们通过研究各种电流成分对器件源漏电流和浮体电位的贡献,分析了引起浮体效应的物理本质,揭示了"Kink"效应和击穿电压降低的物理内涵.

"Kink"效应是最早为人们所认识的浮体效应,这种效应仅存在于部分耗尽和背面积累的 SOI MOSFET 器件中,是由浮体电位增加后正面栅阈值电压降低而引起的,随着薄膜全耗尽 SOI 结构的应用,这种效应已得到根本克服;现在所指的浮体效应一般指高电场碰撞离化效应导致的寄生双极晶体管效应,它引起了器件源漏击穿电压 BV_{DS} 过低,对电路的危害甚大,是 SOI 技术进入 CMOS 应用领域的最大障碍,它使得 CMOS/SOI 技术的很多优越性无法施展,只能在可以避免浮体效应影响的低压、低功耗领域中有所作为,因而要制作出具有优良特性的 CMOS/SOI 器件、电路,浮体效应必须抑制与克服. 薄膜 SOI MOSFET 浮体效应物理模型的建立为研究抑制这种效应提供了依据和方法,本文中我们根据[4]中提出的物理模型,分析了各种器件参数对浮体效应的影响关系,包括对源漏杂质浓度、SOI 体

奚雪梅 女,1968年生,博士生,主要从事 SOI 材料、SOI MOSFET 器件模型模拟和电路模拟研究
王阳元 男,1935年生,教授,中国科学院院士,主要从事集成电路新结构、新工艺、新材料的研究
1995年1月20日收到初稿,1995年4月25日收到修改稿

中少子寿命、SOI 膜厚度和沟道区掺杂浓度的研究,提出了相应的工艺设计抑制方法,并辅以部分实验结果来验证这些方法,为从工艺设计上进一步改善 SOI MOSFET 的输出特性打下理论基础.

2 模型简介

文献[4]中描述的是 SOI nMOSFET 浮体效应物理解析模型,研究了 $I_{DS}-V_{DS}$ 特性所涉及的电流成分,包括 MOSFET 的沟道电流 I_{CH} ,以及该电子流在器件处于饱和区受漏端高电场碰撞离化导致的表面产生电流 I_{HI} ;寄生 BJT 发射极区的电流 I_E ,包括电子扩散电流 I_{EDIFF} 、空穴扩散电流 I_{HDIFF} 和结区复合电流 I_{REC} ,发射结电子扩散电流渡越基区成为寄生 BJT 的收集极电流 I_{PC} ,以及它的高反偏 BC 结区受体碰撞离化效应产生的空穴产生电流 I_{HP} ;高反偏收集结区存在产生电流 I_{HG} 等. I_{HI} 、 I_{HP} 和 I_{HG} 这三种空穴产生机制所产生的空穴流将堆积在源区附近的体区,使浮体电位逐步提高.升高的浮体电位将引起各电流成分的变化,经过一系列瞬态过程后,所有空穴流与从源端注入的过剩载流子流相平衡,浮体电位达到一个稳态值 V_{BE} ,系统进入稳定状态.考虑了上述各种电流成分后,SOI nMOSFET 寄生电流特性物理机理可以得到很好的阐述.

各种电流成分在 SOI MOSFET 处于不同工作区时对 I_{DS} 的贡献大小是不同的.器件工作于线性区时由于 V_{BE} 相对较小,各种寄生电流都很小,漏端输出电流 I_{DS} 主要受 MOSFET 的沟道电流 I_{CH} 控制;进入饱和区后,表面碰撞离化产生的 I_{HI} 电流首先增加较快,引起 V_{BE} 显著增大,寄生 BJT 各种电流成分随 V_{BE} 也将显著增大,当寄生 BJT 收集极电流 I_{PC} 增加到可与 MOS 器件沟道电流 I_{CH} 相比拟时, I_{DS} 的增加将主要受 I_{PC} 的控制,器件进入击穿状态,这就是 SOI MOSFET 源漏击穿电压较低的浮体效应的物理本质.

3 器件工艺参数对浮体效应的影响关系

源漏击穿电压较低的 SOI MOSFET 浮体效应是由于寄生 BJT 引发的,可以通过改变器件工艺参数,减弱寄生 BJT 的放大作用,达到抑制浮体效应的作用.下面分别研究源漏区掺杂浓度、体区少子复合寿命、SOI 膜厚度及沟道区掺杂浓度等器件参数对浮体效应的影响,发掘相应的工艺设计抑制方法.分析中涉及的器件工艺参数包括正面栅氧化层厚度 70nm、SOI 膜厚度 120nm 和背面栅氧化层厚度 370nm,器件参数根据参数提取而得,包括低场下沟道电子迁移率 $\mu=609\text{cm}^2/(\text{V}\cdot\text{s})$,源漏区电阻 $=540\Omega$,迁移率电场调制因子 $\theta=0.1476\text{V}^{-1}$,载流子进入速度饱和的临界电场 $E_c=1.2\times 10^5\text{V}/\text{cm}$,体区耦合因子 $\alpha=0.17$,源漏区常规掺杂浓度 $N_{SS}=N_{DD}=1\times 10^{20}\text{cm}^{-3}$, $N_{LDS}=N_{LDD}=1\times 10^{19}\text{cm}^{-3}$,常规复合寿命常数 $\tau_{ro}=200\text{ns}$,常规沟道区掺杂浓度 $N_a=4\times 10^{16}\text{cm}^{-3}$.

3.1 源漏杂质浓度的影响

源端、漏端杂质浓度 N_{SS} 、 N_{DD} 降低会明显地影响 SOI nMOSFET 的输出特性,图 1 是源漏区掺杂浓度改变对应的器件输出特性.从图可以看出,降低源漏杂质浓度,器件输出特性明显改善,击穿电压显著提高,这意味着可以采用轻掺杂的漏(LDD)和源(LDS)结构来抑制 SOI MOSFET 的浮体效应,文献[5]中的实验证明了这一点.模拟还发现,只改变源端掺杂

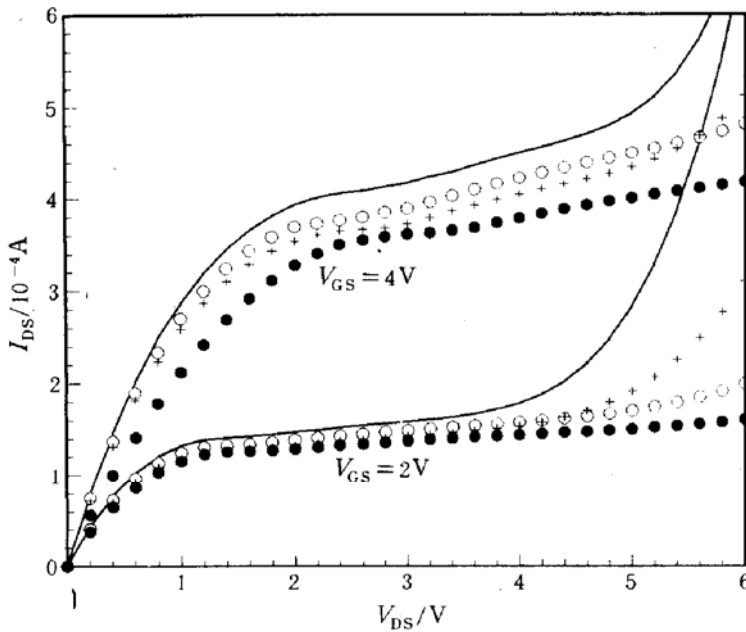


图 1 不同源漏掺杂浓度下的 $I_{DS}-V_{DS}$ 特性曲线
 ○ LDS; + LDD; ● LDD & LDS.

结构. 为了保持薄膜 SOI 的优点, 克服由于寄生双极效应引起的源漏击寄电压过低, 同时不牺牲器件的驱动能力, Yamaguchi 等^[6]提出了栅过覆盖的 LDD 结构, 如图 3 所示, 这种结构可以有效地降低漏端电场和源端 n-区的串联电阻, 较为有效地改善器件的击穿特性, 并保持器件的电流驱动能力.

3.2 体区少子寿命的影响

图 4 是体区少子寿命变化对应的 SOI nMOSFET 输出特性曲线, 少子复合寿命常数变化范围从 200ns 到 50ns. 模拟结果说明, 少子寿命降低, 器件的击穿特性将得到一定的改善. 从所建模型分析可以知道, 少子寿命降低, 发射结区电荷复合能力增强, 表现为寄生双极晶体管基极电流

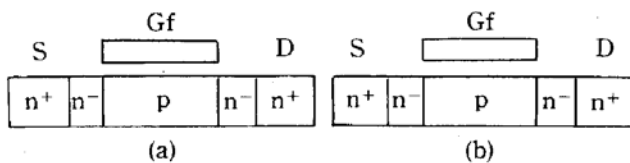


图 3 LDD 结构示意图
 (a) 传统结构; (b) 栅过覆盖结构.

浓度 N_{ss} , 输出特性也有较大的改善, 这是由于源端掺杂的降低可以有效地降低寄生 BJT 发射结发射效率, 抑制寄生 BJT 的放大作用; 只降低漏端的掺杂浓度, 同样可以抑制寄生 BJT 效应, 因为较低的漏端杂质浓度可以有效地减弱漏端附近的电场强度, 抑制了碰撞离化效应, 大大降低各种机制产生的空穴电流, 避免了空穴的堆积以及浮体电位的上升, 从根本上抑制寄生 BJT 的作用, 图 2 是 LDD 和无 LDD 结构器件对应的击穿电压的变化曲线, LDD & LDS 结构器件的源漏击穿电压得到大大提高. 这种结构的缺点是会部分牺牲器件的输出驱动能力, 因而并非是最优

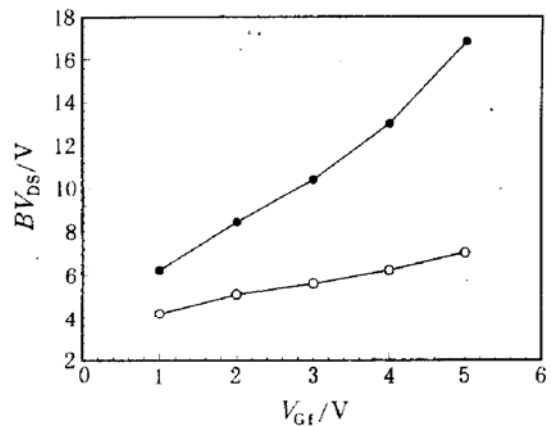


图 2 有/无 LDD & LDS 结构时 $BV_{DS}-V_{Gf}$ 变化曲线
 ○ 普通器件; ● LDD & LDS.

的增大和共基极电流增益的降低, 对抑制寄生双极晶体管有一定的贡献. Wei^[7]等采用沟道缺陷工程在 SOI 器件沟道区注入 Ge 的实验结果表明通过较好的控制技术, 这一过程引起的注入损伤没有引起正面栅阈值电压的改变, 却有效地降低了少子的寿

命,器件的源漏击穿特性得到明显改善,与我们理论预言相一致.

3.3 硅膜厚度的影响

薄膜、超薄膜 SOI 结构可以较简便地实现亚微米 CMOS 工艺,而且薄膜器件由于纵向电场的减弱,载流子迁移率有较大的提高.我们的研究却发现,过薄的 SOI 膜也会带来不利因素,会引起浮体效应的增强.图 5 是硅膜厚度不同,而其他器件参数相同时器件的输出特性曲线,硅膜越薄,浮体效应越显著,器件源漏击穿电压越低.分析表明,随着硅膜厚度的减薄,沿沟道方向的漏端电场将会增强,加剧了碰撞离化效应,较早地抬高了器件的浮体电位,激活寄生

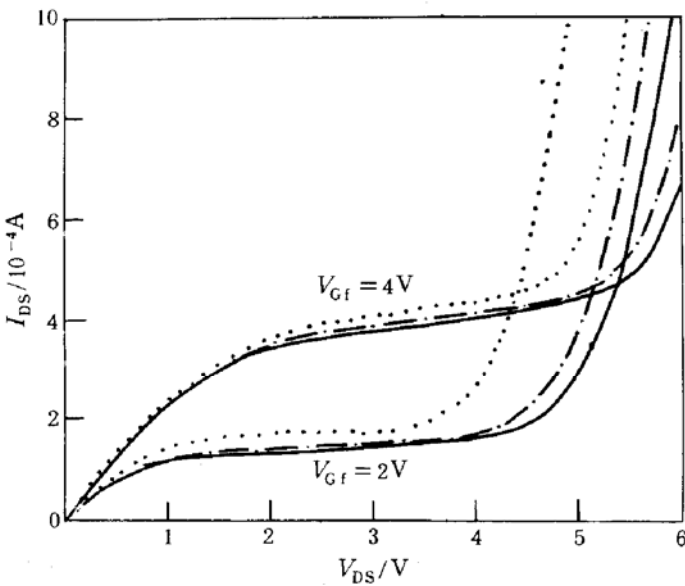


图 5 硅膜厚度不同时器件的 $I_{DS}-V_{DS}$ 特性曲线
实线: 120nm; 点划线: 100nm; 点线: 50nm.

3.4 沟道区掺杂浓度的影响

要实现全耗尽 SOI MOS 器件,沟道区掺杂浓度不能过高,掺杂浓度过高,会使器件在工作状态时硅膜不能全部耗尽,然而掺杂浓度又不能过低,必须保持足够大的阈值电压.我们的模拟还发现,沟道区掺杂浓度也会影响浮体效应的行为,图 6 是其他器件参数相同,沟道掺杂浓度变化时器件的输出特性变化曲线,在保持硅膜全耗尽的条件下适当增加沟道掺杂浓度,器件的击穿特性会有一定的改善.沟道掺杂浓度的增加提高了寄生双极晶体管的基区掺杂浓度,降低了发射结的注入效率,也降低了基区少子的复合寿命,因而可以大大减

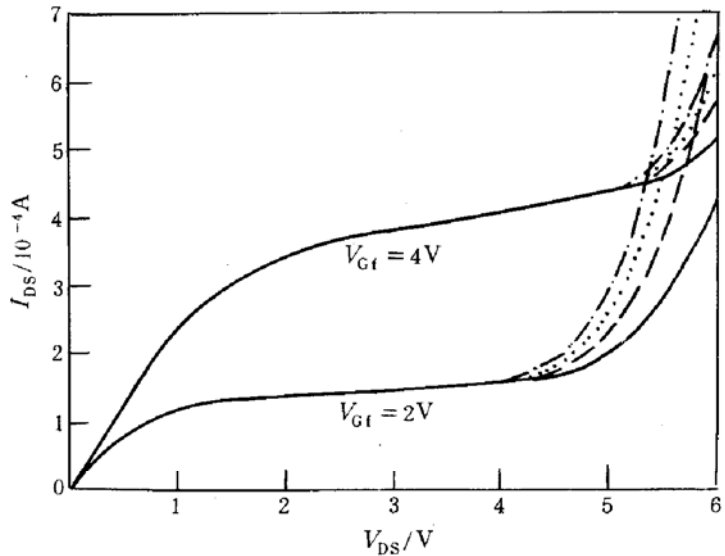


图 4 体区少子寿命变化对应的器件 $I_{DS}-V_{DS}$ 特性曲线
实线: 50ns; 虚线: 100ns; 点线: 150ns; 点划线: 200ns.

BJT,因而器件的击穿电压的明显降低. Kistler 等^[8]的二维模拟也证实了超薄膜器件漏端较高的电场分布和由此引起的浮体效应问题,所以短沟道器件的硅膜厚度不易过薄.进入亚微米-深亚微米领域后,DIBL (Drain Induced Barrier Lowering) 效应将严重起来,器件的击穿特性会受到穿通效应的影响,硅膜厚度又必须作相应地减薄以抑制穿通效应.所以就击穿特性而言,硅膜厚度的选取应有一个折衷,既不宜过薄,使浮体效应增强,也不能太厚,它的厚度应随器件特征尺寸(沟道长度)作相应调整(如对沟道长度为 $1\mu\text{m}$ 的 SOI nMOS 器件,硅膜厚度的适宜范围在 $110\pm 20\text{nm}$).

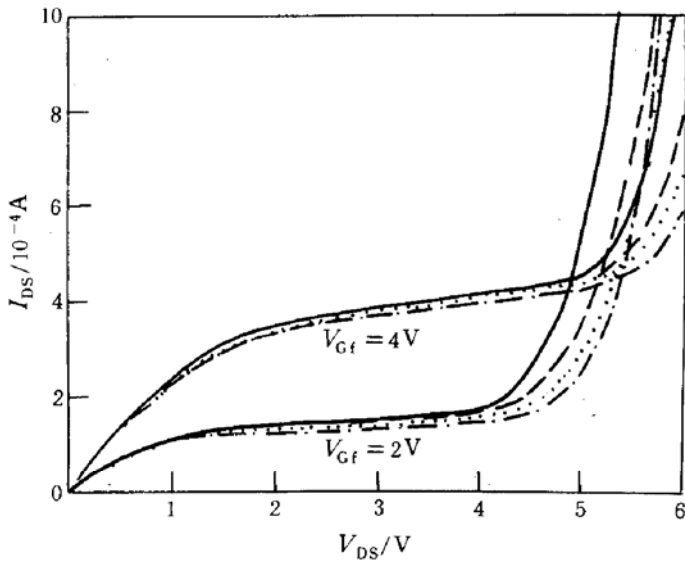


图 6 沟道掺杂浓度不同时器件的输出特性

实线: 2×10^{16} ; 虚线: 3×10^{16} ; 点线: 4×10^{16} ; 点划线: 6×10^{16} .

弱寄生 BJT 的放大作用,较为有效地抑制寄生双极晶体管效应,改善器件的击穿特性.

4 抑制浮体效应方法综述

薄膜 SOI nMOSFET 中的浮体效应限制了 CMOS/SOI 电路在通用 CMOS 领域中的发展,必须予以抑制,我们所建立的 SOI MOSFET 浮体效应物理模型,为抑制浮体效应提供了指导. 模拟研究表明,采用 LDD&LDS 的 MOS 结构一方面可降低漏端电场,减弱碰撞离化作用,另一方面又可降低寄生 BJT 的发射效率,是抑制浮体效应的很有效的方法;通过准确控制的沟道缺陷工程,改变少子在 SOI 体区的复合寿命,也可以大大减小寄生 BJT 的电流增益,达到抑制浮体效应的作用;硅膜厚度的选择应有一折衷,即不能过薄,导致器件沟道区横向电场的增强,加剧碰撞离化效应和寄生双极晶体管效应,太厚会破坏 CMOS/SOI 的薄膜优越性,并会引起穿通效应;在保持器件全耗尽的特点下,适当提高沟道掺杂浓度,可以降低寄生 BJT 的发射效率,减小少子的复合寿命,抑制寄生双极晶体管的放大作用. 经过上述工艺设计的改进后,薄膜 SOI 器件的浮体效应将得到有效的抑制与克服,薄膜 CMOS/SOI 器件的应用范围会从低压、低功耗领域向深亚微米 CMOS 应用领域扩展.

的沟道缺陷工程,改变少子在 SOI 体区的复合寿命,也可以大大减小寄生 BJT 的电流增益,达到抑制浮体效应的作用;硅膜厚度的选择应有一折衷,即不能过薄,导致器件沟道区横向电场的增强,加剧碰撞离化效应和寄生双极晶体管效应,太厚会破坏 CMOS/SOI 的薄膜优越性,并会引起穿通效应;在保持器件全耗尽的特点下,适当提高沟道掺杂浓度,可以降低寄生 BJT 的发射效率,减小少子的复合寿命,抑制寄生双极晶体管的放大作用. 经过上述工艺设计的改进后,薄膜 SOI 器件的浮体效应将得到有效的抑制与克服,薄膜 CMOS/SOI 器件的应用范围会从低压、低功耗领域向深亚微米 CMOS 应用领域扩展.

5 总结

根据浮体效应解析模型,分析了器件参数对浮体效应的影响,研究表明,降低源漏掺杂浓度、减小体区少子寿命、采用优化的硅膜厚度、以及在保持器件全耗尽的情形下适当提高沟道掺杂浓度等,可以有效地抑制浮体效应,提高器件的源漏击穿电压,这些参数在工艺上可以对应采用 LDD&LDS 的 MOS 结构、准确控制的沟道缺陷工程以减小少子在 SOI 体区的复合寿命等,在工艺设计上采用这些措施,可以有效地抑制 SOI 器件的浮体效应,为 CMOS/SOI 打开更广阔的应用前景.

参 考 文 献

- [1] J. P. Colinge, *Silicon-On-Insulator Technology: Materials to VLSI* (KAP, 1990).
- [2] J. Y. Choi and J. G. Fossum, *IEEE Trans. Electron Devices*, 1991, **38**:1384.
- [3] K. K. Young and J. A. Burns, *IEEE Trans. Electron Devices*, 1988, **35**: 426.
- [4] 奚雪梅, 王阳元, *半导体学报*, 1996, **17**:339.
- [5] 奚雪梅, 王阳元, *电子学报*, 已录用, 待发表.
- [6] Y. Yamaguchi, T. Iwamatsu, H. Oda, Y. Inoue *et al.*, *IEDM Tech. Dig.*, 1990, 591.
- [7] H. Wei, J. Chung, N. Kalkhoran *et al.*, *IEDM Tech. Dig.*, 1993, 739.
- [8] N. Kistler and J. Woo, *IEEE Trans. Electron Devices*, 1994, **41**(7):1217.

Suppression Study of Floating Body Effect in SOI MOSFET's

Xi Xuemei and Wang Yangyuan

(*Institute of Microelectronics, Peking University, Beijing 100871*)

Received 20 January 1995, revised manuscript received 25 April 1995

Abstract Based on our previous floating-body-effect (FBE) model, the dependence of FBE on several device parameters is studied. The results show that lowering source/drain doping, decreasing minority-carrier life time, optimizing the silicon film thickness and reducing channel doping will effectively suppress the FBE, and improve breakdown voltage characteristics. The experiments corresponding to the suppression of FBE with LDD&LDS structure and channel defect engineering, etc., demonstrate the calculated analysis, thereby enabling the theoretical result's realization in CMOS/SOI technology.

PACC: 3450H, 3490, 7220J, 7360H