

双极型器件慢界面陷阱能量分布的 $1/f$ 噪声分析方法

庄奕琪 孙 青

(西安电子科技大学微电子所 西安 710071)

侯 洵

(中国科学院西安光学精密机械研究所 西安 710068)

摘要 位于 Si/SiO₂ 界面附近的具有长时间常数的载流子陷阱对于半导体器件的可靠性有重要影响. 根据笔者建立的双极晶体管表面 $1/f$ 噪声分析模型, 通过测量栅控晶体管 $1/f$ 噪声的栅压特性, 可获得这种慢界面陷阱密度在禁带中心附近的能量分布. 本文给出了该方法的模型推导、参数提取、分析步骤和应用实例.

EEACC: 2560J, 2530F, 7320C

1 引言

在 Si-SiO₂ 界面附近存在两种类型的载流子陷阱. 一种是所谓界面陷阱或快界面态, 与硅导带或价带交换载流子的时间常数甚小, 而且对于一定的表面能级有唯一确定的值, 通常用 MOS 结构 $C-V$ 法或 $G-\omega$ 法测定的即是这种陷阱. 另一种是所谓氧化层陷阱或慢界面陷阱, 与硅导带或价带交换载流子的时间常数较大, 而且对于一定的表面能级有一个相当宽范围的分布. 大量的实验结果表明, 这种慢界面陷阱对于半导体器件的可靠性有重要影响. 主要体现在它与器件参数随时间的缓慢变化以及在应力作用下的退化密切相关, 如 MOS 器件的负温偏不稳定性^[1], 热载流子诱生退化^[2]、辐照诱生 V_T 漂移^[3], 双极型器件的 h_{FE} 漂移^[4]、击穿电压蠕动^[5]等. 然而, 迄今对慢界面陷阱的物理性质和微观结构的了解仍然很少, 主要原因是缺乏直接的测试与鉴别手段. 尽管慢界面陷阱会引起 $C-V$ 曲线的滞后以及 $G-\omega$ 曲线的低频平台等二级效应, 但利用常规 $C-V$ 或 $G-\omega$ 测量得不到精确的慢界面陷阱信息. 慢界面陷阱是 $1/f$ 噪声的一个主要来源, 故 $1/f$ 噪声测量是对慢界面陷阱进行定量分析的有效手段. 近年来, 利用 $1/f$ 噪声特性确定慢界面陷阱的能量或空间分布已有许多报道^[6~8], 但均是针对 MOS 型器件结构. 本文则是在建立了较完善的双极晶体管表面 $1/f$ 噪声分析模型的基础上, 通过测量栅控晶体管 $1/f$ 噪声的栅压特性, 得到了双极型器件慢界面陷阱密度的能量分布特性.

庄奕琪 男, 1957 年生, 副教授, 主要研究方向为微电子器件噪声物理及其应用技术

孙 青 男, 1929 年, 教授, 主要研究方向为半导体器件可靠性物理与表面物理

侯 洵 男, 1936 年生, 研究员, 中国科学院院士, 主要研究方向为瞬态光学与半导体光电子器件
1995 年 1 月 24 日收到初稿, 1995 年 8 月 14 日收到修改稿

2 分析模型

完善的 $1/f$ 噪声模型是进行噪声物理分析的前提. 然而, 现有的双极晶体管表面 $1/f$ 噪声模型或者过于简化, 不能全面准确地描述噪声特性^[9], 或者过于复杂, 参数繁多且难以提取^[10]. 本节将建立的双极晶体管表面 $1/f$ 噪声分析模型既具有简单的解析形式, 模型参数易于提取, 而且可与实测特性较好地拟合.

假定: (1) 基区表面区少子的纵向电势分布与横向准费米能级分布无关; (2) 基区表面处于耗尽状态, 这时表面 $1/f$ 噪声是双极晶体管 $1/f$ 噪声的主导成分. 采用 n^+ -p-n 栅控晶体管作为测试结构, 其坐标系如图 1 所示, 能带图如图 2 所示. 令 $\xi = (E_F^n - E_F^p)/kT$ 为电子准费米能级 E_F^n 与空穴准费米能级 E_F^p 之差的归一化表示, $u_s = q\psi_s/kT$ 为基区表面势 ψ_s 的归一化表示, 则在上述假设条件下, ξ 与 u_s 近似无关, 从而在推导 ξ 沿 y 方向上的分布时, 可令 $u_s = 0$.

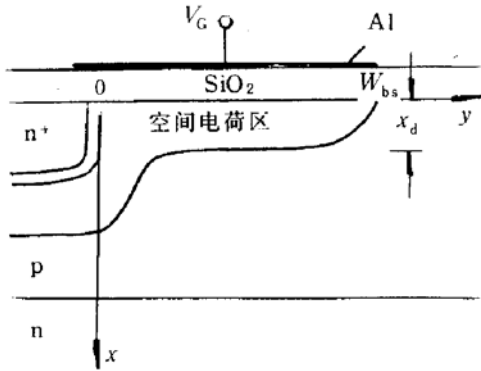


图 1 栅控晶体管测试结构剖面图

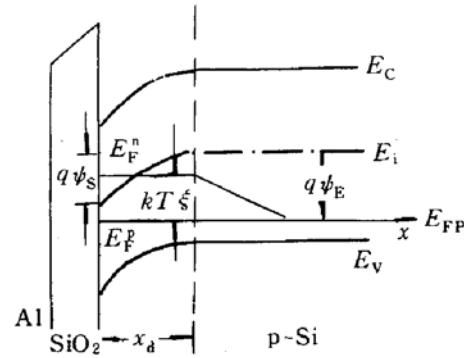


图 2 晶体管基区表面空间电荷区能带图

令 $u_s = 0$ 由一维扩散方程 $d^2n/dy^2 = (n - n_0)/L_n^2$ 及边界条件 $n|_{y=0} = n_0 e^{u_{BE}}$, $n|_{y=W_{bs}} = L_n$ 为少子扩散长度, $u_{BE} = qV_{BE}/kT$ 为归一化发射结偏压, W_{bs} 为基区表面宽度, n_0 为平衡载流子浓度, 并考虑到现代双极器件均满足 $W_{bs} \ll L_n$, 可求得

$$e^\xi - 1 = e^{u_{BE}} (1 - y/W_{bs}) \quad (1)$$

在表面耗尽至弱反型区, Si-SiO₂ 界面 $g-r$ 中心引起的界面复合电流 I_{ss} 是基区电流的主要成分. 由表面复合率公式

$$U_s = s_0 \frac{n_s p_s - n_i^2}{n_s + p_s + 2n_i} \quad (2)$$

及表面载流子浓度公式 $n_s = n_0 e^{u_s + \xi}$, $p_s = P_0 e^{-u_s}$, n_i 为本征载流子浓度, s_0 为基本表面复合速度, 并利用式(1), 可求得

$$I_{SS} = qA_{bs}n_i s_0 \int_0^{u_{BE}} \frac{(e^\xi - 1)e^{\xi - u_{BE}} d\xi}{2 + e^{u_s + \xi - u_F} + e^{u_F - u_s}} \quad (3)$$

式中 A_{bs} 为基区表面积; $u_F = \ln(N_A/n_i)$ 为费米势; N_A 为基区表面区掺杂浓度. 计算机模拟计算表明, 在基区表面耗尽至弱反型区, 式(3)可由以下解析式代替

$$I_{SS} = qA_{bs}n_i s_0 \frac{e^{u_{BE}} - 1}{2 + e^{u_s + u_{BE} - u_F} + e^{u_F - u_s}} \quad (4)$$

其中,

$$\eta = 0.9275 + 0.065V_{BE} \quad (5)$$

双极晶体管的表面 $1/f$ 噪声是由慢界面陷阱上的载流子数目涨落通过调制表面势引起表面复合电流的涨落所致. 由这种机构决定的基极电流 I_B 的涨落及其功率谱密度为

$$\delta I_B = \delta I_{SS} = \frac{dI_{SS}}{du_s} \times \frac{du_s}{dN_s} \times \frac{dN_s}{dN_t \delta N_t} \quad (6)$$

$$S_{I_B}(f) = \left(\frac{dI_{SS}}{du_s} \times \frac{du_s}{dN_s} \times \frac{dN_s}{dN_t} \right)^2 S_{N_t}(f) \quad (7)$$

式中 N_s 和 N_t 分别为表面空间电荷数和慢界面陷阱的面密度; $S_{N_t}(f)$ 为单位面积慢界面陷阱电荷数涨落的功率谱密度, 可表示为^[9]

$$S_{N_t}(f) = N_{ts}(E_F)/A_{bs}kTf \quad (8)$$

式中 $N_{ts}(E_F) = N_t(E_F)/\theta$ 为等效慢界面陷阱面密度; $N_t(E_F)$ 为费米能级 E_F 附近单位能量间隔单位体积内的慢界面陷阱数; θ 是一个与慢界面陷阱电荷涨落机构有关的常数; f 为频率. 容易导出,

$$\left| \frac{dN_s}{dN_t} \right| = \frac{C_s}{C_{ox} + C_s} \quad (9)$$

C_s 和 C_{ox} 分别是表面空间电荷区和基区表面氧化层的单位面积电容. 根据表面空间电荷层理论, 在表面耗尽区.

$$N_s = 2\epsilon_{Si}kT \sqrt{u_s}/q^2L_D \quad (10)$$

$$C_s = \epsilon_{Si}/L_D \sqrt{u_s} \quad (11)$$

式中 $L_D = \sqrt{kT\epsilon_{Si}/2q^2N_A}$ 为德拜长度; N_A 为基区表面层掺杂浓度; ϵ_{Si} 为硅的介电常数. 将式(8)至式(11)代入式(7), 得

$$S_{I_B}(f) = \left[\frac{q^3 n_i s_0}{C_{ox} + \epsilon_{Si}/L_D \sqrt{u_s}} \times \frac{(e^{\eta_{BE}} - 1)(e^{u_s + \eta_{BE} - u_F} - e^{u_F - u_s})}{(2 + e^{u_s + \eta_{BE} - u_F} + e^{u_F - u_s})^2} \right]^2 \frac{A_{bs} N_{ts}(E_F)}{kTf} \quad (12)$$

为了得到慢界面陷阱的能量分析, 必须确定基区表面势 u_s 与表面费米能级 E_F 的关系. 表面势通常由两种因素产生, 一是氧化层上的金属栅加有栅压 V_G ; 二是氧化层中有正电荷存在, 可用平带电压 V_{FB} 来表征. 由 MOS 理论, 在表面耗尽条件下, 可得

$$u_s = \frac{1}{4} \left[\sqrt{\gamma^2 + 4(V_G - V_{FB})} - \gamma \right]^2 \quad (13)$$

$$E_F - E_V = kT(u_s - u_F) + E_g/2 \quad (14)$$

式中, $\gamma \equiv 2\epsilon_{Si}t_{ox}/\epsilon_{ox}L_D$, E_V 和 E_g 分别为价带顶能级和禁带宽度, t_{ox} 和 ϵ_{ox} 分别为氧化层的厚度和介电常数.

3 分析方法

根据模型公式(12)至(14), 可以通过 $1/f$ 噪声测量确定慢界面陷阱密度的能量分布. 作为测试结构的 $n^+ - p - n$ 栅控晶体管的剖面结构如图 1 所示, 其工艺与常规双极工艺完全兼容, 只是在基区表面氧化层上加有金属栅极; 其版图设计得使基区表面积/发射区面积之比足够大, 以尽量提高基区表面复合电流 I_{ss} 与体复合电流 I_{BV} 之比.

分析前,必须首先确定所有模型参数的值.上节建立的模型中的参数可分为三类:(1)测试条件 V_{BE} 、 T 、 f ,是已知的;(2)几何结构参数 A_{bs} 、 t_{ox} ,由版图和常规工艺测量得到;(3)表面参数 s_0 、 N_A ,我们从栅控管 $I_B \sim V_G$ 实测曲线中提取得到.由式(4),令 $dI_{ss}du_s=0$,可知当 $u_s = u_F - \eta u_{BE}/2$ 时, I_{ss} 亦即 I_B 达到了最大值

$$I_{SSmax} = I_{Bmax} - I_{BV} = qn_i s_0 A_{bs} \frac{e^{\eta u_{BE}} - 1}{2(1 + e^{1/2 u_{BE}})} \quad (15)$$

于是,由测得的 I_{SSmax} 可求得 s_0 . 将 $u_s = u_F - \eta u_{BE}/2$ 代入式(13),可知 I_{Bmax} 对应的栅压

$$V_{Gm} = V_{FB} + \frac{kT}{q} \left[u_F - \frac{\eta}{2} u_{BE} + \frac{1}{C_{ox}} \sqrt{2kT \epsilon_{Si} N_A (u_F - \frac{\eta}{2} u_{BE})} \right] \quad (16)$$

考虑到表面一旦进入耗尽区, I_B 便急剧上升,故将 $I_B \sim V_G$ 曲线低端拐点 A 处的栅压近似取为平带电压 V_{FB} 的值.于是,由实测 $V_{Gm} - V_{FB}$ 值可求得 N_A 的值.

笔者组建的半导体器件低频噪声频谱自动测试系统的构成如图 3 所示,双极晶体管等效输入噪声电流功率谱密度的典型频谱如图 4 所示.该谱图提取出的成分参数: $A = 1.357 \times 10^{-22} A^2/Hz$, $B = 2.155 \times 10^{-18}$, $\gamma = 1.265$. 通常可用以下公式表示

$$S_{I_B}(f) = A + B/f^\gamma \quad (17)$$

式中 A 为白噪声幅度; B 和 γ 分别为 $1/f$ 噪声的幅度和频率指数因子. B 定义为 $f=1Hz$ 处的 $1/f$ 噪声谱密度.将实测频数据经最小二乘法拟合,提取出 A 、 B 和 γ 的值.

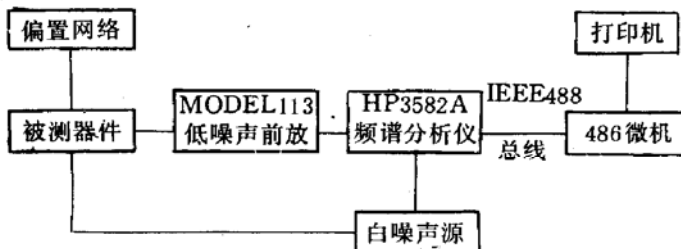


图 3 半导体器件低频噪声频谱自动测试系统的构成

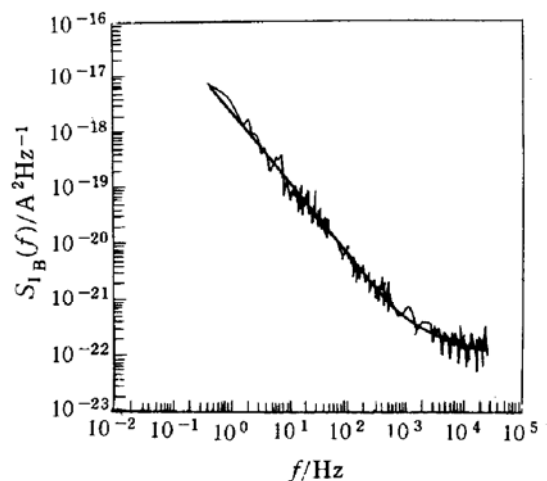


图 4 双极晶体管等效输入噪声电流频谱示例
有波动的为实测曲线,平滑的为拟合曲线.

由上所述,用 $1/f$ 噪声分析双极型器件慢界面陷阱能量分布 $N_{ts}(E_F)$ 的步骤为:

(1)测量 $I_B \sim V_G$ 曲线,读取 I_{Bmax} 、 I_{BV} 、 V_{FB} 和 V_{Gm} . 将 $I_{SSmax} = I_{Bmax} - I_{BV}$ 代入式(15),求得 s_0 ; 将 $V_{Gm} - V_{FB}$ 代入式(16),求得 N_A .

(2)测量 $B \sim V_G$ 曲线,读取 $V_{FB} < V_G < V_{Gm}$ 范围内的 $B \sim V_G$ 数据代入式(12) ($B = S_{I_B}(1Hz)$),求得 $N_{ts} \sim V_G$ 数据.注意,只有在 $V_{FB} < V_G < V_{Gm}$ 范围内, I_{ss} 才是 I_B 的主要成分,因此必须将分析范围限制在其内.

(3)联立求解方程(13)与(14),解得 $V_G \sim E_F$ 关系.注意,只有能量在 E_F 附近 $\pm kT$ 范围内的慢界面陷阱对 $1/f$ 器声有显著贡献,故 E_F 可视为有效慢界面陷阱能级.

4 分析实例

由栅控晶体管测得的 $B \sim V_G$ 曲线如图 5 所示,测试提取出的模型参数如表 1 所列,分析得到的氧化层陷阱能量分布如图 6 所示.由图 6 可知,采用慢界面陷阱非均匀分布进行拟合后,实测数据可与理论曲线很好地拟合,而以往分析中将慢界面陷阱密度视为与能量无关的常数则会引入较大误差.

表 1 双极晶体管 $1/f$ 噪声-慢界面陷阱分析模型参数

$A_{bs}/\mu\text{m}^2$	t_{ox}/nm	T/K	V_{BE}/V	V_{Gm}/V	V_{FB}/V	I_{Bmax}/A	I_{BV}/A	N_A/cm^{-3}	$S_0/(\text{cm} \cdot \text{s}^{-1})$
1.38×10^4	250	300	0.60	7	-4	5.3×10^{-6}	5.1×10^{-7}	5.98×10^{17}	144.6

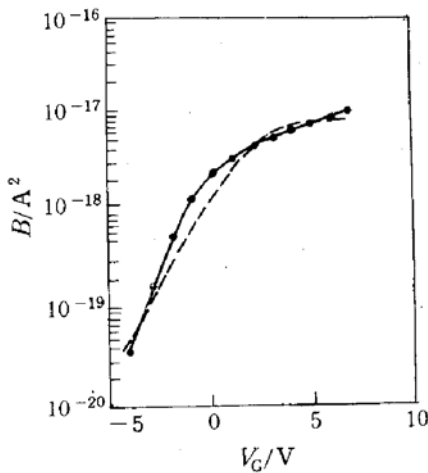


图 5 栅控晶体管 $B \sim V_G$ 特性

点:实测数据;实线:慢界面陷阱非均匀分布拟合曲线 (N_{it} 采用图 6 数据);虚线:慢界面陷阱均匀分布拟合曲线 (N_{it} 采用图 6 所有数据的平均值).

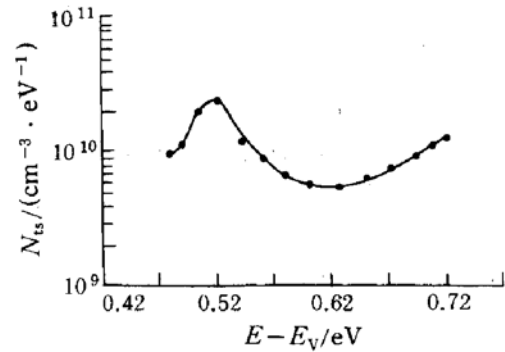


图 6 由 $1/f$ 噪声测量得到的双极晶体管慢界面陷阱能量分布

由图 6 可见,由 $1/f$ 噪声测量得到慢界面陷阱分布不同于用准静态 $C-V$ 方法得到的界面陷阱分布,后者在禁带中心附近几乎为常数,前者在 $E-E_v=0.52\text{eV}$ 处有一个明显的峰.值得注意的是,这个峰值出现的位置与陈开茅等最近用 DLTS 测量发现的界面态 H_{it} (0.494) 的能级位置十分接近^[11~12].根据他们提出的 Si/SiO₂ 界面物理模型, H_{it} (0.494) 与产生 $1/f$ 噪声的氧化层陷阱很可能具有相同的微观起源.从空间上看, H_{it} (0.494) 应位于 Si/SiO₂ 界面过渡层中,而慢界面陷阱则连续分布在距硅表面几个 nm 的薄层内,二者的空间位置相重合;从能量上看, H_{it} (0.494) 能级随着离开 Si 表面的距离的增大而逐步偏离价带,而慢界面陷阱的分布重心与常规界面陷阱的分布重心相比,距 Si 表面较远,因此慢界面陷阱峰值能级高于 H_{it} (0.494) 是可以理解的.该慢界面陷阱能量分布的性质还有待于进一步的研究.

本方法提取得到的 $N_{it}=6 \times 10^9 \sim 3 \times 10^{10} \text{cm}^{-2} \text{eV}^{-1}$.若认为慢界面陷阱与硅通过隧穿过程交换载流子,则 θ 的物理意义为隧穿常数,其值约为 10^8cm^{-1} ,由 $N_t(E_F)=N_{it}\theta$ 求得的 $N_t(E_F)$ 值约为 $6 \times 10^{17} \sim 3 \times 10^{18} \text{cm}^{-3} \text{eV}^{-1}$,与由 MOSFET $1/f$ 噪声测量分析得到的 $N_t(E_F)$ 值十分接近^[6,8],是一个非常合理的值.

5 结 论

$1/f$ 噪声分析是确定慢界面陷阱能量分布的有效方法. 本文的工作将这一方法的适用范围从 MOS 器件扩展到双极器件. 由于结构和工艺上的差异, 这两种类型的器件的慢界面陷阱性质不尽相同; 而且 MOS 方法得到的是禁带边缘附近的慢界面陷阱密度分布, 本方法得到的是禁带中心附近的慢界面陷阱密度分布, 为进一步了解慢界面陷阱性质提供了新的手段. 由于非表面耗尽区的 $1/f$ 噪声模型尚欠成熟, 这一方法目前可分析的能量范围仍然较窄, 进一步的改进有赖于 $1/f$ 噪声建模和鉴别方法研究的进展.

参 考 文 献

- [1] 庄奕琪, 孙青, 半导体器件中的噪声及其低噪声化技术, 北京: 国防工业出版社, 1993 年.
- [2] J. M. Pimbley and G. Gildenblat, IEEE Electron Device Lett., 1984, **DEL-9**(9):345.
- [3] D. M. Fleetwood and J. H. Scafield, Phys. Rev. Lett., 1990, **64**(5):579.
- [4] Zhuang Yiqi and Sun Qing, IEEE Trans. Electron Devices, 1991, **ED-38**(11):2540.
- [5] J. F. Verway and A. Heringa, IEEE Trans. Electron Devices, 1977, **ED-24**(5):519.
- [6] R. Jayaraman and C. G. Sodini, IEEE Trans. Electron Devices, 1989, **ED-36**(9):1773.
- [7] H. Wong and Y. C. Cheng, IEEE Trans. Electron Devices, 1990, **ED-37**(7):1743.
- [8] Z. Celik and T. Y. Hsiang, IEEE Trans. Electron Devices, 1988, **ED-35**(10):1651.
- [9] A. Van der Ziel, Solid-St. Electron, 1989, **32**(1):81.
- [10] 庄奕琪, 孙青, 半导体学报, 1987, **8**(6):614.
- [11] 陈开茅等, 半导体学报, 1994, **15**(5):295.
- [12] 陈开茅等, 物理学报, 1992, **41**(11):1870.

Determination of Energy Distribution of Slow Interface Traps in Bipolar Devices by $1/f$ Noise Measurements

Zhuang Yiqi and Sun Qing

(Microelectronics Institute, Xidian University, Xi'an 710071)

Hou Xun

(Xi'an Institute of Optics and Precise Mechanics, Academia Sinica, Xi'an 710068)

Received 24 January 1995, revised manuscript received 14 August 1995

Abstract The slow carrier traps near Si/SiO₂ interface have an impact on reliability in semiconductor devices. Based on an analytical model of the surface $1/f$ noise in bipolar transistors developed in this paper, the energy distribution of the slow interface trap is determined by means of the measured $1/f$ noise variation with gate voltage for the gate-controlled transistor. The analysis procedure and example are presented.

EEACC: 2560J, 2530F, 7320C