

1.5 μm 全耗尽 CMOS/SIMOX 门阵列的研制

张 兴 魏丽琼 王阳元

(北京大学微电子研究所 北京 100871)

摘要 本文介绍了可用于高速、高性能抗辐照专用集成电路设计的 1.5 μm 薄膜全耗尽 CMOS/SIMOX 门阵列母版的研制. 较为详细地讨论了 CMOS/SIMOX 门阵列基本阵列单元、输入/输出单元、单元库的设计技术以及 1.5 μm CMOS/SIMOX 门阵列工艺开发过程. 该门阵列在 5V 电源电压时的单级门延迟时间仅为 430ps.

EEACC: 2570D, 1265B, 2520M

1 引言

门阵列是当前广泛采用的一种 ASIC 技术, 其母片结构固定, 只须改变欧姆孔和铝连线掩膜就可以根据不同用户要求迅速实现各种功能的专用集成电路, 因而它具有研制周期短、设计灵活、成本低、适合于小批量生产并可由用户自己设计等优点^[1].

在全耗尽 CMOS/SOI 集成电路中, 由于晶体管之间是采用绝缘介质完全隔离的且器件是全耗尽的, 它完全消除了体硅 CMOS 电路中的寄生门锁效应, 且还具有极小的布线电容, 据报道, 在 CMOS/SOI 电路中, 每毫米连线的电容仅为 0.1pf 左右^[2]. 因此 CMOS/SOI 电路具有速度高、集成密度高、静态功耗低、短沟道效应小、抗辐照性能好等优点^[3,4], 它特别适合于航天、通讯及核武器等系统中的应用.

正是为了满足航天、通讯及军用 ASIC 电路的需要, 我们开发研制了特征尺寸为 1.5 μm 的 CMOS/SOI 门阵列.

2 CMOS/SOI 门阵列母版的设计

门阵列一般由内部阵列、输入/输出(I/O)单元阵列及外围通道构成, 根据门阵列的特点, 设计门阵列母版一定要严格遵守以下原则:

张 兴 男, 1965 年生, 博士, 主要从事 SOI/CMOS 器件电路模拟、设计及工艺等的研究
魏丽琼 女, 1969 年生, 硕士, 主要从事 SOI/CMOS 电路设计及器件模型等的研究
王阳元 男, 1935 年生, 教授, 中国科学院院士, 主要从事集成电路新结构、新工艺、新材料的研究
1995 年 1 月 28 日收到本文

(1) 要着重考虑母版的通用性,只有这样才能充分发挥出门阵列技术的优势. 门阵列母版中,基本单元设计要力争达到最佳化,寄生现象要尽可能地少,能很方便地连接成各种逻辑电路;单元内部及单元之间的布线通道要充足;I/O 单元应能非常方便地连接成输入、输出及三态门等各种缓冲器,且在作为输入时要有较强的输入保护能力,作为输出时要有足够的驱动能力.

(2) 母版的各项性能指标要互相兼顾,并且要留有足够的冗余度,以满足不同用户的各种不同要求.

(3) 工艺选择要合理,为了满足高速、高集成度及抗辐照能力的需要,同时考虑到实际工艺水平,选用了 1.5 μm CMOS/SOI 工艺.

(4) 还要有足够的供监测制作工艺使用的测试图形,主要应包括工艺监控图形、各种 MOS 晶体管、电阻等.

门阵列由基本阵列单元和 I/O 单元按一定规则重复排列而成. 一般地,内部阵列单元与阵列以外的电路没有直接联系,若内部电路必须要与外电路相连接,只有通过 I/O 单元, I/O 单元是专为外电路与内部阵列互连设计的. 因此,在设计内部阵列时,可以不考虑与外电路匹配问题,该问题仅在 I/O 单元中考虑就可以了. 门阵列母版设计主要包括内部阵列单元与 I/O 单元设计两大部分.

2.1 基本阵列单元的设计

内部阵列基本单元采用了图 1 所示的 6 管结构,由 3 对宽长比相同的 NMOS 和 PMOS 晶体管对组成,等效 1.5 个基本门. 应用这个基本单元可以很方便地连接成反相器、与非门、或非门、传输门等各种组合逻辑电路.

门阵列布线通道采用了 N^+ 多晶硅. 为了提高门阵列布线利用率,又尽可能压缩芯片面积,合理地设置布线通道非常重要. 通道太多,芯片面积太大;而通道太少,会使布线困难,且门阵列利用率也会降低. 每个基本单元需要的最大布线通道数为:

$$T = 3NCG^{0.124} \quad (1)$$

式中 N 为每个阵列单元等效的基本门数; C 为每个基本门信号连接点的平均数; G 为门阵列的规模. 对于我们的门阵列母版,单元中的布线通道数为 25 条,实践证明,它完全能满足布线的需要.

基本单元沟道宽度的大小主要由内部布线通道的要求确定,根据我们的经验,在基本单元内部,除了电源或地线以外,又设计了三条连线通道,分布于电源或地线两侧,这些内部通道主要是供将来建立单元库时使用.

2.2 I/O 单元的设计

I/O 单元是内部电路与外部电路相互连接的通道,它必须能很方便地实现各种各样的输入、输出网络,能与内部及外部电路相互匹配,且还要有足够的输入保护能力,I/O 单元主要由以下三部分组成:

2.2.1 输入保护网络

输入保护网络实际上是一个自动开关,当电路正常工作时,开关断开;而当输入电压过

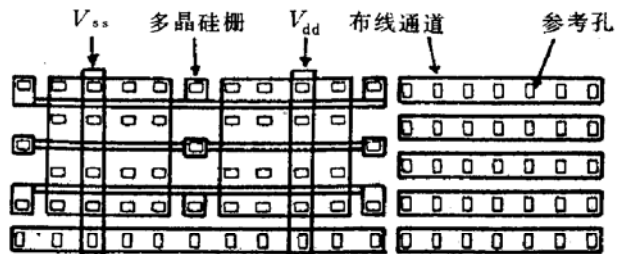


图 1 门阵列的基本单元

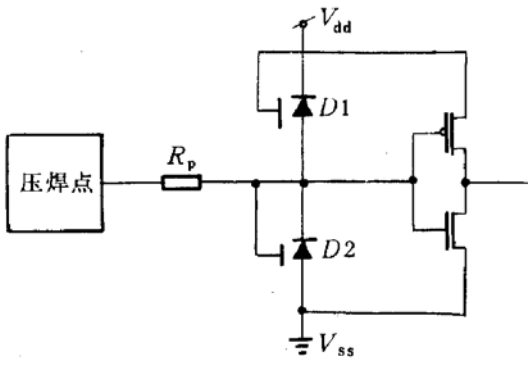


图 2 输入保护网络的电路图

高或过低时,开关闭合,给输入电压提供放电回路,以防止内部电路的击穿. 根据这一原理,设计了如图 2 所示的输入保护网络, D_1 、 D_2 为充当自动开关的二极管, R_p 是一个起限流、分压、缓冲作用的外加电阻.

当输入电压过大时,二极管导通构成放电回路,但二极管从截止到导通状态有一个时间延迟 t_0 ,为了保证在 t_0 时间之前输入端的电压小于其击穿电压,在保护网络中设计了电阻 R_p ,这样 V_{in} 通过 R_p 和保护二极管及输入级的电容对输入端充电,降低了电压的上升速度. 二极管导通后, R_p 起限流与分压的作用,防止放电电流或电压过大引起保护电路本身损坏. 但 R_p 会使保护网络的延迟增大,这对高速 CMOS/SOI 电路不利. 因此, R_p 的大小必须兼顾考虑保护能力与速度的要求,在我们的 I/O 单元中, R_p 的值约为 600Ω .

为了抑制 SOI 器件的边缘寄生效应,二极管设计成环形栅控的无边缘结构;为了提高输入保护网络的散热特性,保护二极管的周长要尽可能地大些,要使 PN 结位于环形栅控二极管多晶硅栅的外围.

2.2.2 缓冲器的设计

I/O 单元在作为输出时,为了增加输出驱动能力,要求输出缓冲器的宽长比要大;在作为输入时,为了减小输入电容,提高电路的速度,要求输入缓冲器的宽长比要适当小些. 而门阵列母版则要求 I/O 单元能实现输入、输出、双向等缓冲电路,因此把 I/O 单元中的缓冲器部分设计成几组互补的 MOS 管,以根据不同的需要进行编程.

为了降低 SOI 器件的泄漏电流,缓冲器中所有晶体管均采用了环形栅结构;为了抑制 SOI/NMOSFET 的浮体效应,NMOSFET 全部采用了图 3 所示的衬底接源结构.

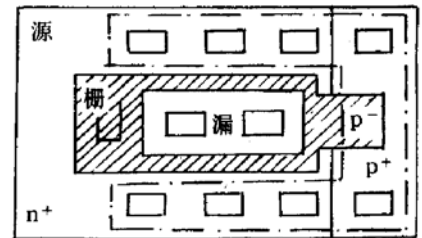


图 3 NMOSFET 的衬底接源结构

2.2.3 与 TTL 电路接口的设计

当 CMOS 电路驱动 TTL 电路时,由于 TTL 电路的抽取电流大,CMOS 电路有可能驱动不动 TTL 电路;而当 TTL 电路驱动 CMOS 电路时,由于 TTL 电路的高电平较低,则有可能使 CMOS 电路无法工作. 因此,在 CMOS 电路的输出端应设上拉电阻,以提高其驱动电流;在其输入端则应设下拉电阻,以提高 TTL 电路输出的高电平值.

在我们的设计中,采用了 MOS 晶体管代替上拉/下拉电阻,这主要是因为上拉/下拉电阻的阻值一般都比较大,要占很大的面积,而 MOS 管则具有阻值大面积小的特点. 为了满足用户的不同要求,分别设计了两组不同宽长比的 MOS 管作为上拉/下拉电阻,以供实际应用时选择. MOS 管作为上拉/下拉电阻时的连接方法如图 4 所示.

2.2.4 I/O 单元数目的设计

门阵列压焊点的数目由下式确定:

$$P = C \cdot G^a \quad (2)$$

其中 P 为引出头数目; C 为每个等效基本门的平均连线数; G 为门阵列规模; a 为 Rent 经验常数, 一般取值在 0.45~0.55 之间. 对于 150 门的门阵列, a 取 0.45 时, 其引出头总数应为 36, 所以在 150 门 CMOS/SOI 门阵列中, 设计了 32 个引出头.

通过以上分析, 最后设计定型的 I/O 单元如

图 5 所示(见图版 I), 它主要由三部分组成: (1) 输入输出缓冲器, (2) 输入保护网络, (3) 与 TTL、CMOS 等不同系列电路进行电平和电流匹配时使用的上拉/下拉 MOS 管组. 这种 I/O 单元具有很强的可编程性, 只需改变欧姆孔和金属互连线可以实现输入、输出、双向传输、漏极开路输出以及逻辑反向、逻辑同相、三态等十几种功能.

2.3 CMOS/SOI 门阵列的母版结构

CMOS/SOI 门阵列母版由内部单元阵列、外围布线通道、I/O 单元阵列等几个主要部分组成, 为了方便制作工艺过程中工艺及器件参数的监控和光刻套准, 在母版的四角还设计了一些测试图形和套刻标记, 图 6 给出了 1.5 μm CMOS/SOI 门阵列的芯片照片(见图版 I), 表 1 给出了门阵列母版的详细参数.

表 1 1.5 μm CMOS/SOI 门阵列参数

特 征 尺 寸		1.5 μm
基本单元	基本单元类型	六管单元
	晶体管沟道宽度	56 μm
	基本单元尺寸	270 \times 85 μm^2
	基本单元阵列	6 \times 16
外围单元	输入保护电阻	多晶硅电阻, 11 方, 约 600 Ω
	保护二极管周长	188 μm
	缓冲器 N 管的沟道宽度	120 $\mu\text{m} \times 2$
	缓冲器 P 管的沟道宽度	220 $\mu\text{m} \times 2$
	上拉 MOS 管宽长比	8/7, 8/4, 8/3, 6/12
	下拉 MOS 管宽长比	8/7, 8/4, 8/3, 6/12
	单元尺寸	227 \times 359 μm^2
	单元数目	32
芯片尺寸		3.02 \times 2.97 mm^2

3 门阵列单元库的建立

门阵列技术和 CAD 设计手段为不熟悉集成电路工艺的电路设计师应用微电子技术打开了方便之门, 但大多数电路设计师在设计 ASIC 电路时的工作仅仅是完成各个基本逻辑功能块之间的互连, 他们不会也不可能过多地追究这些集成电路芯片内部的版图结构. 因此, 在 Foundry 与 ASIC 设计中心之间需要有一个互相联系的媒介, 这个媒介即是集成电路

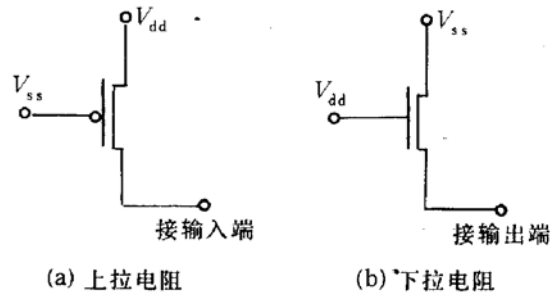


图 4 MOS 管作上拉/下拉电阻时的连接方法接源结构

设计数据库. 采用门阵列实现 ASIC 的关键是建立一个完善的数据库, 有了数据库, 在设计 ASIC 时, 只要在门阵列 ASIC CAD 软件的支持下, 通过调用单元库中的数据并进行一些简单的功能块之间的互连, 就可以设计出最后的版图. 门阵列单元库应包括以下数据及资料: (1) 库单元的名称、功能及逻辑图; (2) 晶体管级电路图, 这在进行电路和时序模拟时是必须的; (3) 拓扑版图, 它描述了某逻辑单元的功能及此单元中各晶体管之间的连接关系, 拓扑版图不随设计规则改变而改变; (4) 物理版图, 它以 CIF 格式描述单元版图, 它随设计规则而改变; (5) 库单元的物理参数, 包括门延迟时间、驱动电流、功耗电流、高低电平等, 且这些参数可以用于 ASIC 的逻辑、时序及测试码模拟.

根据这些原则, 建立起了一套基于 $1.5\mu\text{m}$ CMOS/SOI 工艺的门阵列单元库. 该单元库大致可分为基本逻辑单元、基本功能单元和宏单元三个级别.

作为以后建立功能单元和宏单元库的基础, 首先建立起基本逻辑门单元库, 其中包括各种常用的基本逻辑门, 如反相门、二输入与非门、二输入或非门、三输入与非门、三输入或非门、传输门等等.

利用基本逻辑门单元, 进行适当的组合和互连, 构成了诸如触发器、三态门、缓冲器以及各种反相、同相、三态的输入、输出单元等功能单元库. 对于其中一些利用率较高的单元, 如 D 触发器、三态门等都有两种或两种以上的版图结构, 以供具体布局布线时根据不同的需要选择不同版图结构的单元. 例如在数据库中设计了多种版图布局的 D 触发器, 以供电路设计时选用.

对于大多数电路和系统设计师而言, 他们更习惯于使用一些规模较大的电路如译码器、移位寄存器、计数器、加法器等作为一个单元来实现他们的设计, 为此, 在以上两类库单元的基础上, 又开发了另外一种单元——宏单元库. 宏单元的开发可以随设计工作的进展, 逐步增加和完善, 现有的宏单元库主要包括 3—8 译码器、移位寄存器、4 位、8 位、16 位寄存器阵列、三态缓冲/驱动器等. 在宏单元库中, 对每个宏单元都建立一张由基本逻辑门单元和基本功能单元连接成的网表, 这样, 进行电路模拟验证时, 系统可以自动地由基本单元的功能描述出发, 模拟宏单元的逻辑功能及延时特性, 得出整个电路的模拟结果.

4 $1.5\mu\text{m}$ CMOS/SOI 门阵列的工艺设计

保证门阵列 ASIC 电路能够一次投片一次成功的关键是单元库中的数据能够正确反映实际工艺的情况, 这就要求门阵列工艺必须具有稳定、可靠、规范化等特点, 工艺的可重复性是实现集成电路设计自动化的基础. $1.5\mu\text{m}$ CMOS/SOI 门阵列采用多晶硅栅全离子注入低温 CMOS/SOI 工艺, 为了提高工艺的稳定性及抗辐照能力, 主要采取了如下措施:

(1) 在投片之前, 严格检测原始 SOI 片质量, 保证原始 SOI 片硅层表面光洁、厚度均匀、结晶质量好、没有自掺杂(应为近本征片).

(2) 采用湿氧氧化的方法将原始 SOI 片的表面硅层减薄至 100nm , 保证形成全耗尽器件.

(3) 采用 RIE 工艺形成近似垂直的硅岛, 抑制 SOI/MOSFET 的边缘寄生效应.

(4) 采用成熟的 900°C 干氧氧化工艺制备栅氧化层, 栅氧化时应避免使用 HCl, 但在栅氧化前需要用 HCl 处理管道.

(5) 进行栅氧化时要严格控制栅氧层的界面态密度和固定电荷密度, 两者均应小于 $5\times$

10^{10}cm^{-2} .

(6) 要尽量减少栅氧化以后的高温过程, 以降低栅介质层中诱发层错密度、界面态密度等, 栅氧化应该是整个工艺中温度最高的一个步骤.

通过大量的工艺实验, 开发了稳定可靠的 1.5 μm 全耗尽 CMOS/SOI 门阵列工艺, 表 2 给出了用该工艺实现的门阵列母片的部分工艺、器件和电路参数.

5 结论

在现有工艺的基础上成功地研制了 1.5 μm 150 门薄膜全耗尽 CMOS/SOI 门阵列母版, 在 5V 电源电压时的门延迟时间仅为 430ps. 并利用该门阵列母版实现了分频器、专用译码器等高性能专用集成电路, 电路的性能指标均达到了用户的要求.

表 2 1.5 μm CMOS/SOI 工艺及器件参数

参 数	NMOSFET	PMOSFET
硅层厚度 t_{Si}	100nm	100nm
沟道掺杂浓度	$8.0 \times 10^{16}\text{cm}^{-3}$	$2.0 \times 10^{16}\text{cm}^{-3}$
栅氧化层厚度 t_{ox}	30nm	30nm
沟道有效迁移率	$450\text{cm}^2/(\text{V} \cdot \text{s})$	$190\text{cm}^2/(\text{V} \cdot \text{s})$
方 块 电 阻	N: $30\Omega/\square$ P: $120\Omega/\square$ Poly: $50\Omega/\square$	
阈值电压 V_{th}	0.6V	-0.8V
击穿电压 BV_{ds}	7V	-9V
泄漏电流 I_{L}	$3.0 \times 10^{-12}\text{A}/\mu\text{m}$	$5.0 \times 10^{-12}\text{A}/\mu\text{m}$
门延迟时间 t_{pd}	430ps	

参 考 文 献

- [1] M. P. Brassington *et al.*, IEEE Trans. Electron Devices, 1985, **32**(9): 1858.
- [2] S. Tanaka *et al.*, IEEE J. Solid-State Circuits, 1984, **SC-19**(5): 657.
- [3] T. Nishimura *et al.*, IEDM Tech. Dig., 1993, 475~478.
- [4] J. Tsantes, Electron Device News, 1980, **25**(17): 55.

Development of 1.5 μm Fully Depleted CMOS/SIMOX Gate Array

Zhang Xing, Wei Liqiong and Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing 100871)

Received 23 January 1995

Abstract 1.5 μm Fully Depleted CMOS/SIMOX Gate Array used in the area of high performance and radiation hardened ASICs has been developed. The design technologies of the basic cell, input/output cell and macro-cell library as well, as the 1.5 μm fabrication process have been discussed. The gate delay of the gate array is only 430ps at 5V supply.

EEACC: 2570D, 1265B, 2520M