

VLSI 和 PCB 双层布线中的 通孔最少化算法*

洪先龙 潘 立 王尔乾

(清华大学 计算机科学与技术系 北京 100084)

摘要 本文提出了一个新的通孔最少化层分配的图模型. 该模型克服了传统层分配算法对通孔度数和位置的限制, 允许通孔自由地以任意度数和任何需要的位置出现. 模型中还提出了通孔秩的概念, 它比较能更精确地反映通孔的本质. 在此基础上, 本文将通孔最少化问题转化为图的最大割问题, 并提出了一种启发式算法去求解图的最大割. 算法已用 C 语言在 SUN 工作站上实现. 实验结果表明, 算法十分有效且稳定.

CCACC: 7410D, 5120

1 引言

在集成电路和印刷电路板布线中, 大多数双层布线算法都会产生大量通孔. 引入通孔对完成布线有积极作用, 但通孔太多会影响电路性能, 增加布线面积, 甚至会影响产品的成品率. 因此, 我们希望在布线完成后, 对布线结果重新进行层分配, 以减少通孔数. 这就是通孔最少化问题 (Via Minimization Problem, VM). 它是层分配问题 (Layer Assignment Problem, LA) 的主要目标之一.

通孔最少化的概念和理论最早由 A. Hashimoto 和 J. Stevens^[1]提出. 经过二十多年的发展, 已取得了一些令人鼓舞的成果. 1980 年东京工业大学的 Y. Kajitani^[2]使用图论的方法首先证明了有约束的 VM 问题, 当其满足一定约束条件时不是 NP-完全问题. 他还提出了一个求解 VM 的多项式时间的算法. 1983 年 MIT 的 R. W. Chen^[3]扩展了 [2] 的成果, 把它推广到一个更加一般的模型. 最近几年来, [4]、[5] 和 [6] 分别从不同的角度探讨了 VM 算法, 取得了不少进展. 但在已有的 VM 算法模型中都附有约束条件, 如只考虑两端线网, 通孔必须出现在拐角处以及不能有三度以上的通孔等.

本文提出了通孔最少化的一般图模型及通孔最少化算法. 算法打破了原有布线模型对通孔位置及度数的限制. 实例计算表明, 其结果要优于已发表的算法.

* 国家自然科学基金资助项目

洪先龙 男, 1940 年生, 教授, 博士生导师, 主要从事 VLSI CAD 的算法和系统的研究和教学工作

王尔乾 男, 1936 年生, 教授, 主要从事计算机系统结构和 IC CAD 技术的研究和教学工作

1995 年 2 月 27 日收到初稿, 1995 年 5 月 30 日收到修改稿

2 通孔最少化一般图模型

给定任一个已完成布线区域 P, 忽略 P 中所有线网的层次分配, 得到一个布线的拓朴表示, 称为暂态布线. 图 1(a) 是一个原始布线结果, (b) 是其对应的暂态布线 T.

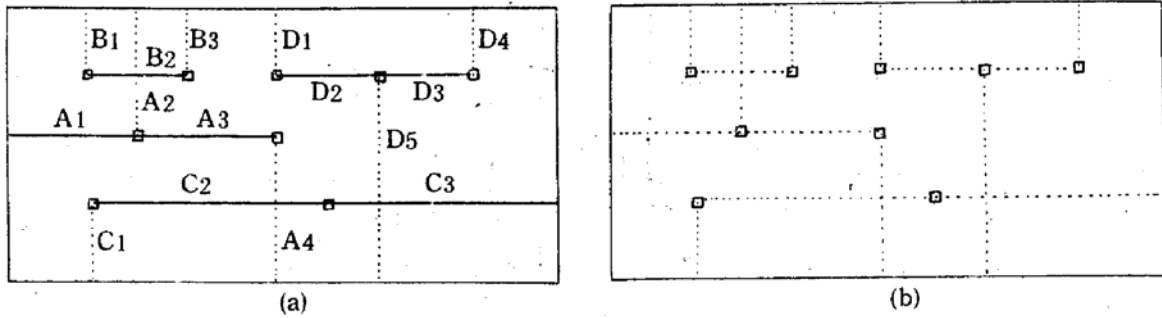


图 1 (a) 布线区域 P; (b) 暂态布线 T

定义 1: T 中可能放置通孔的位置称为候选通孔.

定义 2: 以两个候选通孔或线网引线端为端点的部分线网称为网段.

如图 1(a) 中 A_i, B_i 和 C_i 都是网段, 网段交点处是候选通孔.

定义 3: T 中属于不同线网的两条网段相交称为跨交, 部分或全部重叠称为覆盖, 相交于拐点称为对拐, 如图 2 所示.

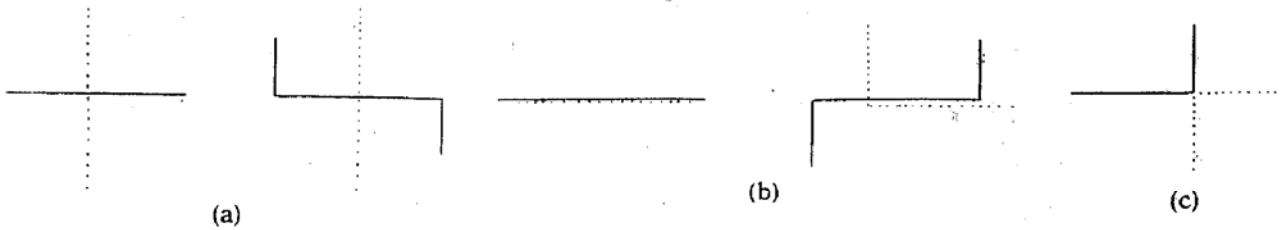


图 2 (a) 跨交; (b) 覆盖; (c) 对拐

定义 4: 设 S_i, S_j 表示网段, S_i 和 S_j 的层约束关系 R 定义为:

$$R = \{(S_i, S_j) \mid \text{对一切 } S_i \in T, S_j \in T, S_i, S_j \text{ 属于不同网段且或跨交、或覆盖、或对拐}\}$$

定义 5: 设 S_i, S_j 表示网段, V_i, V_j 表示图中与 S_i, S_j 对应的顶点, 四元组 $G(T) = (V, E_r \cup E_v, W_v, W_n)$ 表示描述暂态布线 T 的图模型, 其中:

$$V = \{V_i \mid \text{对一切 } S_i \in T\}$$

$$E_r = \{(V_i, V_j) \mid \text{对一切 } S_i \in T, S_j \in T, (S_i, S_j) \in R\}$$

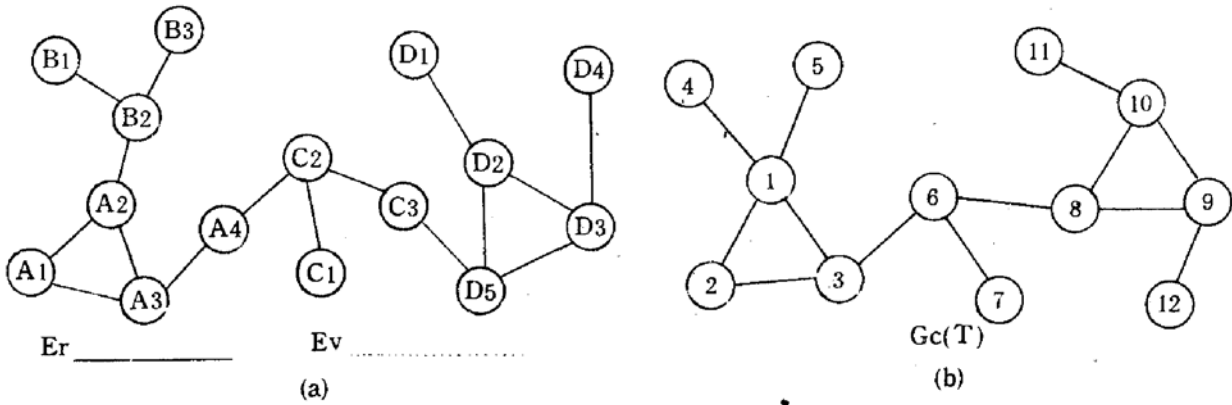
$$E_v = \{(V_i, V_j) \mid \text{对一切 } S_i \in T, S_j \in T, S_i, S_j \text{ 连接同一候选通孔}\}$$

$$W_v = \{\text{与 } E_v \text{ 边相联系的通孔的权重}\}$$

$$W_n = \{\text{与 } E_r \text{ 边相联系的线网的权重}\}$$

例如, 图 1(b) 中的 T 的 $G(T)$ 如图 3(a) 所示.

$G(T)$ 描述对布线没有特殊限制, 在 $G(T)$ 中, 布线可以任意方式进行, 通孔可以有任意度数和在任何位置出现, 线网和通孔分别可有自己的权重. $G(T)$ 中的边集 E_r 和 E_v 分别称为约束边集和连接边集. 约束边集表示分属不同线网的网段在分层时的制约关系, 连接边集

图 3 对应于图 1 的 $G(T)$ 和 $G_c(T)$ (a) 暂态布线 T 的图模型 $G(T)$; (b) 通孔结群图模型 $G_c(T)$.

表示同一线网的不同网段间通过候选通孔连接的关系。

定义 6: $G(T)$ 中满足层约束关系 R 的连接子图称为结群. 满足层约束关系 R 的最大连接子图称为最大结群.

由最大结群的定义可知, $G(T)$ 的最大结群划分是唯一的. 并且, 如果最大结群中某一网段的层分配确定, 则最大结群内其它所有网段的层分配也随之确定. 我们有以下引理.

引理 1: 最大结群中诸网段的层分配关系是确定的.

但是, 这种确定的关系之间也可能存在着矛盾. 如果最大结群的网段分层不存在矛盾, 我们则称此最大结群可行.

引理 2: 暂态布线 T 有一个可行分层, 当且仅当 $G(T)$ 的每个最大结群可行.

由引理 2, 在图 $G(T)$ 中对每个最大结群只需选取一条网段作为代表就足够了. 这能减少问题的空间.

定义 7: 设 $G_c(T) = (V_c, E_c, W_c)$ 为描述暂态布线 T 的通孔结群图模型. 其中:

$V_c = \{V_i \mid V_i \text{ 对应于 } G(T) \text{ 的一个最大结群}\}$

$E_c = \{(V_i, V_j) \mid V_i, V_j \text{ 对应的最大结群中的网段至少通过一个非本质候选通孔相连}\}$

$W_c = \{W_{ij} \mid W_{ij} \text{ 表示 } V_i, V_j \text{ 对应的最大结群之间可增减的加权通孔数}\}$

图 $G_c(T)$ 由 $G(T)$ 演变而来. 将 $G(T)$ 的每个最大结群收缩为单个顶点, 并计算出相应的边权就得到 $G_c(T)$. 图 3(b) 中实线图是 (a) 相应的 $G_c(T)$.

3 通孔秩及多度通孔

暂态布线 T 的通孔结群图模型 $G_c(T)$ 能够有效地表示二度、三度和多度候选通孔. 为了更有效地描述多度通孔, 我们引入通孔秩的概念.

定义 8: 暂态布线 T 中通过所有可能分层方式均无法消去的候选通孔称为本质通孔.

定义 9: 候选通孔相关联的结群数称为候选通孔的秩. 本质通孔的秩定义为 0.

通孔秩也称通孔自由度, 它是与通孔度有关而又完全不同的一个概念. 除本质通孔外, 通孔秩表征了通孔结群图上与通孔联系的有独立层分配的最大边数. 它比通孔度更准确地反映了通孔联结边的层分配对通孔形成的影响. 一般说来, 通孔秩总是小于或等于通孔度.

通孔秩的引入有利于解决多度孔的最少化.

我们用图 4 上的例子来进一步说明通孔秩和度的区别. 在图 4(a)中,通孔的度为 2,但它是一个本质通孔,因此其秩为 0. 在图 4(b)中,度也为 2,但与通孔联系的两条网段同处于一个结群中. 因此,这两条网段对任一种分层方案总是具有相同的分层方案. 此通孔秩为 1. 在图 4(c)中,虽然通孔度数也为 2,但与此通孔联系的两条网段的层分配是独立的,其秩为 2. 图 4(d)中的通孔与三个网段相连,其度数为 3. 由于有两条是重叠的,因此必须要有一个通孔. 此候选通孔为本质通孔.

根据通孔秩的定义和通孔消除的条件,秩为 0 的通孔是本质通孔,它是无法通过网段换层予以消除. 秩为 1 的通孔是非实际通孔,它总是可以在分层以后被消除掉. 对 VLSI 和 PCB 布线问题,由于是在曼哈顿路径上进行. 通孔度在 0~8 之间,秩在 0~4 之间. 当度大于 4 时,则秩降为 0,此候选通孔成为本质通孔.

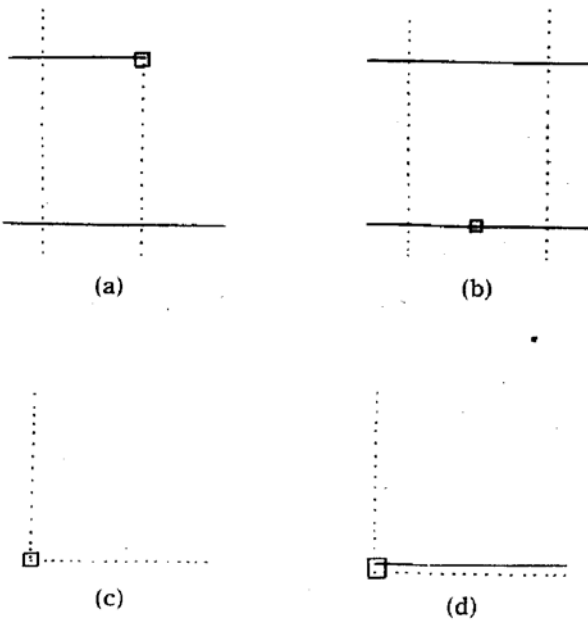


图 4 通孔的度和通孔的秩
 (a) 度=2, 秩=0; (b) 度=2, 秩=1;
 (c) 度=2, 秩=2; (d) 度=3, 秩=0.

对 K 度候选通孔,有 K 条网段与该候选通孔相连,且这 K 条网段一定分属于 K' ($K' \leq K$) 个不同最大结群. 在 $G_c(T)$ 中存在一个由 K' 个顶点组成的无向完全子图与其对应. 这个无向完全子图的边权由它所表示的通孔的权重和通孔的秩共同决定. 图 5 中给出了对应二秩、三秩和四秩候选通孔的无向完全子图的例子. 秩为 k 的候选通孔可用 k 个顶点的无向完全子图表示.

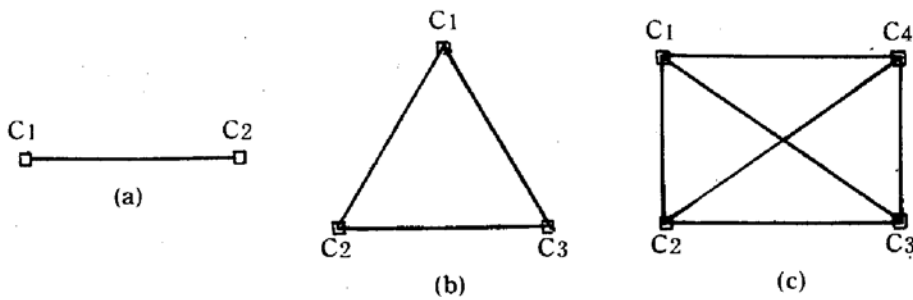


图 5 候选通孔的无向完全子图表示
 (a) 2 秩通孔; (b) 3 秩通孔; (c) 4 秩通孔.

4 秩边权和图模型边权计算

秩边权定义为表示通孔的无向完全子图中每边的权重. 对于子图中的每条边我们给以相同的权重. 它表示了每两条独立边的相对层次改变时,通孔受到影响的程度. 如用 R_k 表示秩为 k 的秩边权,我们用这样的原则来确定 R_k :用任意方式对子图进行切割时,都应具有相同的割值,且其值为 1. 根据这个原则,我们可导出 $R_2=1, R_3=0.5, R_4=1/3$ 或 $1/4$. 对于秩值

更高的秩边权可得到如下的近似值: $R_k = [4/k^2]$. 可喜的是实际 VLSI 和 PCB 布线中几乎都是 $k < 4$, 因此具有确定的秩边权值.

下面我们给出 $G_c(T) = (V_c, E_c, W_c)$ 中 W_c 的计算. 对于每一对最大结群顶点 (V_i, V_j) , 指定它们处于相异状态, 即分配 V_i 对应的网段到某一层, V_j 对应的网段到另一层. 然后顺次确定其它网段的层次分配. 设 X_1 代表网段 S_1 (S_1 属于 V_i 代表的最大结群) 的分配层, X_2 代表 S_2 (S_2 属于 V_j 代表的最大结群) 的分配层, X_1 和 X_2 是 $(0, 1)$ 变量, S_1 和 S_2 连同一候选通孔. 我们有

$$N_{\text{diff}}(i, j) = \sum \text{Crit}_v \times R_k \times |X_1 - X_2|$$

for all $S_1 \in V_1, S_2 \in V_2$

式中 Crit_v 表示 S_1 和 S_2 所连候选通孔的权重, R_k 的一个与候选通孔的秩. 类似地可指定 V_i 和 V_j 处于相同的状态, 并得到 $N_{\text{same}}(i, j)$. 则权 W_{ij} 由下式计算:

$$W_{ij} = N_{\text{diff}}(i, j) - N_{\text{same}}(i, j)$$

权 W_{ij} 的物理意义是当改变两个结群的相对层次分配时, 它们之间加权通孔数目的代数增加量.

5 通孔最少化算法

定义 10: 设 $\Pi: \{V_0, V_1\}$ 满足 $V_0 \in V_c, V_1 \in V_c, V_0 \cap V_1 = V_c, V_0 \cap V_1 = \Phi$, 则称 Π 为 $G_c(T)$ 的一个划分.

定义 11: 设 $\Pi: \{V_0, V_1\}$ 为 $G_c(T)$ 的一个划分, W_{ij} 为连接 $V_i \in V_0$ 和 $V_j \in V_1$ 的边的权重, 则称 $\sum W_{ij}$ 为划分 Π 的割值.

如将划分 Π 中 V_0 对应的所有最大结群置于一种状态 (即对应于一种层分配), V_1 对应的所有最大结群置于另一种状态, 则得到 T 的一种层分配方案.

引理 3: 划分 Π 唯一决定 T 的一种相对层分配, 反之亦然.

根据边权 W_c 的物理意义, $G_c(T)$ 的一个划分 Π 的割值反映了将 V_c 划分为 V_0 和 V_1 时, 加权通孔总数较之于初始划分 $V_0 = V_c, V_1 = \Phi$ 的增加量, 为了取得最少加权通孔总数的层分配, 应要求这个增加量最少.

引理 4: $G_c(T)$ 的最小割值划分 Π_{min} 对应于通孔最少化分层.

为了使计算 Π_{min} 标准化, 我们将 W_c 中所有权值反号得到 $G_c^*(T)$.

推论 4.1: T 的通孔最少化分层等价于 $G_c^*(T)$ 的最大割问题.

最后, 我们将通孔最少化的层分配算法过程归结如下:

1. 找出 T 的分层约束并生成结群;
2. 进行层预分配;
3. 计算通孔秩及其 R_k ;
4. 建立通孔结群图模型 $G_c(T)$;
5. 计算图 $G_c(T)$ 的最大割划分;
6. 层分配.

通孔最少化算法的核心在于计算加权的最大割. 对一般化的布线模型, $G_c^*(T)$ 常常是

非平面的. 因此, 最大割计算属于 NP-完全问题. 我们提出了一个启发式算法计算 $G^*(T)$ 的最大割. 限于篇幅, 本文不再详述, 有兴趣的读者可参看文献[7]. 整个算法的复杂度主要受最大割算法的影响. 我们提出的这个算法的时间复杂度为 $O(n^2)$, n 为结群数目. 假如布线区域中网段总数为 N , 算法的最坏时间复杂性为 $O(N^2)$.

6 实验结果和结论

算法已用 C 语言在 SUN 工作站上实现. 其结果列在表 1 和表 2 中. 表中给出了文献 [6] 中算法的结果以供比较. 可以看到, 本算法的结果要优于文献 [6] 中的结果. 此外, 实例 1~5 都已达到了最好结果. 实例 6 的最好结果是 63. 表中的结果是在不允许重叠走线条件下

表 1 实例及结果

实例	网段数	初始通孔数	本算法通孔数	[6]的通孔数
1	6	3	0	
2	15	9	0	
3	30	12	5	5
4	38	24	4	4
5	42	28	1	1
6	167	90	66	
7	574	370	299	335

测试的. 如果允许重叠走线, 通孔数也可达到

63. 图 6 给出了其中一个实例的分层结果.

本文提出了一个新的 VLSI 和 PCB 的双层布线通孔最少化算法. 算法打破了传统层分配算法对通孔度数和位置的严格限制, 允许通孔以任意度数在任何需要的位置出现. 算法适用于任意的双层布线的层分配问题. 对于多度通孔的模型及其多项式时间的算法还有待于进一步的研究.

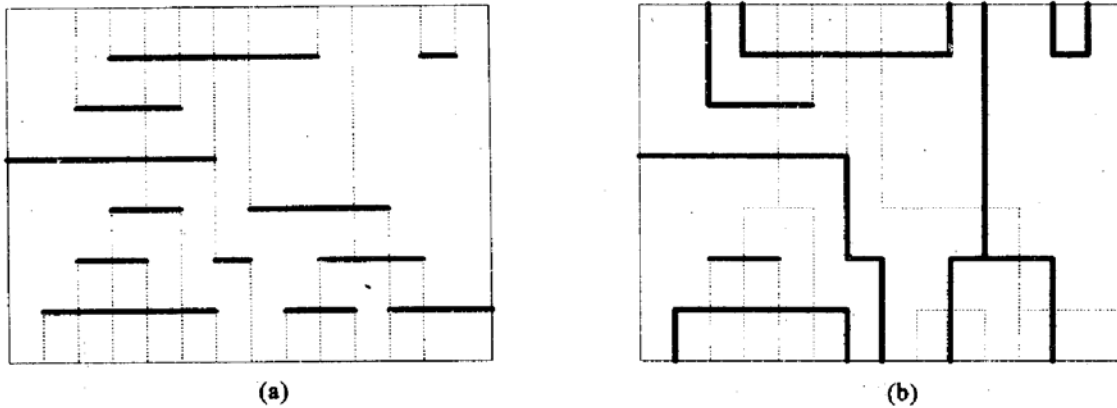


图 6 一个实例的优化结果

(a) 初始布线问题 ($Via=24$); (b) 通孔最少化的解 ($Via=4$).

参 考 文 献

- [1] A. Hashmoto and J. Stevens, Proceedings of 8th Design Automation Workshop, pp. 155~169, 1977.
- [2] Y. Kajitani, Proceedings of ICCV-80, pp. 295~298, 1980.
- [3] R. W. Chen, Y. Kajitani and S. P. Chan, IEEE Trans. on Circuits and Systems, 1983, **CAS30**(5): 284~299.
- [4] R. Y. Pinter, Proceedings of ICCV-82, 1982.
- [5] K. C. Chang and D. H-C. Du, IEEE Trans. on CAD of Integrated Circuits and Systems, 1987, **CAD6**(1): 67~78.
- [6] X. M. Xiong and E. S. Kuh, Proceedings of 25th Design Automation Conference, June 1988.
- [7] 潘立, 硕士论文, 清华大学计算机系, 1990.

Via Minimization Algorithm for Double-Layer in VLSI and PCB

Hong Xianlong, Pan Li and Wang Erqian

(Department of Computer Science and Technology, Tsinghua University, Beijing 100084)

Received 27 February 1995, revised manuscript received 30 May 1995

Abstract A new graphic model of layer assignment for via minimization is proposed. The model has overcome strict limitations of traditional layer assignment methods in via degree and location, and allows that the via appears with freedom in any degrees and anywhere. The conception of via rank is proposed in this model. It can represent the essence of via more precisely than degree of via. Then the via minimization problem is formulated as a maximum cut of weighted graph and a heuristic algorithm is used to solve it. The algorithm is implemented in C language under UNIX operating system on SUN workstation. Experiment results show that the algorithm is efficient and stable.

CCACC: 7410D, 5120