

可调节势垒高度的 Al/Si_{1-x}Ge_x 肖特基接触*

江若琏 李 健 周晓春 刘建林 郑有焯

(南京大学物理系 南京 210093)

摘要 本文首次报道了 Al/p-Si_{1-x}Ge_x 肖特基(Schottky)接触的制备与电学性质. Si_{1-x}Ge_x/Si 应变外延层采用快速加热、超低压化学气相淀积方法生长. 实验表明, 改变 Ge 组分 x 的大小可以调节肖特基势垒高度. 随着 Ge 组分的增大, 肖特基势垒高度降低, 其降低值与 Si_{1-x}Ge_x 应变层带隙的降低值相一致, 界面上费米能级钉扎于导带下约 0.43eV 处. 文中还研究了 SiGe 合金层的应变弛豫以及 Si 顶层对肖特基接触特性的影响.

PACC: 7330, 6855

1 引言

金属/SiGe 肖特基(Schottky)接触是某些新型 SiGe 器件的关键组成部分, 如: 肖特基势垒 SiGe 红外探测器、肖特基栅 SiGe 调制掺杂高速场效应管等. 因此, 研究金属/SiGe 肖特基结的形成和性质, 具有重要意义. 近年来, 文献报道了 Pt、Pa、Ti、W 等金属与 Si_{1-x}Ge_x 的界面反应和肖特基接触的性质^[1~4], H. Kanaya 等报道了 Pt/Si_{1-x}Ge_x 和 Pa/Si_{1-x}Ge_x 肖特基接触及其在长波长红外探测器中的应用^[5,6], 可以通过控制 Ge 组分大小来调节肖特基势垒高度, 从而改变红外探测器的截止波长, 并提高探测器的量子效率^[5,6].

在成熟的硅工艺中, 低价格的铝是最常用的金属, 铝和硅反应形成的是硅铝合金, 而不是稳定的硅化物, 这一点与上述金属有所不同. 在本文中, 首次对 Al/p-SiGe 肖特基接触进行了研究. 实验采用快速加热、超低压化学气相淀积(Rapid Thermal Process/Very Low Pressure-Chemical Vapor Deposition, 简称 RTP/VLP-CVD)方法^[7]在 Si 上外延生长 SiGe 合金层. 对 Al/p-Si_{1-x}Ge_x 肖特基接触的电学特性进行了测量, 研究了 Ge 组分的大小对肖特基势垒高度的调制作用, 还研究了 SiGe 合金层的应变弛豫以及 SiGe 层上面的 Si 顶层(Si cap layer)对肖特基接触特性的影响.

* 国家“八六三”高技术资助项目

江若琏 女, 1943 年生, 副教授, 从事半导体专业课教学, 目前从事 SiGe 材料和器件应用研究

郑有焯 男, 1935 年生, 教授, 博导, 从事专业: 半导体物理

1995 年 3 月 6 日收到初稿, 1995 年 7 月 6 日收到修改稿

2 样品制备

以电阻率为 3~5Ωcm 的 p 型、(100) 晶向的 Si 单晶为衬底, 采用计算机自动控制的 RTP/VLP-CVD 设备外延生长 SiGe 合金层. 反应气源为硅烷、锗烷, 掺杂源为硼烷. 改变锗烷与硅烷的流量比可以控制 Si_{1-x}Ge_x 层中组分 x 的大小. 生长温度为 600℃, 生长速率为 0.1~0.2nm/s. 在 Si 衬底上先生长厚度约 60nm 不掺杂的 Si 缓冲层, 接着生长原位掺硼的 p-Si_{1-x}Ge_x 合金层, 掺杂浓度约为 $1 \times 10^{16} \text{cm}^{-3}$. 为了研究 Ge 组分 x 的大小和 SiGe 层厚度对肖特基结特性的影响, x 取值为 0, 0.17, 0.20, 0.25; SiGe 层厚为 50~350nm 范围. 此外, 为了观察 Al/SiGe 界面中 Ge 的分凝现象对肖特基结特性的影响, 在生长参数都相同的条件下, 制备了两种样品进行比较: 一种是在 SiGe 层上继续外延 Si 顶层(约 15nm 厚, 不掺杂), 另一种是 SiGe 层上不再生长 Si 顶层.

金属 Al 是用真空蒸发制备的, 蒸发后进行合金化处理, 温度为 430℃, 时间为 5 分钟.

3 实验与结果

SiGe 合金层生长后用 X 光衍射(XRD)、二次离子质谱(SIMS)等测量手段确定 Si_{1-x}Ge_x 层的应变程度, Ge 的组分, 硼掺杂浓度以及各层厚度.

Al/p-Si_{1-x}Ge_x 肖特基接触的电学特性由电流-电压特性表征. 图 1 示出典型的 Al/p-Si_{0.8}Ge_{0.2} 肖特基样品(Si_{0.8}Ge_{0.2} 应变层厚 180nm, 有 Si 顶层, Al 电极面积为 $1.96 \times 10^{-3} \text{cm}^2$) 在室温下的 I - V 特性. 由图可见, 制得的样品具有良好的 I - V 特性, 反向偏压 0.5V 处, 反向电流密度低达 $8.8 \times 10^{-5} \text{A} \cdot \text{cm}^{-2}$. 我们用热离子发射理论^[8]对 I - V 特性进行分析. 由正向电流可以求出肖特基势垒高度 Φ_B 和理想因子 n ^[8]. 计算中有效理查逊常数 A^* 按 Ge 组分 x 的线性关系来估算.

图 2 给出了 $x=0, 0.17, 0.20, 0.25$ 四种 Al/p-Si_{1-x}Ge_x 样品(都有 Si 顶层)的正向电流-电压(I - V_F)特性. 其中前三种样品的 SiGe 层厚为 180nm, 第四种样品层厚为 120nm, 它们都小于或接近于临界厚度, 因此 SiGe 层都为应变的^[9]. 从四种样品的正向 I - V 曲线估算的势垒高度 Φ_B 和理想因子 n 数据列于表 1. 表 1 中还列出了四种 Si_{1-x}Ge_x 应变层带隙 E_g 值^[9], 相邻两序号样品势垒高度的差值 $\Delta\Phi_B$, 相邻两序号 Si_{1-x}Ge_x 带隙的差值 ΔE_g 以及带隙与势垒高度的差值 $E_g - \Phi_B$.

由表 1 可以看出: 随着 Ge 组分 x 的增大, 肖特基势垒高度下降, 下降的幅度 $\Delta\Phi_B$ 与 ΔE_g 数值基本相同. 计算得到的势垒高度相对于导带的位置 $E_g - q\Phi_B$ 都约为 0.43eV, 表明 Al/p-Si_{1-x}Ge_x 界面上费米能级钉扎于导带下 0.43eV 附近. 这与 Al/p-Si 界面处费米能级通常被“钉扎”于价带之上约 $1/3E_g$ 处^[8]是不相同的.

图 3 给出了样品的肖特基势垒高度和应变 Si_{1-x}Ge_x 带隙相对于 Ge 组分的变化曲线. 图中两条曲线几乎平行, 表明 $\Delta\Phi_B$ 与 ΔE_g 几乎相同, 清楚地说明了界面费米能级相对于导带“钉扎”.

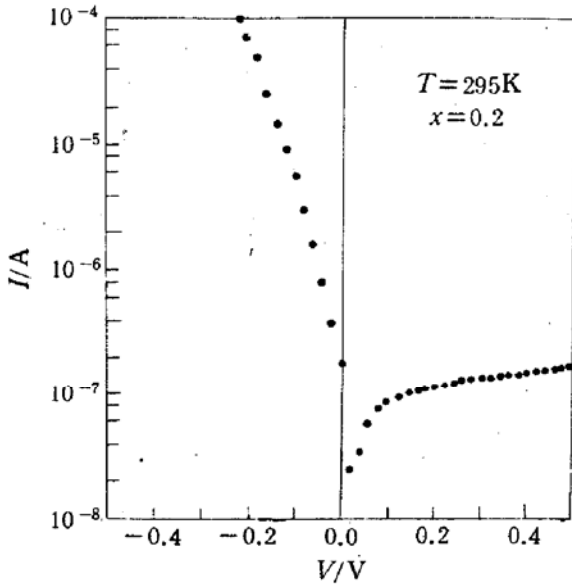


图 1 Al/p-Si_{0.8}Ge_{0.2}肖特基接触的典型 $I-V$ 特性

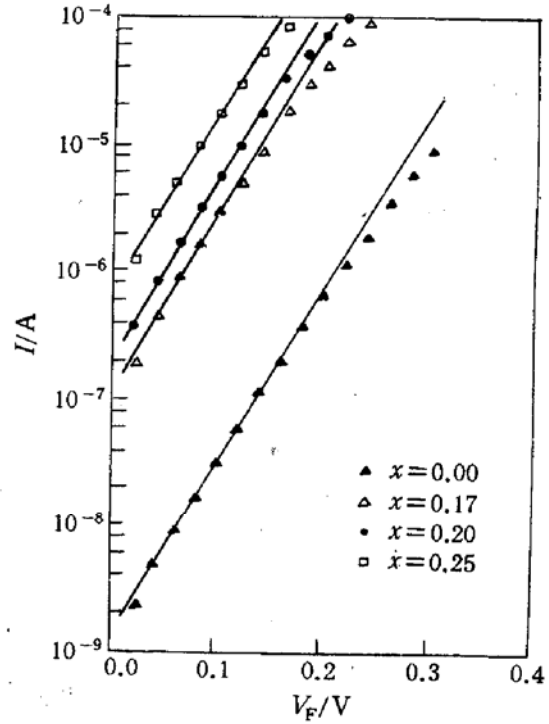


图 2 不同 Ge 组分的 Al/p-Si_{1-x}Ge_x 肖特基接触的正向 $I-V$ 特性

表 1 不同 Ge 组分的 Al/p-Si_{1-x}Ge_x 肖特基样品的 Φ_B, n, E_g 等参数值
(其中 E_g 数值引用参考文献[9]、 Φ_B, n 等数值由样品的 $I-V$ 特性计算出)

样品序号	x	n	Φ_B/V	* $\Delta\Phi_B/V$	E_g/eV	** $\Delta E_g/eV$	$E_g - q\Phi_B/eV$
1	0	1.20	0.690		1.12		0.430
				0.099		0.10	
2	0.17	1.15	0.591		1.02		0.429
				0.016		0.02	
3	0.20	1.14	0.575		1.00		0.425
				0.035		0.04	
4	0.25	1.24	0.540		0.96		0.420

* $\Delta\Phi_B = \Phi_B(i+1) - \Phi_B(i)$, ** $\Delta E_g = E_g(i+1) - E_g(i)$, 这里 i 表示样品序号, $i=1, 2, 3$.

在实际应用中,往往要求较厚的 SiGe 层,而当 SiGe 层厚度大于临界厚度时则会产生应变弛豫,为了研究应变弛豫对肖特基结特性的影响,制备了 $x=0.2$, Si_{0.8}Ge_{0.2} 层厚分别为 50、180、350nm 的样品. 50nm 厚样品的反向 $I-V$ 曲线几乎线性,和 Al/p⁺-Si 衬底的一样,这是由于耗尽区已越过 50nm 和 SiGe 层到达 Si 衬底. 对 180nm 厚(全应变)和 350nm 厚(几乎全弛豫)^[9]样品的正向 $I-V$ 曲线计算,得出 $q\Phi_B$ 分别为 0.575eV, 0.63eV, 其差值 0.055eV 接近于两者相应 SiGe 层的带隙差 0.07^[4,11]. 这结果表明,随着 SiGe 层应变弛豫度增大,势垒高度也增大,而 Al/p-弛豫 Si_{1-x}Ge_x 的界面费米能级仍“钉扎”于导带下 0.43eV 附近.

H. K. Liou 等研究发现,金属 Pt、Pa 与 Si_{1-x}Ge_x 反应期间, Pt、Pa 优先和 Si 反应,引起

了 Ge 的分凝现象^[1]. 为了研究 Al 与 SiGe 直接接触可能出现的分凝现象, 在完全相同的 Si_{0.8}Ge_{0.2} 层上(厚 180nm), 制备了 Si 顶层和没有 Si 顶层两种样品做比较. 这两种样品的 $I-V$ 特性表明无 Si 顶层样品的反向电流比有 Si 顶层的样品大了约半个数量级, 势垒高度也由 0.575eV 增大到 0.60eV, 这结果可以推测无 Si 顶层的 Si_{1-x}Ge_x 与 Al 反应时 Si 优先与 Al 形成合金, 造成了 Ge 在界面上的分凝, 它所形成的缺陷使得反向电流增大, 并使界面态密度增加而导致势垒高度增大.

4 结论

我们采用 RTP/VLP-CVD 方法外延生长 SiGe 合金层, 制备了 Al/p-Si_{1-x}Ge_x 肖特基接触, $I-V$ 特性显示了较低的反向漏电流.

研究表明, 改变 Ge 组分大小可以调节肖特基势垒高度, Ge 组分越大, 肖特基势垒越低, 势垒高度的降低幅度与 Si_{1-x}Ge_x 带隙的降低幅度基本一致, 计算得到界面费米能级钉扎在导带下约 0.43eV 处.

SiGe 合金厚度超过临界厚度引起应变弛豫, 将使肖特基势垒高度增加, 其增加与应变弛豫引起的带隙增加量基本相同, 说明弛豫 SiGe 层的界面费米能级仍钉扎在导带下约 0.43eV 处.

在 Si_{1-x}Ge_x 合金层上面继续生长一薄层 Si 顶层是重要的, 它可以消除 Ge 在界面上的分凝现象, 避免反向电流的增大和势垒高度的增加.

致谢 作者衷心感谢南京电子器件研究所测试室同志协助进行了 $I-V$ 特性测量, 感谢本教研室同志的技术协作和有益讨论.

参 考 文 献

- [1] H. K. Liou, X. Wu, V. Gennser *et al.*, Appl. Phys. Lett., 1992, **60**:577.
- [2] O. Thomas, F. M. d'Heure and S. Delage, J. Mater. Res., 1990, **5**:1453.
- [3] V. Aubry, F. Meyer, P. Warren *et al.*, Appl. Phys. Lett., 1993, **63**:2520.
- [4] Peixin Zhong, Youdou Zheng, Appl. Phys. Lett., 1993, **62**(25):3259.
- [5] H. Kanaya, F. Hasegawa, E. Yamaka *et al.*, Jpn. J. Appl. Phys. 1989, **28**:L544.
- [6] X. Xiao, J. C. Sturm, S. R. Parihar *et al.*, IEEE Electron Device Lett., 1993, **14**:199.
- [7] Z. Youdou, Z. Rong, J. Ruolian *et al.*, Structural Properties of Ge_x Si_{1-x}/Si Strained Layer Superlattices Grown by RRH/VLP-CVD, Proc. of 20th International Conference on the Physics of Semiconductors, Thessaioniki, Greece, 1990, Vol. 2:869.

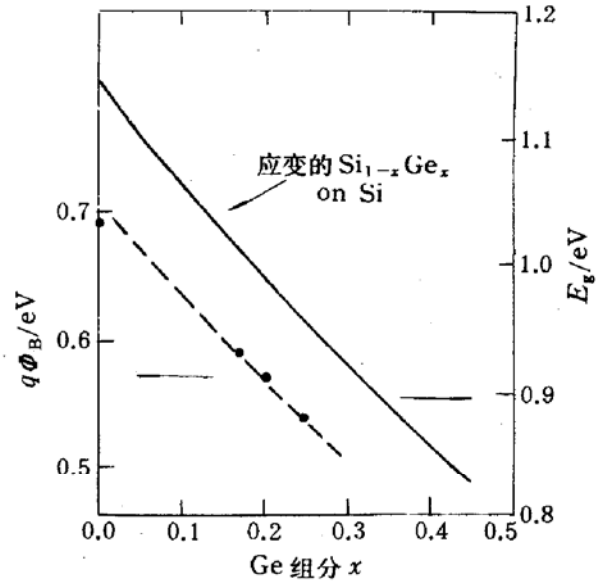


图3 势垒高度与应变 Si_{1-x}Ge_x 带隙随 Ge 组分的变化带隙随 Ge 组分的变化曲线由参考文献[9]得到.

- [8] S. M. Sze, *Physics of Semiconductor Device*, 2nd ed. , New York, Wiley Publishers, 1981, Ch. 5.
- [9] R. People, *IEEE J. Quantum Electronics*, 1986, **QE-22**:1696.
- [10] G. Abstreiter, K. Eberl, E. Friess *et al.* , *J. Crystal Growth*, 1989, **95**:431.
- [11] D. Dutartre, G. Bremond, A. Souifi *et al.* , *Phys. Rev.* , 1991, **B3**:44; D. Dutartre, P. Warren, I. Berbezier *et al.* , *Thin Solid Films*, 1992, **222**:52.

Al/Si_{1-x}Ge_x/Si Schottky Contacts with Controllable Barrier Heights

Jiang Ruolian, Li Jian, Zhou Xiaochun, Liu Jianlin and Zheng Youdou

(Department of Physics, Nanjing University, Nanjing 210008)

Received 6 March 1995, revised manuscript received 6 July 1995)

Abstract We report the fabrication and electronic propertise of Al/p-Si_{1-x}Ge_x Schottky contacts for the first time. Si_{1-x}Ge_x strained layers were grown on Si substrates by Rapid Thermal Process/Very Low Pressure-CVD. Experiments show that the Schottky barrier height of Al/p-Si_{1-x}Ge_x can be controlled by Ge fraction x . With increasing of Ge fraction, Schottky barrier height decreases, and the decrement is in accordance with the decrement of the strained Si_{1-x}Ge_x bandgap. the Fermi level at the interface is pinned at about 0.43eV below the conduction band. The influence of strain relaxation in SiGe alloy layers and Si cap layers on the properties of Schottky contacts are also investigated.

PACC: 7330, 6855