

77K Fowler-Nordheim 电子注入和 栅氧化层俘获特性研究*

刘卫东 李志坚 刘理天

(清华大学微电子学研究所 北京 100084)

摘要 本文研究 77K 下薄栅 NMOSFET 在 F-N 均匀电子注入时栅氧化层对电荷的俘获特性. 发现沟道区上方栅氧化层将俘获净正电荷, 使阈值电压下降; 而栅边缘氧化层对电子的俘获明显增强, 并高于室温下的对应值, 从而导致 NMOSFET 关态特性变差, 沟道电阻增大, 以及电流驱动能力的显著降低; 提出了栅边缘氧化层增强电子俘获的深能级中性陷阱机制.

EEACC: 2650R

1 引言

NMOSFET 沟道热电子注入过程中, 漏结附近栅氧化层, 即覆盖漏区的氧化层或栅边缘氧化层, 将俘获电子并有界面态产生^[1,2], 已经知道, 这是由于沟道漏端处的高电场引起热电子的局域化分布所致. 最近有工作报告^[3], 室温下即使均匀电子注入, 栅边缘氧化层对电子的俘获也显著强于沟道区上方氧化层. 迄今, 有关边缘氧化层在低温下对均匀注入电子的俘获特性未有研究报道.

低温下浅能级电子陷阱开始俘获电子, 使得栅氧化层对电子的俘获能力大为增强, NMOSFET 的阈电压漂移 ΔV_{th} 显著增大; 然而, 文献[4]报道 Fowler-Nordheim (F-N) 均匀电子注入后, NMOSFET 的 ΔV_{th} 随温度降低而减小, 并认为这是由于低温(77K)下栅氧化层对 F-N 注入电子的俘获率降低所致. 鉴于此, 本文报道 77K F-N 电子注入时薄栅 NMOSFET 栅氧化层对电荷的俘获特性及其对器件特性的影响, 得到了 77K 和 295K 下 ΔV_{th} 随注入时间的变化规律, 给出了与此相关的沟道区栅氧化层中电荷俘获和产生的微观图象; 同时还发现 77K 下栅边缘氧化层对电子的俘获率明显高于室温情形, 从而导致器件特性显著蜕变; 提出了增强电子俘获的深能级中性陷阱机制.

* 国家自然科学基金重点资助项目

刘卫东 男, 1965 年生, 博士后, 现主要从事深亚微米 MOSFET 结构特性、物理和工艺研究

李志坚 男, 教授, 中国科学院院士, 长期从事半导体器件物理和微电子技术研究

刘理天 男, 教授, 一直从事半导体器件、集成电路和传感器的研究

1995 年 4 月 8 日收到初稿, 1995 年 11 月 20 日收到修改稿

2 实验

2.1 实验原理

NMOSFET 结构中栅控漏-衬二极管反向电流 I_R 与栅电压 V_G 的关系特性能够提供沟道区栅氧化层和栅边缘氧化层对注入电荷俘获的信息^[5,6]. I_R 一般由漏结耗尽区(图 1 中黑色部分)中的 Shochley-Read-Hall(SRH)中心作用而产生的电子-空穴对形成. 当衬底表面

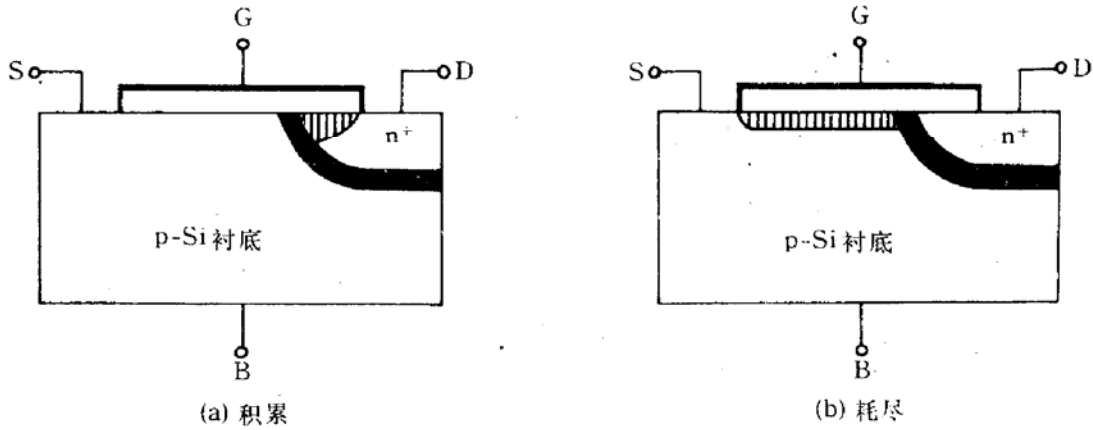


图 1 NMOSFET 衬底表面积累和耗尽时栅控漏-衬二极管及耗尽区域的示意图

为积累态(图 1(a)),且栅边缘氧化层电场强度大于 1.9MV/cm 时,栅氧化层所覆盖的漏区(n^+)表面处的耗尽区还将贡献显著的带-带隧穿电流,从而使 I_R 增大,此隧穿电流随电场增加而指数增大,构成薄栅(或小尺寸)MOSFET 中的栅致漏极的泄漏(GIDL)电流^[7];当衬底表面耗尽时(图 1(b)),Si/SiO₂ 界面处衬底表面耗尽区中的 SRH 也开始产生 I_R . 可见, I_R 的大小和产生区域均随 V_G 而改变. F-N 注入后,栅氧化层俘获的电荷面密度 ΔQ 将使 I_R - V_G 曲线沿 V_G 轴平移 ΔV_G , 并有如下关系

$$\Delta Q = -\epsilon_{\text{OX}} \cdot \Delta V_G / T_{\text{OX}} \quad (1)$$

其中 ϵ_{OX} 为 SiO₂ 的介电常数; T_{OX} 为栅氧化层厚度. 当衬底表面为积累态时, ΔQ 对应于栅边缘氧化层俘获的电荷面密度;而当衬底表面耗尽时, ΔQ 则为沟道区上方栅氧化层所俘获的电荷密度.

2.2 实验方法

NMOSFET 的有效沟长为 $0.8\mu\text{m}$, T_{OX} 为 9nm . 77K 和 295K 下 F-N 均匀电子注入时的栅电压为 -8V , 源、漏和衬底极均接地, 注入时间 1000s . 注入结束后, 立即测试了栅控漏-衬二极管在两种环境温度下的 I_R - V_G 特性. 施加应力和提取特性参数均由半导体参数分析仪 HP4145B 自动完成.

3 实验结果和讨论

3.1 栅电流变化

图 2 给出了 77K 和 295K 下栅电流 I_G 随注入时间的变化特性. 由图可见, I_G 随时间逐渐衰减, 且 77K 下衰变速率显著高于常温情形. 设栅氧化层中某一区域(长度为 ΔL_G) 在注

入过程中俘获了电子,由于其排斥电场,后续电子流只能通过氧化层中($L_G-\Delta L_G$)区域,即其有效通道减小;由 3.3 节知, ΔL_G 主要位于栅边缘氧化层中,且其俘获的电子密度随注入时间不断增加,因而 I_G 逐渐变小.

3.2 阈值电压漂移

对应于图 2,注入时阈值电压漂移随时间的变化特性示于图 3 中. 常温下的 ΔV_{th} 随时间

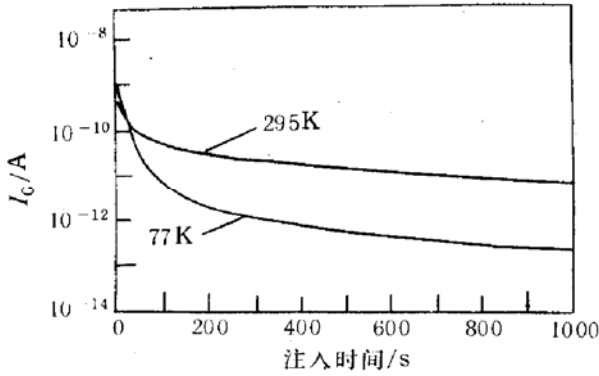


图 2 77K 和 295K 下栅电流随 F-N 注入时间的减小

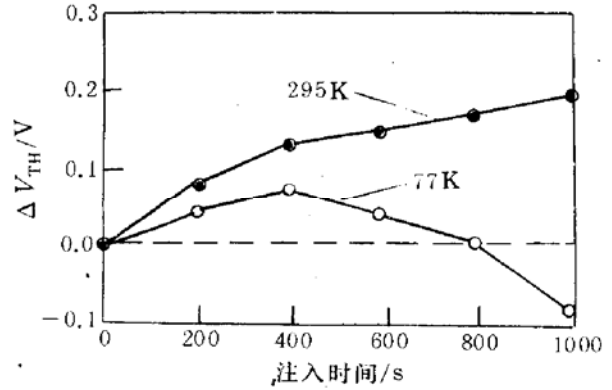


图 3 77K 和 295K 下阈值电压漂移随 F-N 注入时间的变化

单调增加,因此沟道区上方栅氧化层俘获了净负电荷;而 $\Delta V_{th}(77K)$ 恒小于 $\Delta V_{th}(295K)$,而且先增后减,乃至变为负值,说明沟道区栅氧化层俘获的电荷已由净负变为净正,即有大量空穴被俘获.

3.3 栅氧化层的俘获特性

图 4 给出了 295K 和 77K 下注入前后的 I_R-V_G 特性, $V_D=3V$, 源、衬底均接地. 据(1)式

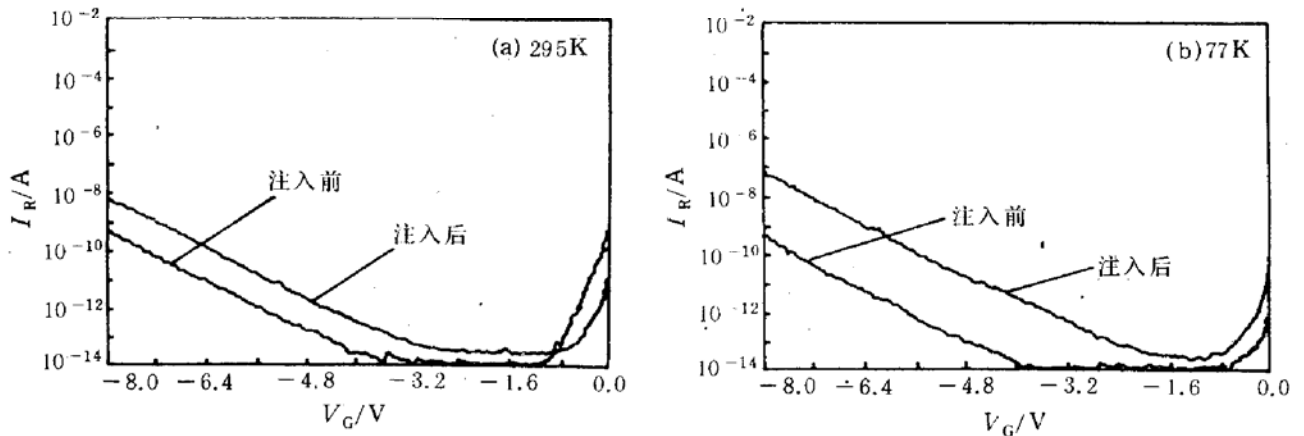


图 4 77K 和 295K 下 F-N 注入前后反向电流随栅电压的变化特性

以及注入前后曲线平移量 ΔV_G , 295K 下当衬底表面为积累态 ($V_G < -1V$) 时, 栅边缘氧化层中的 $\Delta Q_{边缘}(295K) \approx -2 \times 10^{12} cm^{-2}$; 衬底表面耗尽 ($V_G > -1V$) 时, 沟道区栅氧化层中的 $\Delta Q_{沟道}(295K) \approx -9.5 \times 10^{11} cm^{-2}$. 由于 $|\Delta Q_{边缘}(295K)| > |\Delta Q_{沟道}(295K)|$, 且两者均为静负电荷, 所以 295K 下 NMOSFET 栅边缘氧化层对电子的俘获能力要高于沟道区栅氧化层.

对于 77K, 同样得到 $\Delta Q_{沟道}(77K) \approx 8.6 \times 10^{11} cm^{-2}$, 即有净正电荷形成; 而 $\Delta Q_{边缘}$

(77K) $\approx -3.8 \times 10^{12} \text{cm}^{-2}$, 仍为静负电荷. 且有

$$|\Delta Q_{\text{边缘}}(77\text{K})| > |\Delta Q_{\text{边缘}}(295\text{K})| \quad (2)$$

因此 77K 下 NMOSFET 栅边缘氧化层对电子的俘获显著增强, 从而使 I_G 快速衰变(如图 2).

F-N 注入时电子的能量很高, 这些注入电子在 SiO_2 中通过碰撞电离能够产生大量电子-空穴对, 低温下空穴在 SiO_2 中的迁移率极低, 使大部分空穴在运动到栅电极之前就已被氧化层俘获, 因而 77K 下沟道区上方栅氧化层有净正电荷被俘获, 导致图 3 中 ΔV_{th} 下降, 并最终变为负值. 这在栅边缘氧化层中也同样存在, 只是由于边缘氧化层俘获的电子数远远大于沟道区上方氧化层所俘获的电子数, 故 $\Delta Q_{\text{边缘}}(77\text{K})$ 仍为净负电荷. 考虑到产生空穴在低温下对俘获电子具有较强的中和效应, 可以推知, 77K 下边缘氧化层所俘获的实际电子数 $N_{\text{边缘}}(77\text{K})$ 要显著高于其室温下的对应值 $N_{\text{边缘}}(295\text{K})$. 于是(2)式可写成 $N_{\text{边缘}}(77\text{K}) \gg N_{\text{边缘}}(295\text{K})$.

3.4 增强电子俘获机制

图 5 为 77K F-N 注入后器件在 77K 和升温至 295K 20 分钟后的 I_R-V_G 特性, V_D 仍取

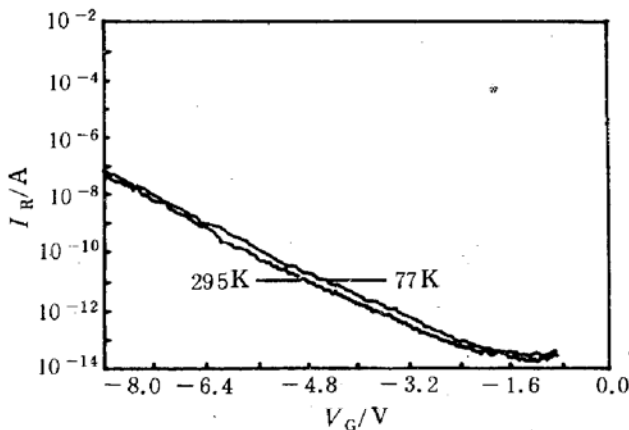


图 5 77K F-N 注入后器件在 77K 和 295K 下的 I_R-V_G 特性

3V. 温度升高后, 浅能级陷阱上电子热发射效应并未使 $I_R(295\text{K})$ 与 $I_R(77\text{K})$ 发生明显偏移, 因此 77K 下栅边缘氧化层对电子的增强俘获主要由深能级电子陷阱引起. 由于库仑吸引中心的俘获截面不随温度而改变^[8], 所以增强俘获应归因于深能级中性电子陷阱, 其俘获截面随温度降低而增大^[8,9].

3.5 增强电子俘获效应

图 6 给出了 77K 注入前后器件在 77K 下的转移特性, $V_D = 4\text{V}$. 在过渡区, 应力后 I_D-V_G 曲线向左平移, 其平移量 $\Delta V_G \approx \Delta V_{\text{th}} \approx -0.1\text{V}$ (如图 3 所示); 在强反型区, 注入

后的漏源电流明显降低: I_D 正比于 $\exp(-\Phi/kT)$, Φ 为源结的势垒高度, 由于栅边缘氧化层对电子的增强俘获在源结处引入了一较大的附加势垒 $\Delta\Phi$, 低温下归一化势垒 $(\Phi + \Delta\Phi)/kT$ 增大, 从而使 I_D 显著变小^[10]. 295K 下, 也观察到了类似的电流降低效应, 但其降低量要比 77K 时的小得多.

由图 6 还可见, 当 $V_G < -0.5\text{V}$ 后, 应力后曲线右移, 其平移量与边缘氧化层中的俘获电荷成正比; 随着 V_G 的进一步减小, 带-带隧穿电流的增强使 I_D 不断增加, 导致 MOSFET 栅致漏端的泄漏电流即 GIDL 电流变大. 因此, 栅边缘氧化层对电子的增强俘获使薄栅 MOSFET 的关态特性变差.

栅边缘氧化层俘获的电子还会使源、漏 n^+ 重掺杂区表面处一定程度的多子(电子)耗尽, 因而沟道电阻增加. 图 7 表示 77K 和 295K 下 $V_G - V_{\text{th}} = 1.0\text{V}$ 而 $V_D = 0.1\text{V}$ 时沟道电阻随注入时间的变化. 可见, 注入结束时 77K 下沟道电阻的增加量约为 $2.2\text{k}\Omega$, 而 295K 下只有 $1.3\text{k}\Omega$. 显然, 77K 下栅边缘氧化层对电子的增强俘获不仅使薄栅器件的关态特性变差, 而且其电流驱动能力也会进一步下降.

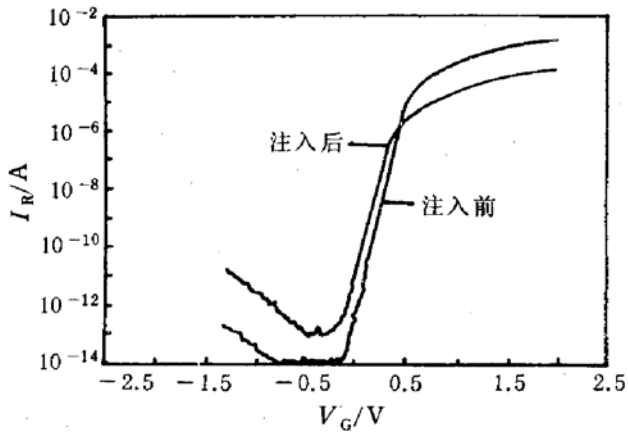


图 6 77K F-N 注入前后器件在 77K 下的转移特性

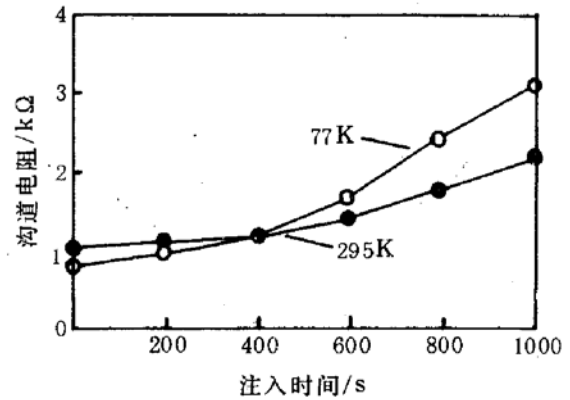


图 7 77K 和 295K 下沟道电阻随注入时间的变化

4 结论

77K 和 295K 下 F-N 均匀电子注入前后栅控漏-衬二极管反向电流特性的测试表明,与沟道区上方栅氧化层相比,栅边缘氧化层对电子的俘获增强,且 77K 下尤其显著;与常温下不同的是,77K 下由于高能电子碰撞产生的空穴在栅氧化层中迁移率极低,因而使得沟道区上方栅氧化层中有净正电荷形成,导致 ΔV_{th} (77K) 下降,并随注入时间由正变负发生改变. 研究指出,栅边缘氧化层中深能级中性陷阱对电子的增强俘获使薄栅 MOSFET 的关态特性变差,沟道电阻增加,电流驱动能力下降. 因此改善栅介质特别是栅介质边缘的特性,降低注入引起的 SiO_2 晶格损伤,减小栅源/漏覆盖面积,对于改善极小尺寸 MOSFET 的性能和可靠性极其重要.

参 考 文 献

- [1] P. Herenmans *et al.*, IEEE Trans. Electron Devices, 1988, **ED-35**(12): 2194.
- [2] A. Acovic *et al.*, IEEE Trans. Electron Devices, 1990, **ED-37**(6): 1467~1476.
- [3] A. Balasinski and T.-P. Ma, IEEE Trans. Electron Devices, 1992, **ED-39**(7): 1680.
- [4] S. A. Grove *et al.*, Proc. Symp. Low. Temp. Electron. High Temp. Superconductors, 1988, 142~150.
- [5] C. T. Sah *et al.*, Proc. of the IRE, 1957, **30**(12): 1228~1243.
- [6] A. S. Grove and D. J. Fitzgerald, Solid-State Electron., 1966, **9**: 783~806.
- [7] T. Y. Chen *et al.*, IEDM Tech. Dig., 1987, 718~721.
- [8] T. H. Ning, J. Appl. Phys., 1978, **49**(12): 5997.
- [9] M. Lax, Phys. Rev., 1960, **19**(5): 1502~1523.
- [10] 刘卫东,等, Int. J. Electron., 1994, **77**(6): 887~897.

Charge Trapping Effects in Gate Oxide Under Fowler-Nordheim Electron Injection at Temperature of 77K

Liu Weidong, Li Zhijian and Liu Litian

(*Institute of Microelectronics, Tsinghua University, Beijing 100084*)

Received 8 April 1995, revised manuscript received 20 November 1995

Abstract This paper reports the research results of 77K charge trapping effects in thin gate oxides of NMOSFET's under uniform Fowler-Nordheim electron injection. The results show that the gate oxide above the channel region can trap net positive charges resulting in the lowering of the threshold voltage. For the gate oxide edges, on the other hand, enhanced electron trapping is obtained with much higher trapping rates than its room-temperature counterpart, leading to pronounced device degradation evidenced by the poor turn-on and turn-off characteristics, increased channel resistance and decreased device current drivability. It is argued that this increased electron trapping is aroused by the neutral deep-level electron traps, owing to their negative temperature coefficient of the capture cross sections.

EEACC: 2650R