

18 位过采样 $\Sigma\Delta$ A/D 变换器设计

洪志良 曹先国 王晓悦

(复旦大学电子工程系 上海 200433)

摘要 本文介绍 18 位精度音频(带宽 20kHz)过采样 $\Sigma\Delta$ A/D 变换器。文中根据精度、阶数和过采样比关系,设计了 4 阶 2-2 结构 $\Sigma\Delta$ 调制器,在设计梳状抽频滤波器和波数字滤波器时分别应用了模数定理和硬件复用技术。在 1.2 μ m CMOS 工艺设计完成后,电路的结构和精度通过 ELDO 模拟器和 C 模拟器得到了验证。

EEACC: 1130B, 1265H, 1280

1 引言

过采样 $\Sigma\Delta$ A/D 变换器通过过采样以时间来交换精度,从而避免实现高精度 A/D 变换器所需要的复杂性。 $\Sigma\Delta$ 调制器结构是迄今为止在数字 VLSI 技术中执行高精度 A/D 变换最吸引人的方法。到目前为止,16 位、18 位直至 20 位分辨率的过采样 $\Sigma\Delta$ A/D 变换器已经在国外实验室里得到研究和实现^[1~6]。

过采样 $\Sigma\Delta$ A/D 调制器的总的噪声并不小,但信号通带内的噪声比其他调制器低得多,通带外的噪声可以通过跟在过采样 $\Sigma\Delta$ A/D 调制器后面的数字滤波器滤去。

如文献[1]指出,过采样 $\Sigma\Delta$ 调制器中,量化噪声和高频噪声的和是:

$$SN = \frac{\pi^{2N}}{2N+1} \times \frac{\Delta^2}{M^{2N+1}} \left[\frac{1}{12} + 4h^2 \right] \quad M \gg 1 \quad (1)$$

其中 N, M 和 h 分别是调制器的阶数,过采样比和高频因子。由公式(1)可见, $\Sigma\Delta$ A/D 调制器的噪声将随着调制器的阶数和过采样比迅速被压制。

采用过采样 $\Sigma\Delta$ A/D 变换器来实现高分辨率的理由是由于这类调制器对电路不完全性和元器件参数不匹配不敏感,因为它一方面在反馈通路中只应用单个两级定量,另一方面可以避免高分辨率的采样/保持单元和模拟反重迭滤波器。另一个理由是 $\Sigma\Delta$ A/D 变换器除调制器外,其余部分都是数字电路,可以充分利用 VLSI 数字集成电路技术高集成密度和高速的优势,从而避免在一个有限的模拟动态范围内执行复杂模拟电路的困难。

除了上述所说过采样 $\Sigma\Delta$ A/D 变换器的优点外, $\Sigma\Delta$ A/D 变换器也存在附加的要求:(1)

* 国家自然科学基金、王宽成访德基金和德国 SIBET 公司资助项目

洪志良 博士,教授,从事 LSI 电路设计与研制工作

1995 年 7 月 20 日收到初稿,1995 年 10 月 20 日收到修改稿

过采样 $\Sigma\Delta$ A/D 变换器需要降频和低通滤波器来抑制高频噪声; (2) 在过采样 $\Sigma\Delta$ A/D 变换器中采样速率远远高于奈奎斯特频率。

本文在第 2 节摘要介绍 $\Sigma\Delta$ A/D 变换器的工作原理和基本概念, 在第 3~5 节分别介绍 18 位精度 $\Sigma\Delta$ A/D 变换器中调制器、梳状滤波器和波数字滤波器的设计。第 6 节给出验证结果。

2 $\Sigma\Delta$ 调制器基本概念和 $\Sigma\Delta$ A/D 变换器工作原理

2.1 基本概念

$\Sigma\Delta$ 调制器的阶数: 在 $\Sigma\Delta$ 调制器中积分器的数量定义为该 $\Sigma\Delta$ 调制器阶数, 本文用 N 表示。

$\Sigma\Delta$ 调制器级数: 在 $\Sigma\Delta$ 调制器中量化器的数量定义为该 $\Sigma\Delta$ 调制器级数。

过采样比: 采样频率与奈奎斯特频率(信号带宽的 2 倍)的比值, 本文用 M 表示。

梳状滤波器的字长: 在梳状滤波器中所采用求和器的位数(等于梳状滤波器的总线宽度), 本文用 L 表示。

梳状滤波器的阶数: 梳状滤波器中无限脉冲递归(IIR)和有限脉冲递归(FIR)的阶数, 即 IIR 和 FIR 求和器的数量。

抽频比: 抽频时输入频率与输出频率的比值, 本文用 $D: 1$ 表示。

2.2 工作原理

为了说清楚 $\Sigma\Delta$ A/D 变换器的工作原理, 图 1 表示了一阶 $\Sigma\Delta$ 调制器原理图和它的实现。 φ_1 和 φ_2 是非重迭时钟。

如图 1 所示, 当 $t=KT$ (这里 T 是时钟半周期)时, $\varphi_1=1, \varphi_2=0$. C_1 充电到 $V_A(KT)$, C_2 保持着 $t=(K-1)T$ 时的电压, 就是说 $V_2(KT)=V_2[(K-1)T]$, 这是采样相。

当 $t=(K+1)T$ 时, $\varphi_1=0, \varphi_2=1$

1. C_1 充电到 $(-1)^{D_i(K-1)T+1}V_{ref}$, 这里 $D_i(K-1)T$ 用于确定 $V_2[(K-1)T]$ 的符号, V_{ref} 是 A/D 变换器的参考电压, D_i 是上次量化输出数据, 其值为 1 或 0, C_2 有电压值为:

$$V_2[(K+1)T] = C_1/C_2[V_A(KT) - (-1)^{D_i(K-1)T+1}V_{ref}] + V_2[(K-1)T]$$

这里 C_1/C_2 是积分器的增益。 $V_2[(K+1)T]$ 小于零或大于零时, 比较器的输出等于 0 或 1。比较器的输出经寄存器锁住后, 一是用来控制参考电压的极性, 二是用作输出数据流。这个数据流还需降频和滤波, 才能得到最终的数字信号。

再当 $t=(K+2)T$ 时, $\varphi_1=1$ 和 $\varphi_2=0$. 电容 C_1 再次充电到 $V_A[(K+2)T]$, C_2 保持 $t=(K+1)T$ 时电压。比较器的输出电压保持不变。

等到 $t=(K+3)T$ 时, $\varphi_1=0, \varphi_2=1$. C_1 充电到 $(-1)^{D_i(K+1)T+1}V_{ref}$, 其时 C_2 上的电压

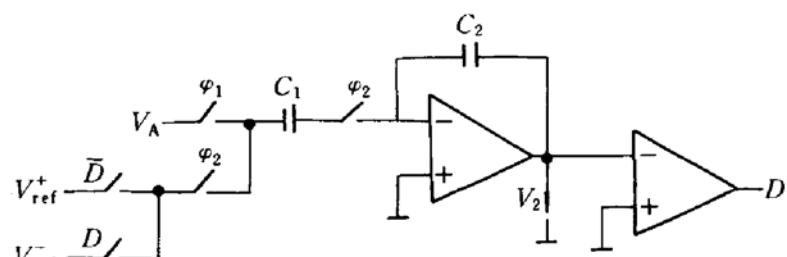


图 1 一阶 $\Sigma\Delta$ 调制器原理图

为:-

$$V_2[(K+3)T] = C_1/C_2 \{ [V_A(KT) - (-1)^{D_1(K-1)T+1} V_{ref}] + \\ [V_A(K+2)T - (-1)^{D_1(K+1)T+1} \cdot V_{ref}] \} + V_2[(K-1)T]$$

根据 $V_2[(K+3)T]$ 的极性, 比较器的输出将为 0 或 1. 如此反复, 比较器就输出线“1”或“0”的数据流. 这个数据流中为“1”的值是与模拟输入量成正比的. 举一个例子来说, 一个 $\Sigma\Delta A/D$ 调制器如果它的参考电压为: $V_{ref}=1V$, $C_1=C_2$, 当输入 $V_A=0.36V$ 和 $V_A=0.8V$ 时, 量化器的数字输出为: 011011011……和 0111111110111111111……. 尽管比较器的每一次输出是随机的, 但其中输出为 1 的几率是随输入信号递增的. 输出的数据流经过压缩、滤波后就产生了 $\Sigma\Delta A/D$ 变换器的数字输出.

2.3 $\Sigma\Delta$ 调制器中阶数, 过采样比与精度的关系

在一阶 n 位精度的 $\Sigma\Delta$ 调制器中, 在模拟信号与参考电压之间最小绝对差值应为 $V_{ref}/2^n$, 如果在开始时积分电容上的电压为 V_{ref} , 模拟输入为 $V_n=[(2^n-1)V_{ref}/2^n-\Delta x]$, 并设输入模拟量到最大输入动态的误差 Δx 趋于零, 那么在这种情况下模拟信号与参考电压的差为:

$$\Delta = -V_{ref}/2^n \quad (2)$$

假设在 m 次采样后, 比较器的输出从“1”转换到“0”(注: M 是过采样比, m 是采样频率), 最极端情况:

$$m\Delta + V_{ref} < 0 \quad (3)$$

即

$$m > 2^n \quad (4)$$

如果输入信号带宽为 B , 那么采样时钟频率应该大于或等于 mB , 过采样比为 $m/2$.

和一阶 $\Sigma\Delta$ 调制器类似, 在二阶 $\Sigma\Delta$ 调制器中, 最极端的情况是 $V_1=V_{ref}$, $V_2=V_{ref}$, $V_A=V_{ref}-V_{ref}/2^n-\Delta x$, 而 Δx 趋于零. 如果我们设 $\Delta=V_{ref}/2^n$, $a_1=c_1/c_2$, $a_2=c_3/c_4$, 那么表 2 列出了 2 阶 $\Sigma\Delta$ 调制器的逐次积分过程.

表 1 2 阶调制器的逐次过程

Δ_1	V_1	Δ_2	V_2
$-\Delta$	$a_1(V_{ref}-\Delta)$	$a_1(V_{ref}-\Delta)-b_2V_{ref}$	$a_2[V_{ref}+a_1(V_{ref}-\Delta)-b_2V_{ref}]$
$-\Delta$	$a_1(V_{ref}-2\Delta)$	$a_1(V_{ref}-2\Delta)-b_2V_{ref}$	$a_2[V_{ref}+a_1(V_{ref}-3\Delta)-2b_2V_{ref}]$
$-\Delta$	$a_1(V_{ref}-3\Delta)$	$a_1(V_{ref}-3\Delta)-b_2V_{ref}$	$a_2[V_{ref}+a_1(V_{ref}-6\Delta)-3b_2V_{ref}]$
\dots	\dots	\dots	\dots
$-\Delta$	$a_1(V_{ref}-m\Delta)$	$a_1(V_{ref}-m\Delta)-b_2V_{ref}$	$a_2[V_{ref}+a_1(mV_{ref}-m(M+1)\Delta/2-mb_2V_{ref})]$

如表 1 所示, 第一级和第二级积分器的输出电压在采样 m 次后为:

$$V_{1m} = a_2(V_{ref}-m\Delta) \quad (5)$$

$$V_{2m} = a_2[V_{ref} + a_1[mV_{ref} - m(m+1)\Delta/2] - mb_2V_{ref}] \quad (6)$$

设开始时, $V_2=V_{ref}$, 要达到 V_2 的符号改变, 至少下述不等式应满足.

$$V_{2m} < 0 \quad (7)$$

$$\text{如果 } b_2 = a_1 = a_2 = 1, \text{ 那么 } m(m+1) > 2^{n+1} \quad (8)$$

$$\text{近似有 } m > 2^{(n+1)/2} \quad (9)$$

如果 $n \geq 16, B > 20\text{kHz}$, 那么 $\Sigma\Delta$ 调制器的采样频率超过 5MHz . 对高于 16 位精度或更高频率模拟信号, 又考虑到电路的非理想性, 应该采用 3 阶或 4 阶甚至更高阶的调制器.

如果某人采用单级 3 阶串接 $\Sigma\Delta$ 调制器, 类似上面的公式可以如下推出:

$$m(m+1)(m+2) > 3 \times 2^{n+1} \quad (10)$$

$$\text{近似有 } m > \sqrt[3]{3 \times 2^{n+1}} \quad (11)$$

单级 4 级阶 $\Sigma\Delta$ 调制器, 有

$$m > \sqrt[4]{6 \times 2^{n+3}} \quad (12)$$

如上推导, 1~4 阶单级 $\Sigma\Delta$ 调制器的最小过采样比可以推出并列表于 2.

表 2 1~4 阶单级 $\Sigma\Delta$ 调制器达到分辨率为 $n(n=12, 14, 16, 18, 20)$ 所需最低过采样比

精度(位)	$M(1$ 阶)	$M(2$ 阶)	$M(3$ 阶)	$M(4$ 阶)
12	2048	65		
14	8192	129	36	22
16	32768	257	59	31
18	131072	514	93	43
20	524288	1034	145	61

根据上面的推导, 单级 N 阶 $\Sigma\Delta$ 调制器所需过采样比与精度的关系可以用公式表示

$$(M+N-1)! > (M-1)! \times N! \times 2^{n-1} \quad (13)$$

2.4 调制器的稳定性

图 2 表示一个 n 阶串联的 $\Sigma\Delta$ 调制器的信号流图, 它有衰减器(a, b), 求和器 Σ 、积分器 \int 和量化器 Z 组成. 为确保图 2 所示的 N 阶 $\Sigma\Delta$ 调制器能够稳定地操作, 其必要条件是:

(a) 除非输入处有衰减电
路, 要不输入信号应小于等效
的参考电压.

(b) 在输入与参考电压之
间的差值和总是要在积分器
的线性范围.

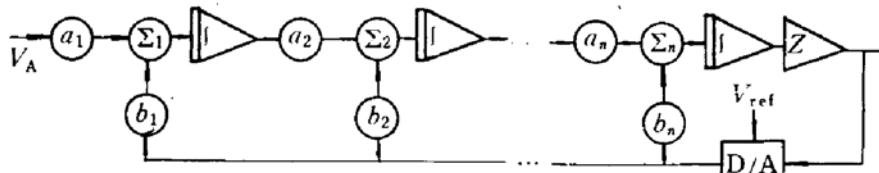


图 2 N 阶串接 $\Sigma\Delta$ 调制器原理图

(c) 所有积分器应该是稳定的, 它们没有振荡.

如图 1 所示的 1 阶 $\Sigma\Delta$ 调制器, 在积分电容 C_2 的输出最大电压为 $(a_1 V_{Amax} + b_1 V_{ref})$. 其中 a_1 是积分器的增益, 这个最大值应该在积分器的线性范围内. 为了使 2 阶 $\Sigma\Delta$ 调制器稳定工作, 同样应使最大的积分电压在积分器的线性区. 这就是说:

$$2a_1(V_{Amax} + b_1V_{ref}) < V_{max} \quad (14)$$

和

$$a_1a_2(V_{Amax} + b_1V_{ref}) + 2a_2b_2V_{ref} < V_{max} \quad (15)$$

其中 a_2 和 V_{max} 是第二级积分器的增益和积分器最大线性区.

在 3 阶和 4 阶调制器中, 类似的不等式可以同样推出.

在 3 阶 $\Sigma\Delta$ 调制器中, 有稳定不等式组为:

$$3a_1(V_{A\max} + b_1V_{ref}) < V_{\max} \quad (16)$$

$$3a_1a_2(V_{A\max} + b_1V_{ref}) + 3a_2b_2V_{ref} < V_{\max} \quad (17)$$

$$a_1a_2a_3(V_{A\max} + b_1V_{ref}) + 3a_2a_3b_2V_{ref} + 3a_3b_3V_{ref} < V_{\max} \quad (18)$$

4 阶 $\Sigma\Delta$ 调制器的稳定操作条件是满足如下不等式:

$$4a_1(V_{A\max} + b_1V_{ref}) < V_{\max} \quad (19)$$

$$6a_1a_2(V_{A\max} + b_1V_{ref}) + 4a_2b_2V_{ref} < V_{\max} \quad (20)$$

$$4a_1a_2a_3(V_{A\max} + b_1V_{ref}) + 6a_2a_3b_2V_{ref} + 4a_3b_3V_{ref} < V_{\max} \quad (21)$$

$$a_1a_2a_3a_4(V_{A\max} + b_1V_{ref}) + 4a_2a_3a_4b_2V_{ref} + 6a_3a_4b_3V_{ref} + 4a_4b_4V_{ref} < V_{\max} \quad (22)$$

3 $\Sigma\Delta$ 调制器设计

根据表 1 中 $\Sigma\Delta$ 调制器精度、阶数和过采样比的关系, 18 位 $\Sigma\Delta$ 调制器用 3 阶实现时, 理论上过采样比要大于 93, 用 4 阶实现时, 过采样比要大于 43。考虑到 $3\mu\text{m}$ CMOS 跨导放大器的单位增益带宽只能达到几十兆赫兹, 在带大电容负载时实际只能工作于 10MHz 之内。又考虑到运算放大器有限增益和噪声以及电容的非线性, 过采样比为 128 的四阶 $\Sigma\Delta$ 调制器比较适合于 18 位 $\Sigma\Delta$ A/D 变换器。因为信号的频率为 20kHz, 那么奈奎斯特频率为 40kHz, 在过采样比为 128 的情况下, 采样时钟为 5.12MHz。

四阶 $\Sigma\Delta$ 调制器的基本结构有 1-1-1-1, 2-1-1, 1-2-1, 2-2, 3-1, 1-3 和一级量化共 8 种。采用 1-3, 3-1 和一级量化的四阶 $\Sigma\Delta$ 调制器在动态范围和稳定性上有很大冲突, 暂时不考虑。采用四级量化串接的 1-1-1-1 结构, 虽然具有稳定性好的优点, 但需要四个量化器。量化器不仅需要占用芯片面积和增加功耗, 而且它也会引入噪声。在余下的四种结构中, 综合起来, 2-2 结构的四阶 $\Sigma\Delta$ 调制器比较适用, 因为它只需二个量化器, 在稳定性上又和其他采用 3 级量化的相同, 所以通过模拟和比较, 采用 2-2 结构四阶 $\Sigma\Delta$ 调制器。由调制器输出高密度的数据在传输和处理时很不方便, 需要进行数据压缩和高频噪声抑制, 一个完整的 $\Sigma\Delta$ A/D 变换器应该有调制器, 抽频滤波器和数字低通滤波器组成, 整个 $\Sigma\Delta$ A/D 变换器的框图如图 3 所示。本节是介绍调制器的设计。

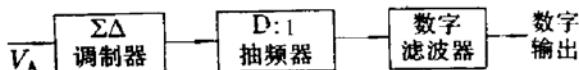


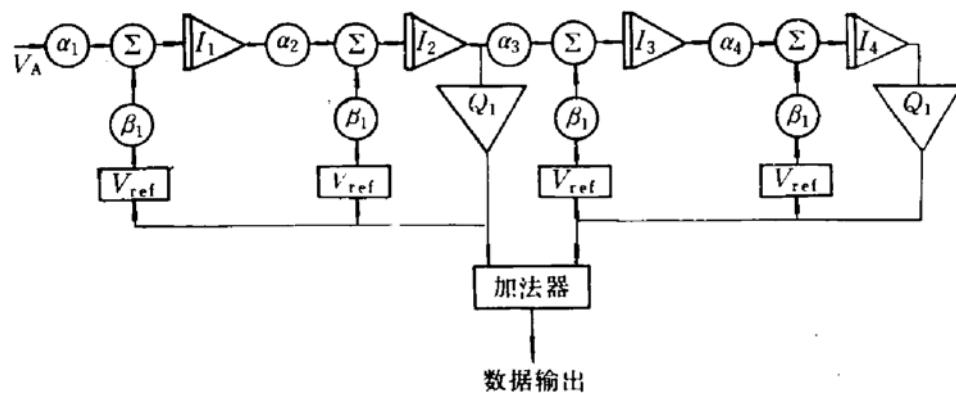
图 3 $\Sigma\Delta$ A/D 变换器的方框图

图 4 是四阶 2-2 结构 $\Sigma\Delta$ 调制器的方框结构图。图中, V_A 是模拟输入信号, α_1, β_1 分别为输入和参考电压的衰减因子, 用来选择在稳定条件下最大动态范围。 I_1 为积分器, Q_1 为量化器。输入信号经 α_1 衰减后, 与受 Q_1 输出控制并经 β_1 衰减的参考电压求和后, 经 I_1 积分和延迟后, 再经第二级求和, 积分和延迟后输入到 Q_1 量化器和第三级求和器。第二级的量化工作与第一级量化工作完全相同, 二级量化器的输出数据求和为最终 $\Sigma\Delta$ A/D 变化器的输出。

图 4 电路的所有积分和量化均采用全差分输入, 全差分输出结构, 可以抑制开关噪声的串入和共模干扰。参考电源极性的控制用模拟开关选通来完成, 求和、积分均在积分器中完成, 衰减因子是通过选择电容比来实现的。其中积分器中的运放采用带共模补偿的低功耗传

图 4 是四阶 2-2 结构 $\Sigma\Delta$ 调制器的方框结构图。图中, V_A 是模拟输入信号, α_1, β_1 分别为输入和参考电压的衰减因子, 用来选择在稳定条件下最大动态范围。 I_1 为积分器, Q_1 为量化器。输入信号经 α_1 衰减后, 与受 Q_1 输出控制并经 β_1 衰减

的参考电压求和后, 经 I_1 积分和延迟后, 再经第二级求和, 积分和延迟后输入到 Q_1 量化器和第三级求和器。第二级的量化工作与第一级量化工作完全相同, 二级量化器的输出数据求和为最终 $\Sigma\Delta$ A/D 变化器的输出。

图 4 四阶 2—2 结构 $\Sigma\Delta$ 调制器方框图

导运算放大器(OTA),该 OTA 的线路图与性能如图 5 和表 3 所示. 量化器为带正反馈的差分输入 OTA. 整个调制器完成设计与验证后, 其模拟结果见第 6 节, 其中 OTA 已在 AMS 公司制备和测试.

表 3 OTA 的实验结果(HP9497 测试获得)

参数	数 值
开环增益	47dB($R_L = 10k\Omega$)
单位增益带宽	>20MHz($C_L = 6pF$)
输入动态范围	> $\pm 1V$ (闭环)
输出动态范围	> $\pm 1V$
压摆率	>20V/ μs
功耗	3.8mW
芯片面积	0.1mm ²
信噪比	>60dB

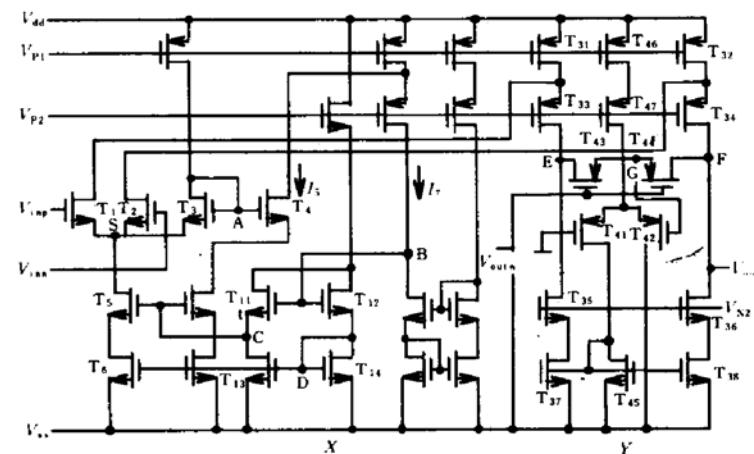


图 5 传导运算放大器(OTA)线路图

4 模数字长定理和梳状滤波器设计

模数字长定理: 在设计 $\Sigma\Delta$ ADC 的 J 阶抽样比为 $D : 1$ 的梳状滤波器时, 在模数不溢出情况下, 即只要字长 L 满足下述条件, 信号不会丢失.

$$L \geq J[\text{Int}(\log_2 D) + 1] \quad (D \text{ 不是 } 2 \text{ 的幂})$$

$$L \geq J\text{Int}(\log_2 D) \quad (D \text{ 为 } 2 \text{ 的幂})$$

由调制器输出的高频数据流给发送和使用带来很多的不方便, 它内部的高频噪声也需要抑制, 所以在 $\Sigma\Delta$ 调制器后面必须有低通、降频处理. 本文采用梳状滤波器作为降频和低通.

梳状滤波器采用乘法因子为 1 的无限脉冲递归(IIR)滤波器和有限脉冲递归(FIR)滤波器组成, 其中间是 $D : 1$ 的抽样电路, 梳状滤波器的阶数应该至少比 $\Sigma\Delta$ 调制器的阶数高 1, 以确保过渡带的衰减, 其字长应满足不丢失信号的条件. 输出频率最好为过采样频率的 $1/4$.

J 阶抽样比为 $D : 1$ 的梳状滤波器的模为 D^J , 对 D^J , 求模数就可以获得完整的信号.

由于 $\Sigma\Delta$ 调制器是四阶的, 所以采用了五阶梳状滤波器. 在过采样比为 128 的情况下,

取得抽频比 D 为 32. 根据模数定理, 字长 L 为

$$L \geq J \text{Int}(\log_2 D) = 25$$

考虑到 $\Sigma\Delta$ 调制器的输出是多位的, 所以实际字长为 32 位. 图 6 表示了实际梳状滤波器的方框流程图, 图 6 中的求模电路只取 32 位中的高 18 位.

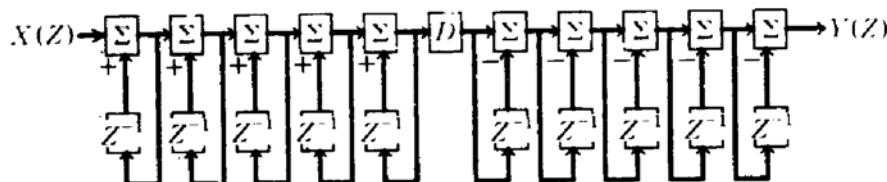


图 6 梳状滤波器方框流程图

5 硬件复用和波数字低通滤波器

$\Sigma\Delta$ 调制器经过梳状抽频滤波器后还需要 4 : 1 降频和高频噪声的进一步抑制, 数字低通可以通过 FIR 或波数字滤波器来实现. 采用 FIR 多抽头低通滤波器要很大的芯片面积,

尽管波数字滤波器设计难度大, 但省硬件. 要达到 18 位精度, 阻带衰减要大于 112dB, 经济的办法是采用 13 阶波数字滤波器的二级串联^[7].

在二级滤数字滤波器中, 时钟频率分别为奈奎斯特频率和 2 倍的奈奎斯特频率, 即 40kHz 和 80kHz, 而 2μm CMOS 18 位数字乘法器可以工作在 10MHz 左右^[8], 所以在时域中乘法器有很大富裕量. 采用硬件复用技术, 可以充分利用时域富裕量来节省硬件. 图 7 实现 13 阶波数字低通功能的方框原理图. 图 7 中, 凡需要用的数据存储于锁存器中, 通过多重开关的选通来选择需要操作的数据, 乘法是用多重加法来完成的, 中间结果又返回到运算操作单元的另一输入锁存器.

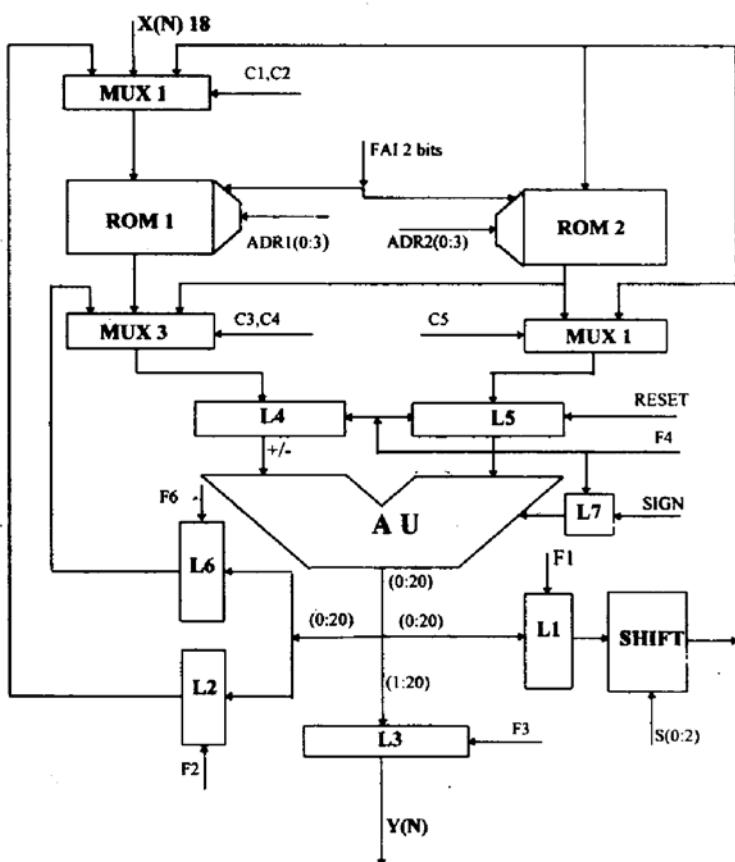


图 7 采用硬件复用技术的波数字滤波器方框图

6 电路的验证和改进

采用混合模拟器 ELD0 和 C 模拟器对上几节设计的电路进行模拟和验证, 发现波数字滤波器的频响特性在通带边缘的衰减达不到 18 位精度的要求, 为了补偿通带边缘的衰减,

在梳状滤波器与波数字滤波器之间加一级补偿电路($\sin x/x$)梳状滤波器的频响特性如图 8(a)所示. 一级 13 阶波数字滤波器的频响特性如图 8(a)所示.

为了验证整个系统, 在数字滤波器后加一级理想的 D/A 变换器, 然后在 $\Sigma\Delta$ 调制器之前输入模拟信号, 就可以在 D/A 变换器的输出获得延迟以后的模拟信号.

采用混合模拟器可以在模拟电路部分进行管子级模拟, 同时在数字部分进行门一级的模拟, 能够完成数字、模拟混合集成电路整体模拟. 但耗费大量的 CPU 时间, 在 CONVAX 多重机上需 5~6 小时. 为了尽快验证电路结构和判定电路的精度, 采用 PC 机或单工作站能很快对电路进行模拟, 我们又编程了 C 模拟器, 这个 C 模拟器仿真 $\Sigma\Delta$ A/D 变换器的全功能, 加上理想 D/A 作为输出, 能同时获得与输入信号进行比较的直观的模拟信号波形和 $\Sigma\Delta$ A/D 变换器的精度, 图 8(c)就是一个 18 位 $\Sigma\Delta$ A/D 变换器的输入、输出信号比较图.

7 小结

本文系统介绍了 18 位 $\Sigma\Delta$ A/D 变换器设计过程, 在调制部分设计时, 推导和应用了精度、阶数和过采样比的关系. 在梳状抽频低通设计时, 应用模数定理, 推导了字长、阶数和抽频比的关系为节省硬件, 实现单片集成, 采用硬件复用技术实现 13 阶波数字低通滤波器. 在 ELDO 混合信号模拟器中, 整个系统在管子级(模拟部分)和门级(数字部分)得到了验证. 为节省模拟时间, 又用 C 语言编程了 C 模拟器, 采用 C 模拟器不仅能很快验证电路的结构, 而且能立即判断整个 $\Sigma\Delta$ A/D 变换器的精度. 电路中的关键单元已经流片, 测试, 整个系统准备流片.

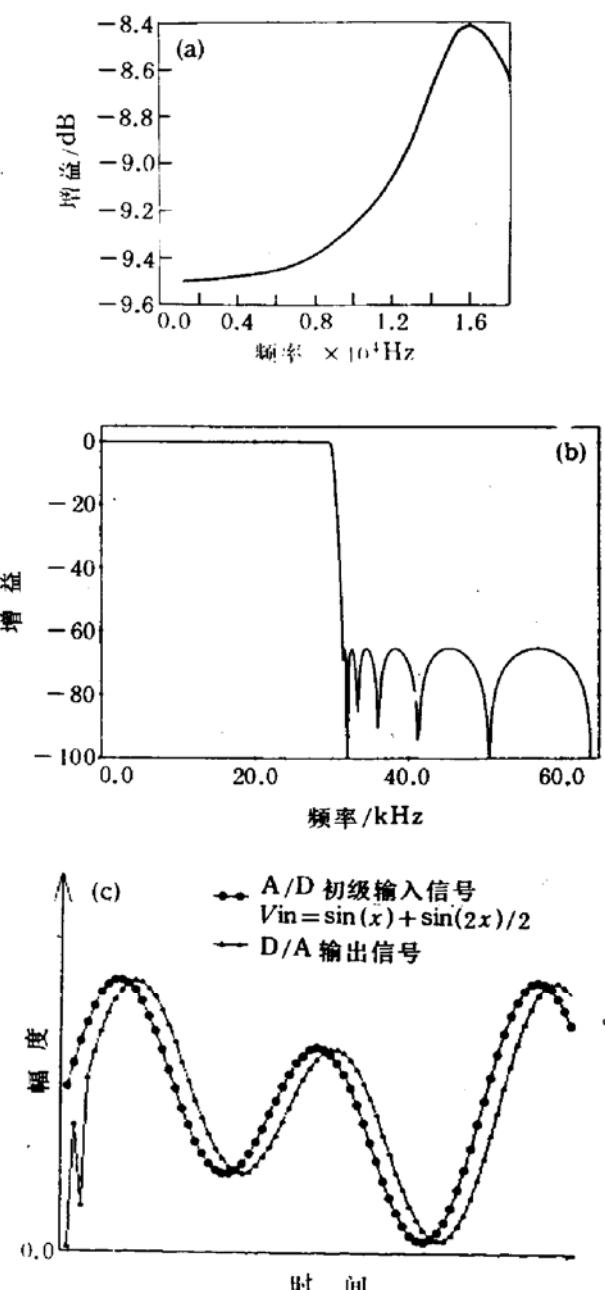


图 8 模拟结果

参 考 文 献

- [1] B. E. Boser *et al.*, IEEE J. Solid-State Circuits, 1988, 23(6):1298~1308.
- [2] R. W. Adams, J. Audio Eng. Soc., 1986, 34:153~166.
- [3] B. P. Del Dignore *et al.*, IEEE J. Solid-State Circuits, 1991, 25(6):1311~1316.
- [4] D. B. Ribner *et al.*, IEEE J. Solid-State Circuits, 1991, 26(12):1767~1774.

- [5] G. Yin *et al.*, IEEE J. Solid-State Circuits, 1993, **28**(6):640~647.
- [6] M. Sarhang-Nejad, Gabor C. Temes, IEEE J. Solid-State Circuits, 1993, **28**(6):648~660.
- [7] 洪志良, 电子学报, 1995, **23**(8):84~86.
- [8] 洪志良, 半导体学报, 1995, **13**(8):511~514.
- [9] J. Shibata and T. Kajiwara, IEEE Spectrum, 1989, **26**(2):34~38.

Design of Oversampling 18-Bit $\Sigma\Delta$ A/D Converter

Hong Zhiliang, Cao Xianguo and Wang Xiaoyue

(Department of Electronics Engineering, Fudan University, Shanghai 200433)

Received 20 July 1995, revised manuscript received 20 October 1995

Abstract This paper will present an oversampling 18-bit A/D converter. According to the relationship among resolution, order and oversampling ratio, a fourth-order $\Sigma\Delta$ A/D modulator has been designed. The wordlength law and hardware reusing technique have been applied in designing decimator and wave digital filter. The function and performance of the circuit in $1.2\mu\text{m}$ CMOS technology have been verified with ELDO mixed simulator and C simulator, and key unit OTA has been processed and tested.

EEACC: 1130B, 1265H, 1280