

一种减小关键路径延迟的回路布线法 *

乔长阁 洪先龙

(清华大学计算机系 北京 100084)

摘要 传统的性能驱动布线算法受限于树形或固定的布线拓扑结构。本文提出一种回路性能优化布线算法,针对树形线网布线,通过在已存在的布线树上加入回路来减小所选择关键路径的延迟时间或线网的最大延迟。我们将互连线树归结为分布传输线网络并采用 Elmore 延迟计算方法。本文证明,通过选择适当的 RC ,在连接节点与关键节点之间加入连线可达到减小所选择线网中关键路径延迟或线网最大延迟的目的。实验结果表明,我们的方法有效且可以集成在现有 CAD 性能优化布线系统中。本文同时给出了所加入线段长度的计算方法。

EEACC: 7410D, 5120

1 引言

随着集成电路最小特征尺寸的下降和芯片面积的增加,互连线延迟已逐渐超过器件本身的延迟并逐渐成为决定芯片性能的关键因素。对于高速数字系统,对性能优化布线的要求则越来越迫切。

近几年来,人们已经提出一些性能驱动布线算法^[1,2]。对于传统的布线方法,通常将连线总长最小化作为优化目标。新近的性能优化布线算法则同时考虑了连线总长最小化和从源点到汇集点的关键路径长度最小化两个目标。然而实践证明,芯片性能影响的主要因素即互连线的延迟,不仅与总的线网长度相关,而且与布线的拓扑结构有关。

另一个与性能优化布图有关的是延迟的计算。目前,绝大多数已有性能驱动布线算法仍采用 Elmore 延迟^[3]或其上界^[4]作为互连线的延迟来计算。我们注意到,Elmore 延迟定义同样可以用于 RC 网孔^[5],这样就可以使线网采用包括回路的布线拓扑结构。

文献[6]曾提出一种减小线网最大延迟的后处理方法,通过在已存在的拓扑结构上加入连线来达到此目的。虽然[6]证明出可以通过加入回路并适当选择所加连线长度来减小线网的最大延迟,但由于他针对一般的布线拓扑结构,难以给出所加入连线长度的范围,所以只能通过在连接节点与关键节点之间尝试加入回路来模拟节点延迟的变化。另一方面,由于将

* 中国博士后科学基金资助项目

乔长阁 男,1967 年生,讲师,主要从事集成电路计算机辅助设计方面的科研和教学工作

洪先龙 男,1940 年生,教授,主要从事集成电路设计自动化方面的科研和教学工作

1995 年 7 月 13 日收到初稿,1995 年 11 月 22 日收到修改稿

回路加在连接节点与关键节点之间,这实际上在某些时候限制了回路的构造.例如,连接节点与关键节点之间所加入最短路径也未必可以使关键节点延迟减小.目前,绝大多数总体及详细布线程序仍采用树形布线拓扑结构,对于有回路的布线拓扑,由于电阻矩阵难于计算,所以很难计算节点延迟.

本文中,我们提出一种回路布线算法,通过在已有布线树中加入回路来使线网最大延迟减小,对关键路径所关联的线网进行处理,可以使关键路径的延迟大大减小.我们的方法指出,若有多余布线资源存在,如对门阵列布图模式,可以在已有布线结果的基础上优化布线拓扑,包括适当加入回路将可以进一步提高芯片性能.这里,线网总长已不是考虑的主要目标,因为我们假设芯片中有足够的布线资源可用.

2 互连线延迟模型

我们知道,对于一个线网,可以将它看做由一个源点 S 和多个汇集点 T 组成.根据 Sakurai 的延迟模型^[7],可以将源点用晶体管有效导通电阻 R_{tr} 、汇集点端用负载电容 C_L 来模型化.互连线可模型化为由电阻 R 和电容 C 组成的 RC 网络.

假设布线网络 N ,其地节点不标注,将源点与线网其余部分分隔的节点定义为连接节点(标记为 0),将其余节点随机地从 1 到 n 来标记.电压源与节点 0 之间的电阻为驱动电阻 R_{tr} ,布线网络 N 中汇集点的负载电容为 C_{Li} ($i \in$ 汇集点集),如图 1 所示.

为了便于计算,我们采用 Elmore 延迟作为线网延迟来估测. Elmore 延迟是单位脉冲响应的一阶矩,对电路中某一节点的 Elmore 延迟为:

$$T_{di} = \sum_{i=1}^{i=n} R_{ik} C_k \quad (1)$$

其中 R_{ik} 为节点 i 与节点 k 之间的电阻; C_k 为节点 k 的电容.我们将线网 N 的电阻矩阵标记为 $R = [R_{ij}]$. 电阻 R_{ij} 定义如下:当在 j 节点注入一安培的电流,且除 j 外 N 中其它节点开路的情况下,在节点 i 处观察到的电压.当 N 为一个树形结构时, R_{ij} 为由节点 i 和节点 j 至电压源点公共路径上的电阻取和值得到.另外,标记 $C = [C_i]$ 为电容矢量, C_i 为节点 j 的对地电容.

对于均匀分布的互连线,分布 RC 线可以用简单的 II 型集总 RC 电路来替换.图 2 所示为传输线的 II 型等效集总 RC 网络.

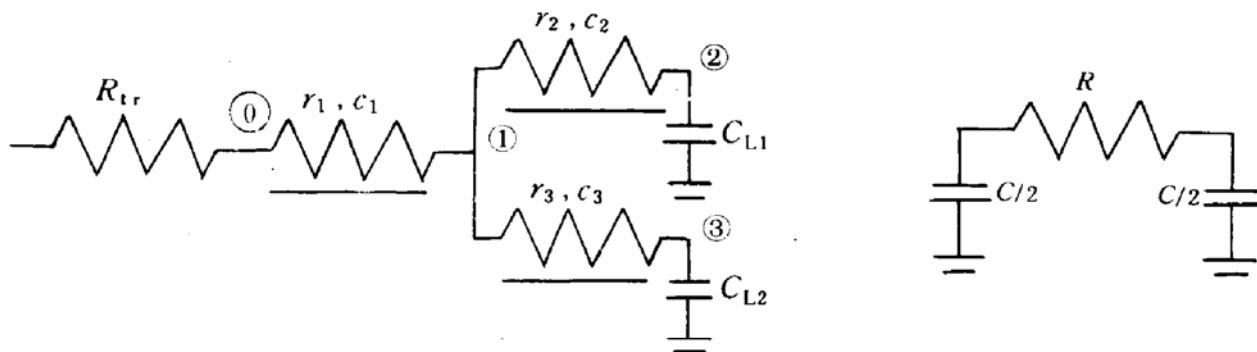


图 1 多端线网互连线模型

图 2 传输线的等效集总模型

3 RC 网孔电路延迟计算

计算网孔形网络信号延迟如(1)式所定义,但计算网孔电路中的电阻矩阵并非易事。Chan 和 Karplus 则提出了计算非树形网络信号延迟的方法。他们基于 Kron 的分枝撕裂技术,将给定网络划分成生成树和分枝链,然后从生成树开始计算节点的信号延迟,最后通过递增加入分枝链来重构原始网络以逐步更新信号的时间延迟。

考虑一个 RC 电路图 $G = (V, E)$, 节点集 $N = \{n_0, n_1, \dots, n_n\}$, 边集 $E = \{e_1, e_2, \dots, e_b\}$ 。假设 RC 电路中每个节点有一个对地的电容,与每条边 e_i 相关的是一个电阻。不失一般性,设 n_0 为输入节点。我们可以将 G 分成两部分:(1) 由 n 条边组成的生成树;(2) 其余 $b-n$ ($b \geq n$) 条边不在该树内,成为分枝链。树和分枝链的划分可采用图的深度优先搜索方法得到。

当电路只有一个驱动源时,则所有节点有相同的电压终值。若同时假设所有节点初始电压相同,则 Chan^[8]指出,当在 k, l 两个节点之间加入电阻 r 时,节点的延迟变化遵循下列关系:

$$T'_{di} = T_{di} - (T_{dk} - T_{dl})R\xi_{kl}/(r + R_{kk} + R_{ll} - 2R_{kl}) \quad (2)$$

其中 ξ_{kl} 为一个列矢量,第 k 行为 +1,第 l 行为 -1,其余行值为 0。

4 回路布线延迟分析

对于已布线网,如果有足够的布线资源,可以通过加入回路来调整节点的信号延迟。对于门阵列等系统,通常布线资源存在冗余,可以在未用的布线区加入回路布线。假设在节点 k 与 l 之间加入一连线 kl ,这样势必与以前的布线树拓扑构成回路。直观上看,延迟为电阻电容积的和,加入电阻线可以使节点间电阻减小,但同样亦使二端节点电容增加,所以还很难确定节点延迟的变化方向。

定理 1 对于一个布线树形线网 N ,若在节点 k 与 l 之间加入一条连线 kl ,其电阻为 R_s ,电容为 C_s ,则线网 N 中任意节点的延迟变化为

$$\begin{aligned} T''_{di} - T_{di} &= C_s(r_{ik} + R_{il})/2 - [(T_{dk} - T_{dl}) + (R_{kk} - R_{ll})C_s/2] \\ &\quad (R_{ik} - R_{il})/(R_s + R_{kk} + R_{ll} - 2R_{kl}) \end{aligned}$$

证明:对线网 N ,在加入连线 kl 之前, kl 二节点的延迟为:

$$T_{dk} = \sum_{j=1}^{j=n} R_{kj} C_j = \sum_{j \neq k} R_{kj} C_j + R_{kk} C_k + R_{kd} C_l \quad (3)$$

$$T_{dl} = \sum_{j=1}^{j=n} R_{lj} C_j = \sum_{j \neq l} R_{lj} C_j + R_{lk} C_k + R_{ll} C_l \quad (4)$$

加入 kl 连线后,延迟分两步计算:

① 加入电容,即 k, l 二端电容发生变化,即

$$C'_k = C_k + C_s/2 \quad (5)$$

$$C'_l = C_l + C_s/2 \quad (6)$$

其中 C_s 为所加入连线的电容, $C_s = Lc_1$ (c_1 为单位连线电容, L 为连线长度)。

② 加入 kl 电阻后延迟由(2)式来计算。

加入电容后,

$$T'_{dk} = \sum_{j=1}^{j=n} R'_{kj} C_j = \sum_{j \neq k} R_{kj} C_j + R_{kk} C'_{kk} + R_{kl} C'_{lk} \quad (7)$$

$$T_{dl} = \sum_{j=1}^{j=n} R'_{lj} C_j = \sum_{j \neq l} R_{lj} C_j + R_{lk} C'_{lk} + R_{ll} C'_{ll} \quad (8)$$

(7) - (3), 并将(5)代入有

$$T'_{dk} - T_{dk} = C_a (R_{kk} + R_{kl}) / 2 \quad (9)$$

(8) - (4), 并将(6)代入有

$$T'_{dl} - T_{dl} = C_a (R_{lk} + R_{ll}) / 2 \quad (10)$$

而(7) - (8)有

$$T''_{dk} - T'_{dk} = (R_{kk} - R_{lk}) C'_{kk} + (R_{kl} - R_{ll}) C'_{ll} + \sum_{j \neq k, l} (R_{kj} - R_{lj}) C_j \quad (11)$$

按照公式(2), 加入连线电阻 $R_a = Lr_1$ (r_1 为单位连线电阻) 后,

$$T''_{dk} = T'_{dk} - (T'_{dk} - T_{dk}) (R_{kk} - R_{lk}) / (R_a + R_{kk} + R_{ll} - 2R_{kl}) \quad (12)$$

$$T''_{dl} = T'_{dl} - (T'_{dl} - T_{dl}) (R_{lk} - R_{ll}) / (R_a + R_{kk} + R_{ll} - 2R_{kl}) \quad (13)$$

从而有

$$T''_{dk} - T_{dk} = T''_{dk} - T'_{dk} + T'_{dk} - T_{dk} \quad (14)$$

(3) - (4), (9), (12)代入(14)并化简可得

$$\begin{aligned} T''_{dk} - T_{dk} &= C_a (R_{kk} + R_{ll}) / 2 - [(T_{dk} - T_{dl}) + (R_{kk} - R_{ll}) C_a / 2] \\ &\quad (R_{kk} - R_{ll}) / (R_a + R_{kk} + R_{ll} - 2R_{kl}) \end{aligned} \quad (15)$$

同理可求得

$$\begin{aligned} T''_{dl} - T_{dl} &= C_a (R_{lk} + R_{ll}) / 2 - [(T_{dl} - T_{dk}) + (R_{lk} - R_{ll}) C_a / 2] \\ &\quad (R_{lk} - R_{ll}) / (R_a + R_{kk} + R_{ll} - 2R_{kl}) \end{aligned} \quad (16)$$

而对任意节点 $i \in N$, 则其延迟变化可类推为:

$$\begin{aligned} T''_{di} - T_{di} &= C_a (R_{ik} + R_{il}) / 2 - [(T_{di} - T_{dl}) + (R_{ik} - R_{il}) C_a / 2] \\ &\quad (R_{ik} - R_{il}) / (R_a + R_{kk} + R_{ll} - 2R_{kl}) \end{aligned} \quad (17)$$

由公式(17)我们就可以精确计算出各节点在 kl 端加入连线后延迟的变化.

定理 2 若假设 $T_{dk} > T_{dl}$, 即 k 点延迟大于 l 点延迟, 则适当选择 R_a 和 C_a (即线长 L), 则可使 $T''_{dk} - T_{dk} < 0$, 即使 k 节点延迟减小.

证明: 由于 $R_a = Lr_1, C_a = Lc_1$, 所以在式(16)中, 代入 R_a, C_a 可得

$$\begin{aligned} T''_{dk} - T_{dk} &= Lc_1 (R_{kk} + R_{ll}) / 2 - [(T_{dk} - T_{dl}) + Lc_1 (R_{kk} - R_{ll}) / 2] \\ &\quad (R_{kk} - R_{ll}) / (Lr_1 + R_{kk} + R_{ll} - 2R_{kl}) \end{aligned} \quad (18)$$

观察上式, 根据电阻矩阵的定义可知 $R_{kk} \geq R_{ll}, R_{ll} \geq R_{kk}$, 所以上式后半部分的分母大于零, 而分子由于 $T_{dk} > T_{dl}$, 所以适当选择 L , 定会使分子乘积的前一部分大于零, 并可使(19)式前后二项之差小于零. 下面我们看一下 L 的选择范围.

若要使 $T''_{dk} - T_{dk} < 0$, 则式(19)应小于零. 即

$Lc_1 (R_{kk} + R_{ll}) (Lr_1 + R_{kk} + R_{ll} - 2R_{kl}) / 2 - [(T_{dk} - T_{dl}) + Lc_1 (R_{kk} - R_{ll}) / 2] (R_{kk} - R_{ll}) < 0$
化简可得

$$r_1 c_1 (R_{kk} + R_{ll}) L^2 / 2 + c_1 (R_{kk} R_{ll} - R_{kk}^2) L - (T_{dk} - T_{dl}) (R_{kk} - R_{ll}) < 0 \quad (19)$$

上面不等式形如 $AL^2 + BL + C < 0$; 其中

$$A = r_1 c_1 (R_{kk} + R_{kl}) / 2 > 0 \quad (20)$$

$$B = c_1 (R_{kk} R_{ll} - R_{kl}^2) \geq 0 \quad (21)$$

$$C = -(T_{dk} - T_{dl})(R_{kk} - R_{ll}) < 0 \quad (22)$$

这样,由于 $B^2 - 4AC = B^2 + |4AC| > B^2$, 不等式(19)必有解, 即:

$$0 \leq L \leq \frac{-B + \sqrt{B^2 - 4AC}}{2A} \quad (23)$$

L 的值由(23)式确定, 其中的 A, B, C 由式(20)、(21)、(22)来确定.

从定理 2 可知, 在 k, l 两点间加入适当的电阻 R_a , 电容 C_a , 在 $T_{dk} > T_{dl}$ 时可使 k 的延迟时间减小, 且 L 的值由(23)式确定.

定理 3 对于一个已布树形线网, 设所选择的一个关键路径汇集点为 P , 则在连接节点与 P 间路径中选择一点与 P 相连, 在满足线长要求的情况下, 必可使 P 点延迟减小.

证明: 由定理 2 可知, 对于源 S 至汇集点 P 的路径中的任意节点 m , 必有 $T_{dm} \leq T_{dp}$, 这样只要 $m \in [S, P]$, 则连入 m 至 P 的线, 在满足(24)式的情况下, 可使 P 节点延迟减小.

由上述定理可知, 对于已布树形拓扑线网, 通过加入适当长度的连线, 构造连线回路, 可以达到使所选择线网中的关键路径延迟减小的目的. 如果关键路径延迟在每次节点延迟变化后都要更新, 即一个线网中的关键路径延迟定义为线网的最大延迟, 则有如下的定理 4.

定义 1 连接节点 当节点 l 移去后, 则线网 N 的各个分枝 N_b ($b \in \{1, 2, 3, \dots, m\}$) 不复连接, 则称 l 为连接节点, 如图 3 所示.

定义 2 最大节点 延迟 $D_{\max} = \max \{D_i \mid i \in N\}$, D_i 为 i 节点的延迟.

定理 4 若 l 为连接节点, 设 $k \in N_m$ 分支且 $k \in S_{\max}$ ($S_{\max} = \{l \mid D_l = D_{\max}, l \in N\}$), 则适当选择 R_a, C_a 可以使 $D'_{\max} < D_{\max}$, 即使线网最大延迟减小.

证明: 设所加入线段为 kl , 则由式(15), 节点 k 的延迟变化 δ_k 为

$$\delta_k = C_a (R_{kk} + R_{ll}) / 2 - [(T_{dk} - T_{dl}) + C_a (R_{kk} - R_{ll}) / 2] (R_{kk} - R_{ll}) / (R_a + R_{kk} + R_{ll} - 2R_{kl}) \quad (24)$$

由于 $R_{il} = R_{lr}$ ($i \in N$), 则

$$\delta_k = C_a (R_{kk} + R_{ll}) / 2 - [(T_{dk} - T_{dl}) + C_a (R_{kk} - R_{ll}) / 2] (R_{kk} - R_{ll}) / (R_a + R_{kk} + R_{ll}) \quad (24)$$

类似地, 对任意节点 i , 其延迟变化为

$$\delta_i = C_a (R_{ik} + R_{il}) / 2 - [(T_{dk} - T_{dl}) + C_a (R_{kk} - R_{ll}) / 2] (R_{ik} - R_{il}) / (R_a + R_{kk} + R_{ll}) \quad (25)$$

(25) - (24) 有

$$\begin{aligned} \delta_i - \delta_k &= C_a (R_{ik} - R_{kk}) / 2 - [(T_{dk} - T_{dl}) + C_a (R_{kk} - R_{ll}) / 2] \\ &\quad (R_{ik} - R_{kk}) / (R_a + R_{kk} - R_{ll}) \\ &= (R_{ik} - R_{kk}) [R_a C_a / 2 - (T_{dk} - T_{dl})] / (R_a + R_{kk} - R_{ll}) \end{aligned} \quad (26)$$

(I) 若 $\delta_i - \delta_k < 0$ 且可使 $\delta_k < 0$ (即节点 k 的延迟减小), 则 $\delta_i < \delta_k < 0$, 即同样可以使 i 节点延迟减小, 且减小幅度更大, $D'_{\max} < D_{\max}$ 有效.

(II) 若 $\delta_i - \delta_k \geq 0$, 则由式(26)必有

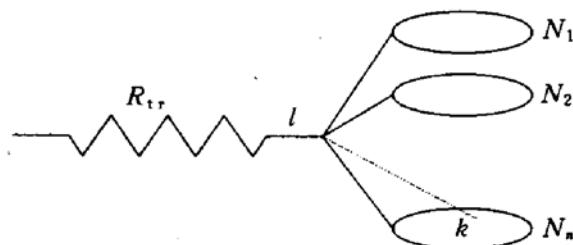


图 3 连接节点的定义

$$R_a C_a / 2 (\leq T_{dk} - T_{dl}) \quad (27)$$

将(27)代入(25),有

$$\delta_l \leq C_s (R_{ik} + R_{tr}) / 2 - [R_s C_s / 2 + C_s (R_{kk} - R_{tr}) / 2] (R_{ik} - R_{tr}) / (R_s + R_{kk} - R_{tr}) = R_{tr} C_s \quad (28)$$

也就是说,任何节点的延迟变化不会超过 $R_{tr} C_s$. 若可以保证 $\delta_k < 0$ 且适当选择 L 使 $\delta_l + D_i < D'_{\max}$, 即 $C_s < (D'_{\max} - D_i) / R_{tr}$, 则可使 D_{\max} 减小, 且 $D'_l < D'_{\max}$. 假设 D_m 为非 D_{\max} 中最大延迟, 则选择 $L < (D_{\max} - D_m) / (R_{tr} c_1)$.

5 实验结果

图 4 所示是一个已布线网的拓扑图(此实例引自文献[6]). 其中, 驱动电阻 $R_{tr} = 25\Omega$, 单

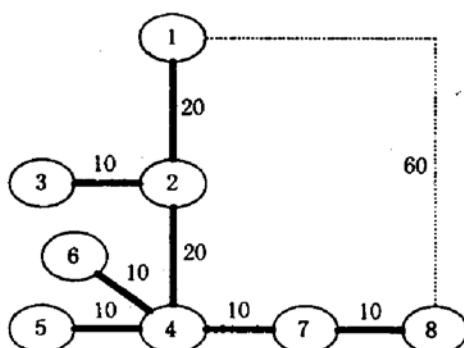


图 4 一个布线树的拓扑结构

位连线长度电阻为 $r_1 = 0.008\Omega/\mu m$, 单位连线长度电容为 $c_1 = 0.06fF/\mu m$, 负载电容 $C_l = 1000fF$, 各节点之间的长度如图所示(单位:mm). 我们分别对连线宽度 $W = W_0$, $W = 2W_0$, $W = 4W_0$ ($W_0 = 0.5\mu m$) 几种情况进行了测试, 所加回路加在节点 1 和节点 8 之间, 且线长 $L = 60mm$, 结果如表 1 所示. 表中最后一栏显示出线网最大延迟减小的百分比和可加入线段的长度. 由表可以看出线网最大延迟大大减小, 所选择的关键路径上的节点 8 的延迟减小幅度更大.

表 1 几种不同线宽情况下树形及回路拓扑的延迟时间 (单位:ns)

线宽 W	树/回路	节点 1	节点 3	节点 5	节点 8	延迟减小	可加线长
W_0	未加回路	0.015	1.29	2.89	3.14		
W_0	加入回路	0.028	1.24	2.20	1.89	29.9%	89mm
$2W_0$	未加回路	0.020	1.05	2.10	2.26		
$2W_0$	加入回路	0.050	1.06	1.72	1.56	23.9%	110mm
$4W_0$	未加回路	0.030	1.01	1.78	1.90		
$4W_0$	加入回路	0.110	1.11	1.62	1.53	14.7%	75mm

6 结论

本文提出了一种新的回路布线算法, 通过在已存在的布线树上加入回路来减小关键路径的延迟时间. 我们将互连线树归结为分布传输线网络并采用 Elmore 延迟计算方法, 通过选择适当的 RC , 在连接节点与关键节点之间加入连线可达到减小关键路径延迟的目的. 实验结果表明, 我们的方法有效且可以集成在已有 CAD 性能优化布线中, 使得在总体布线满足时间约束的同时使线网最大的延迟减小. 同时, 也可以面向路径使路径上与该路径有关的线网的汇集点延迟减小来使整个路径延迟达到减小的目的.

参 考 文 献

- [1] X. L. Hong *et al.*, Performance-Driven Steiner Tree Algorithms for Global Routing, Proc. 30th DAC, 1993 : 177~181.
- [2] J. Huang *et al.*, An Efficient Timing-Driven Global Routing Algorithm, Proc. 30th DAC, PP. 596~600, 1993.
- [3] W. C. Elmore, J. Appl. Phys., 1993, 19, 55~63.
- [4] J. Rubinstein *et al.*, Signal Delay in RC Tree Networks, IEEE Trans. CAD, 1983, 2(3) : 202~211.
- [5] T. M. Lin and C. A. Mead, IEEE Trans. CAD, 1984, 3(4) : 331~349.
- [6] Xue T., A New Approach for Post Routing Performance Optimization, Private Communication, 1993.
- [7] T. Sakurai, IEEE J. of Solid-State Circuits, 1983, 18(4) : 418~426.
- [8] P. K. Chan and K. Karplus, Computing Signal Delay in General RC Networks by Tree/Link Partitioning, Proc. 26th DAC, 1989, 485~490.

Loop Construction Approach on Routing for Decreasing Critical Path Delay

Qiao Changge and Hong Xianlong

(Department of Computer Science and Technology, Tsinghua University, Beijing 100084)

Received 13 July 1995, revised manuscript received 22 November 1995

Abstract Traditional performance driven and clock routing algorithms were restricted to either trees or fixed routing topologies. In this paper, we propose a loop routing performance optimization approach, which create loops in the existing routing trees for the purpose of decreasing the delay of selected critical path delay or maximum delay of net. The interconnect tree is formulated as a tree of distributed transmission lines and Elmore delay is used for delay calculation. It is proven that delay of the selected critical path in a net or maximum delay of the net can be reduced dramatically by introducing new links with appropriate R , C values between the articulation node and the critical node in the existing tree topology. Through some calculations, we give the wire length selection on the basis of pre-calculated time delay of node and the resistance and capacitance array. Our method suggests that the routing topology is critical for performance optimization while geometric concerns like total wirelength and path length from source to sinks are no longer dominant factors from performance point of view. The experimental results show the effectiveness of our approach for maximum path delay minimization.

EEACC: 7410D, 5120