

砷化镓 SJFET 四端器件*

任新国 欧海疆 王渭源 夏冠群

(中国科学院上海冶金研究所 上海 200050)

摘要 本文提出一种由 M-S Schottky 结和 pn 结组成的 GaAs SJFET 四端器件,对该器件原理进行了分析与讨论,并在实验室研制出了 GaAs SJFET 四端器件. 实验结果表明,该器件可通过上、下两个栅分别调控,实现器件阈值电压连续可调. 该器件极易获得稳定、重复的 E-和 D-MESFET,可望在 GaAs 集成电路中得到应用.

PACC: 7280E, 7340L, 6170T

1 引言

砷化镓电路具有高速、低功耗和抗辐照等优点,目前已由中、小规模向大规模集成电路发展. 在各种逻辑单元中,直接耦合晶体管逻辑(DCFL)具有元件数少、功耗低和设计简单等特点,是最有前途的电路形式之一^[1,2]. 但是,这种电路采用 E/D MESFET 结构,对材料、器件工艺要求十分苛刻,影响了它的应用.

本文提出一种由 M-S Schottky 结和 pn 结组成上下栅的垂直场效应晶体管四端器件(简称 SJFET). 文中对器件原理和设计进行了分析和讨论,并用 SI GaAs 中 Si⁺、Mg⁺⁺ 直接注入材料研制成了 SJFET 四端器件样管. 结果表明,通过上下两个独立栅的分别调控,器件极易获得稳定、重复的 E/D MESFET,阈值电压连续可调,可望在 GaAs 大规模电路中获得应用.

2 GaAs SJFET 的工作原理和输出特性的理论计算

1、SJFET 四端器件由上下两个栅和 n 型有源区组成,上栅 (G_1) 为 M-S Schottky 结, n 型 GaAs 有源区厚度为 a . 图 1 给出了器件的结构示意图和表示符号. SJFET 四端器件可看作 Schottky FET 和 J-FET 复合而成. 它不同于 pn 结栅四端器件^[3]和平面双栅 MESFET 四端器件^[4],改变上栅或下栅的偏压,沟道内耗尽区厚度 $d_1(x)$ 、 $d_2(x)$ 分别改变,沟道 a 受到调制,使器件阈值电压变化.

图 2 给出了 n 沟道耗尽型 SJFET 四端器件两个独立栅偏压与器件工作状态的关系. 其中 V_{g1} 、 V_{g2} 分别为上下栅所加偏压, V_{p1} 为当 $V_{g1} = 0$ 时, MESFET 的夹断

* 国家自然科学基金会科学院离子束开放实验室资助项目
1992年7月25日收到初稿,1992年10月12日收到修改稿.

电压, V_{p2} 为当 $V_{g1s} = 0$ 时, JFET 的夹断电压, V_{bi} 、 $V_{bi,pn}$ 分别为 M-S、pn 结的内建电势。图 2 表明, SJFET 四端器件可划分为几个状态区。过 V_{p1} 、 V_{p2} 二点的虚线

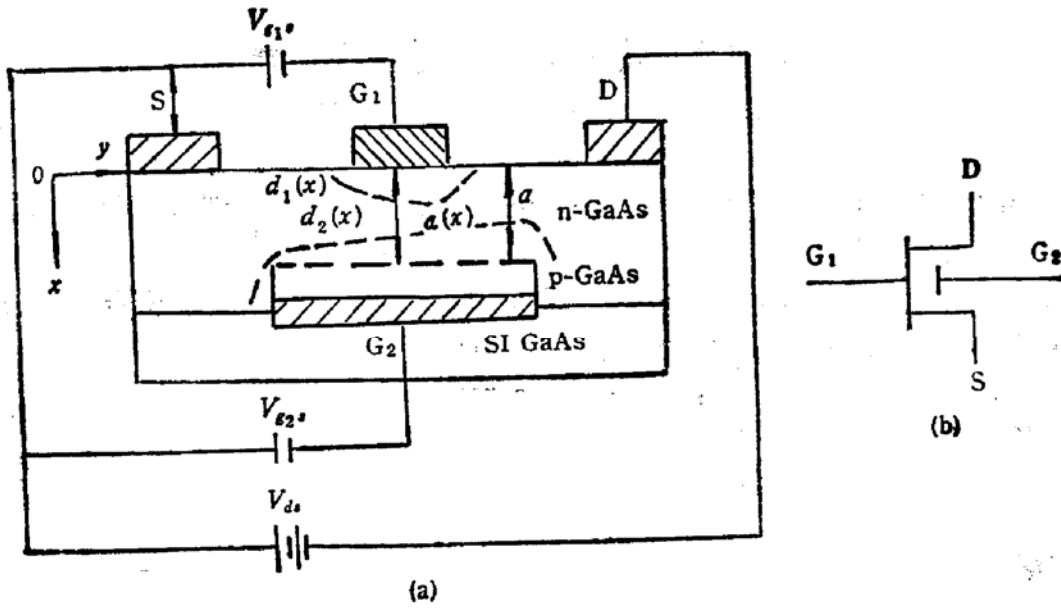


图 1 GaAs SJFET 四端器件的结构示意图的符号

是器件导通、截止的分界线。当器件上下栅所加的偏压点落在线上, 器件刚好耗尽; 点落在线的右上方, 处于导通状态; 点落在线的左下方, 处于截止状态, 为深耗尽。在 V_{g1s} 轴

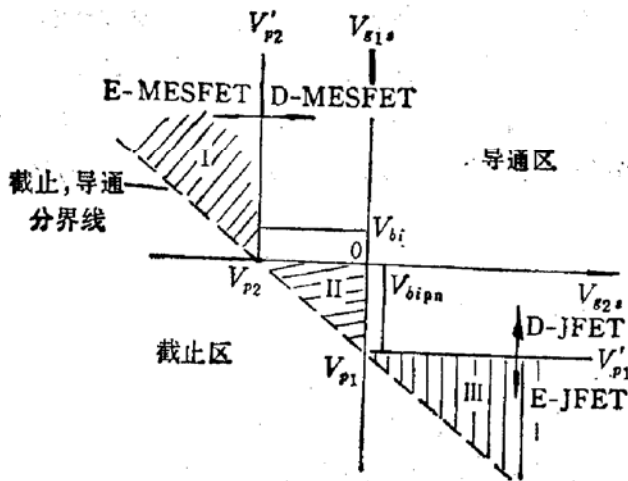


图 2 GaAs SJFET V_{g1s} 、 V_{g2s} 与器件状态关系示意图

上在 V_{p1} 点作平行 V_{g2s} 轴的直线 $V_{p1} - V'_{p1}$ 为 JFET 的 E/D 分界线, 线上方 JFET 为耗尽型, 线下方为增强型。在 V_{g2s} 轴上过 V_{p2} 点作平行 V_{g1s} 轴的直线 $V_{p2} - V'_{p2}$ 为 MESFET 的 E/D 分界线, 线左方 MESFET 为增强型, 线右方为耗尽型。图中 I、II、III 三个区, 分别为 E-MESFET、D-MESFET 和 E-JFET 工作区。从图可知, 只要适当调节 V_{g1s} 、 V_{g2s} , 就可以实现器件工作状态的转变, 由耗尽型变为增强型甚至深增强型。

SJFET 实际使用时, 将上栅 M-S 结作为讯号输入的工作栅, 下栅 p-n 结上加固定负偏压以调节沟道厚度。这样, 四端器件可简化为沟道厚度随 V_{g2s} 变化的 MESFET 三端器件, MESFET 三端器件的一些公式稍作修改即可应用。

2、由前文结果^[5], n 沟道有源区载流子浓度分布可近似由 Si^+ 、 Mg^{++} 单注入的载流子浓度分布叠加加以计算:

$$n(x) = N_{\max} \exp\left[-\frac{(x - R_{p1})^2}{2\sigma_{p1}^2}\right] - P_{\max} \exp\left[-\frac{(x - R_{p2})^2}{2\sigma_{p2}^2}\right], \quad (1)$$

其中: N_{\max} 、 P_{\max} 分别为电子、空穴的峰值浓度, R_{p1} 、 σ_{p1} 、 R_{p2} 、 σ_{p2} 为 Si, Mg 注入离子相应的高斯分布参数, 分别由注入离子剂量和能量决定。

设 $V_{gs} = 0$ 时有源层的厚度为 $x_j(0)$ 。在 $X = x_j(0)$ 处, $n[x_j(0)] = 0$, 式(1)可改写为式(2), 据此可求出 $x_j(0)$:

$$N_{\max} \exp\left[-\frac{[x_j(0) - R_{p1}]^2}{2\sigma_{p1}^2}\right] = P_{\max} \exp\left[-\frac{[x_j(0) - R_{p2}]^2}{2\sigma_{p2}^2}\right], \quad (2)$$

$$x_j(0) = b + \sqrt{b^2 - c}, \quad (3)$$

其中:

$$b = \frac{\sigma_{p2}^2 R_{p1} - \sigma_{p1}^2 R_{p2}}{\sigma_{p2}^2 - \sigma_{p1}^2}, \quad (4)$$

$$c = \frac{\sigma_{p2}^2 R_{p1}^2 - \sigma_{p1}^2 R_{p2}^2 + 2\sigma_{p1}^2 \sigma_{p2}^2 \ln \frac{P_{\max}}{N_{\max}}}{\sigma_{p2}^2 - \sigma_{p1}^2} \quad (5)$$

根据夹断电压意义

$$V_{p1} = \frac{q}{\epsilon} \int_0^{x_j(0)} x n(x) dx. \quad (6)$$

当下栅加反向偏压 V_{gs} 时, 夹断电压可写为:

$$V_{p1}(V_{gs}) = \frac{q}{\epsilon} \int_0^{x_j(V_{gs})} x n(x) dx, \quad (7)$$

其中: $x_j(V_{gs})$ 是加 V_{gs} 时的有源层厚度。采用二区间模型并假设 n 沟道杂质浓度呈均匀分布, 可导出^[6]

当 $V_{ds} \leq V_{dsat}$ 时,

$$I_d = G_0 \left[V_{ds} - \frac{2}{3V_{p1}^{1/2}} (V_{ds} + V_{bi} - V_{gs})^{3/2} - (V_{bi} - V_{gs})^{3/2} \right]. \quad (8)$$

当 $V_{ds} > V_{dsat}$ 时,

$$I_{dsat} = \frac{G_0 V_{p1}}{3} \left[1 - 3 \left(\frac{V_{bi} - V_{gs}}{V_{p1}} \right) + 2 \left(\frac{V_{bi} - V_{gs}}{V_{p1}} \right)^{3/2} \right], \quad (9)$$

其中: $G_0 = q\mu N_0 W x_j(V_{gs}) / L_1$,

$$G_m = G_0 \left[1 - \left(\frac{V_{bi} - V_{gs}}{V_{p1}} \right)^{1/2} \right]. \quad (10)$$

3 GaAs SJFET 设计与工艺

3.1 设计

除一般 MESFET 的设计原则外, 设计方面主要考虑如何提高 pn 结下栅的栅控特性。(1) 下栅设计成 p⁺n 结, 使耗尽层主要向 n 沟道中扩展, 并可减小栅串联电阻, (2)

n 沟道厚度 a 适当小,以降低下栅的栅控电压,(3) n 沟道载流子迁移率尽可能大,载流子浓度在不影响结的反向出穿电压条件下,尽量高,(4)为减小结电容,上下栅长尽可能短些。根据以上考虑,我们采用 SI GaAs 中直接依次离子注入 Si^+ 、 Mg^{++} 的材料。较低能量的 Si^+ 注入,在 GaAs 表面形成 n 型有源沟道区,较高能量的 Mg^{++} 注入,在 n 沟道区的内侧形成 p^+ 型有源埋层,构成 pn 结,在表面蒸发 Schottky 金属薄膜与 n GaAs 形成 M-S 结(上栅),通过 GaAs 表面挖坑引出 pn 结(下栅)。经综合考虑,选择器件的参数与几何尺寸:n GaAs 沟道区浓度 $2 \times 10^{17} \text{cm}^{-3}$,厚度 $0.2 \mu\text{m}$,迁移率 $2500-3000 \text{cm}^2/\text{V}\cdot\text{s}$,p 区的浓度 $1 \times 10^{18} \text{cm}^{-3}$ 。上下栅栅长 L_{g1} 、 L_{g2} 分别为 $1 \mu\text{m}$ 、 $3 \mu\text{m}$,栅宽为 $W15 \mu\text{m}$ 或 $20 \mu\text{m}$,源深间距 L_{sd} 为 $5 \mu\text{m}$ 。图 3 为 GaAs SJFET 的设计版图。

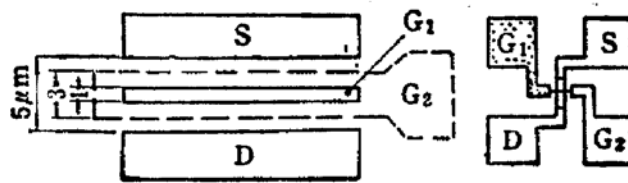


图 3 GaAs SJFET 的设计版图

3.2 工艺

工艺流程如图 4 所示。SI GaAs 衬底是直拉不掺杂 GaAs 单晶抛光片,晶向 $\langle 100 \rangle$,经清洗后,用 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}(3:1:1)$ 腐蚀液在 50°C 下腐蚀 5 分钟以去除抛光损伤层。以 AZ1450 为掩蔽膜进行 Si^+ 选择注入 ($E = 60 \text{keV}$, $\phi = 1 \times 10^{13} \text{cm}^{-2}$, 入射角偏 $\langle 100 \rangle 7^\circ$,图 4,a)。类似地进行 Mg^{++} 选择注入 ($E180 \text{keV}$, $\phi 1.2 \times 10^{13} \text{cm}^{-2}$, 入射角偏 $\langle 100 \rangle 7^\circ$,图 4,b)。用高温红外石墨炉快速退火 (1140°C , 10s) 同时使 Si^+ 、 Mg^{++} 激活,(图 4,c)。通过光刻开出下栅电极孔,使用 $\text{H}_2\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 10:2.5:50$ 腐蚀液,在

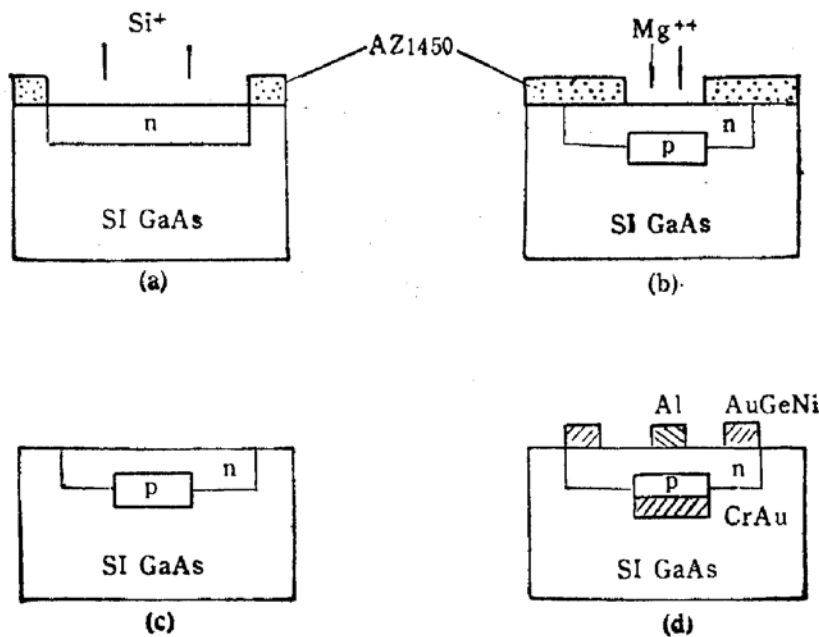


图 4 四端器件工艺流程图

(a) Si^+ 离子注入 (b) Mg^{++} 离子注入 (c) 高温快速退火 (d) 漏源、上、下栅形成

30°C水浴中,通过监测图形测量仔细腐蚀去除表面 n-GaAs 层,露出 p 型层,蒸发 CrAu,制作下栅电极。光刻源漏区,蒸发 AuGeNi,450°C1 分钟合金化,形成源漏电极。光刻上栅区,挖槽,带胶蒸发 Al,剥离形成上栅电极(图 4,d)。最后,分片,封装及测试。

4 实验结果与讨论

SI GaAs 中 Si^+ 、 Mg^{++} 注入退火后,纵向浓度分布实测曲线与理论曲线示于图 5。 Si^+ 、 Mg^{++} 的注入条件: E 、 ϕ 分别为 60KeV, $2 \times 10^{13} \text{cm}^{-2}$; 180KeV, $1.2 \times 10^{13} \text{cm}^{-2}$ 。快速退火条件: 1140°C, 10 秒。实测曲线用电化学 C-V 逐层腐蚀方法、理论曲线由 LSS 理论计算得到。可以看出,实测曲线与理论曲线相差不大。改变注入 E 和 ϕ , 可改变峰值浓度以及结深。

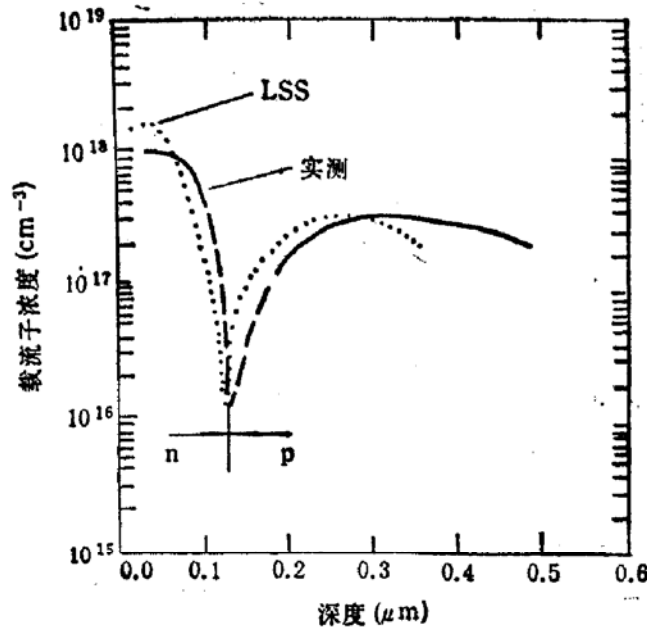
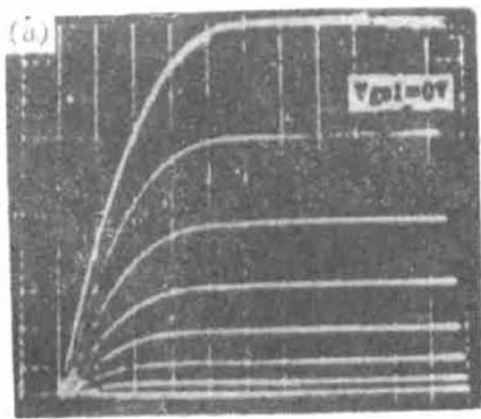


图5 Si^+ 、 Mg^{++} 双注入 GaAs 的纵向浓度分布
 Si^+ : 60keV $2 \times 10^{13} \text{cm}^{-2}$ Mg^{++} : 180keV $1.2 \times 10^{13} \text{cm}^{-2}$ TA: 1140°C, 10s

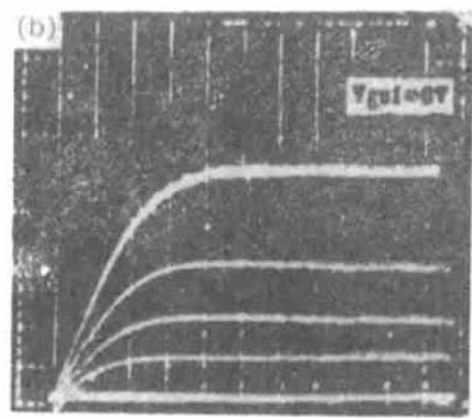
图 6 为 SJFET 四端器件实测的典型 I-V 输出特性曲线。分别为下栅加正偏压 0.5V (图 6(a)), 下栅接地即零偏压(图 6(b)), 以及下栅加负偏压 -5.1V (图 6(c))。可明显看出 SJFET 第二栅(下栅)不但具有与双栅 MESFET 第二栅一样调制漏电流作用,而且能使器件从 D-FET 变成 E-FET 的功能。值得指出,图 6(c)中 SJFET 的第一栅(上栅) V_{g1} , 可加到高达 8.0V 以上,而且不出现栅烧毁。当 $V_{g1} = 10\text{V}$ 时,实测通过上栅的电流 I_{g1} 约为 20 μm 。这结果,在多批管子和多次重复实测结果中反映。

图 7 给出了 SJFET 器件中实测 MESFET $I_{ds} - V_{g1}$ ($V_{g2} = 0$) 转移特性曲线和 JFET $I_{ds} - V_{g2}$ ($V_{g1} = 0$) 转移特性曲线。表明上、下栅均有栅控特性,但上栅的栅控特性优于下栅的栅控特性。

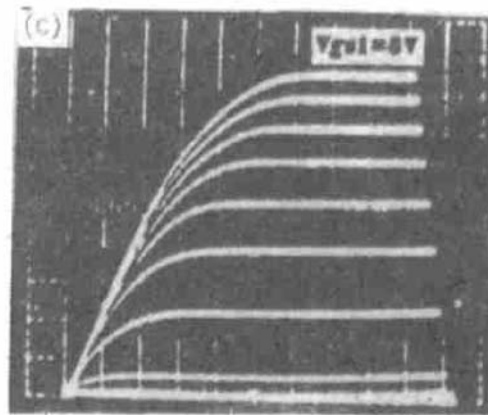
图 8 给出了 SJFET 器件 $V_{th1} - V_{g2}$ 的关系。可以看出, V_{g2} 不但能改变器件工作状态,而且能连续调节器件的阈值电压 V_{th1} 的大小。我们认为这一功能对研制 DCFL



(a) $V_{gs2} = 1.5V$
 $x: 0.5V/div$ $y: 0.5mA/div$ $V_{gs1} = 0.5/step$



(b) $V_{gs2} = 0V$
 $x: 0.5V/div$ $y: 0.5mA/div$ $V_{gs1} = 0.5/step$



(c) $V_{gs2} = 5.1V$
 $x: 0.5V/div$ $y: 0.5mA/div$ $V_{gs1} = 1V/step$

图6 SJFET 器件的不同偏置下的输出特性曲线

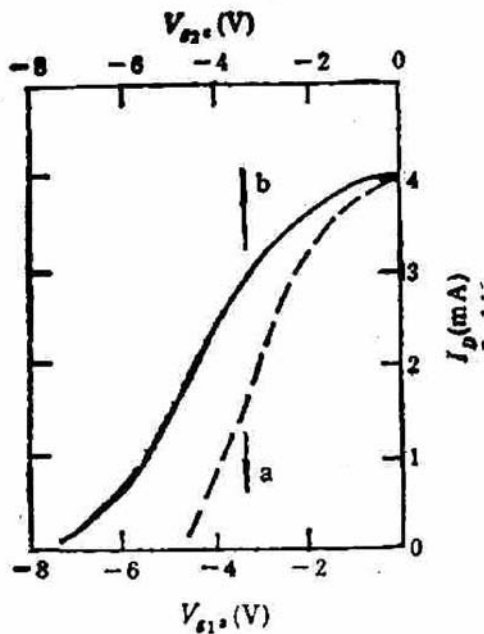


图7 $I_{d1}-V_{gs1}(V_{gs2}=0)$ 和 $I_{d1}-V_{gs2}(V_{gs1}=0)$ 的转移特性曲线

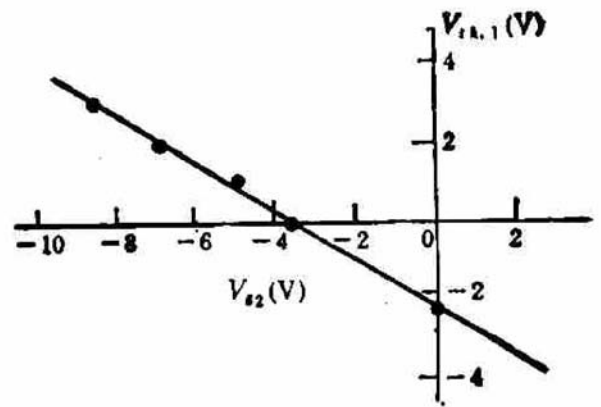


图8 $V_{th1}-V_{gs2}$ 关系图

电路可能是非常有用的。

实验结果还表明, SJFET 的跨导随栅压而改变, 并且有一个极大值(与单栅类似)。典型的器件跨导 g_m 为 $100ms/mm$, 最佳值为 $200ms/mm$ 。本器件的高频特性尚未测量,

有待以后研究。

对图 6(c) 的实验我们推测为可能原因如下, 当下栅加足够高的负偏压时, 整个 n 沟道处于深耗尽状态, 这时在上栅上加正偏压, 仍将不会有多少电子能扩散流过金属栅。实测栅极电流很小就是一个证明。这也可能是器件不易烧毁的原因, 真正的机理还有待深入研究。我们推测, 这种特性将给 DCFL 电路提高其逻辑摆幅和噪声容限的可能性。

致谢 衷心感谢中国科学院上海冶金研究所高速电子器件组、离子注入组在器件工艺、离子注入等方面的大力协助。

参 考 文 献

- [1] T. Sugeta *et al.*, GaAs IC Symp., Grenoble, 1979, 3.
- [2] R. Zuleeg and K. Lehove IEEE Trans. Nucl. Sci; 1978, NS25: 1444.
- [3] R. S. Cobbold, IEEE Trans. Electron. Devices, 1965, ED12: 302.
- [4] 王渭源, 夏冠群, 半导体学报, 1982, 3(6): 493.
- [5] 欧海疆, 蒋新元, 赵崎华, 王渭源, 真空科学与技术, 1987, 7: 307.
- [6] 施敏, 半导体器件物理, 北京: 电子工业出版社, 1987, 220.

GaAs SJFET Quadripole Device

Ren Xinguo, Ou Haijiang, Wang Weiyuan and Xia Guanqun

(Shanghai Institute of Metallurgy, The Chinese Academy of Sciences, Shanghai 200050)

Abstract A GaAs SJ FET quadripole device consisting of M-S Schottky barrier junction and p-n junction is presented. Its principle is discussed. The device has been designed and fabricated. The experimental results show that by controlling the upper and lower gates separately the threshold voltage of the device can be modulated continuously. It is very easy to get stable E- and D- MESFET repeatedly. This GaAs SJ FET quadripole device could be applied in GaAs IC.

PACC: 7280E 7340L 6170T