

CoSi₂ 可望成为 GaAs MESFET 自对准工艺中的栅极材料

金高龙 陈维德 许振嘉

(中国科学院半导体研究所, 表面物理国家重点实验室 北京 100083)

摘要 本文选用了 Co/Si/GaAs 结构作为研究对象, 经 600℃ 恒温退火及 800℃ 快速退火处理后, 分别在 GaAs 衬底上形成 CoSi₂/GaAs Schottky 接触。采用多种薄膜和界面的测试技术, 对 CoSi₂/GaAs 的薄膜及界面特性进行了细致的研究。结果表明: 热退火处理后, Co/Si 经化学反应形成了较均匀的 CoSi₂ 单相, 其薄膜电阻率约为 $30\mu\Omega\text{cm}$, 即使经 900℃ 的快速退火处理后, GaAs 界面仍保持相当的完整性, 同时薄膜形貌也很理想。此外, 采用 $I-V$ 电学测试法对经 750℃ 恒温退火处理后形成的 CoSi₂/GaAs Schottky 势垒进行测量, 其势垒高度为 $\phi_{BH} = 0.76\text{eV}$; 理想因子 $n = 1.14$ 。因此, 在 GaAs MESFET 自对准工艺中 CoSi₂ 材料可望成为一种较理想的栅极材料。

PACC: 7330, 7340, 6860, 8115

1 引言

自对准工艺在金属-半导体场效应管 (MESFET) 的制作工艺中显现出其优越性, 而栅极材料的选用却是自对准工艺中的关键问题之一。自以 N. Yokoyama 等^[1]采用 WSi_x 作为 GaAs MESFET 自对准工艺的栅极材料以来, WSi_x 材料已被工艺采用并受到研究者的关注。其主要优点是高温热稳定性好, 然而, WSi_x 的电阻率较大, 同时薄膜与衬底的粘附能力并不很强。因而, 目前有不少工作^[2-4]试图找到一种更为合理的栅极材料。

由于界面的费米能级钉扎效应, 金属/n-GaAs 的 Schottky 势垒高度基本上不随金属而变化, 只要选择合适的金属或类金属使得形成的接触势垒具有热稳定性好, 薄膜电阻率低, 即可成为较理想的栅极材料。采用 CoSi₂ 作为研究对象, 主要是由于: CoSi₂ 在 GaAs 上具有较好的高温热稳定性, 同时其薄膜电阻率较低, 而且 CoSi₂ 在 Si 集成工艺中已得到广泛采用。采用 Co/Si/GaAs 形成 CoSi₂/GaAs 有两个优点: ① 夹层 Si 能较好地阻挡 Co 与 GaAs 的直接接触, 从而防止因界面反应而导致 GaAs 界面的平整性受到破坏^[5]; ② 通过 Co/Si 薄膜反应得到的 CoSi₂ 的电阻率较共蒸法得到的薄膜电阻率低^[6]。况且, 可以通过改变插层来达到改变界面的性质, 这方面的研究也颇受关注。

我们采用多种薄膜测试及界面测试技术 (XRD、AES、SIMS 和 SEM 等), 对 GaAs

衬底上的 CoSi_2 薄膜进行了很细致的研究, 结果表明: CoSi_2 材料不仅高温热稳定性好, 薄膜电阻率低, 而且与 GaAs 的接触界面也相当平整, 薄膜形貌及粘附性都很好。同时对 $\text{CoSi}_2/\text{GaAs}$ 的 Schottky 势垒进行了电学测量。我们认为: CoSi_2 可能成为 GaAs MESFET 自对准工艺中的一种较理想的栅极材料。

2 实验

对于不同的要求, 选用三种不同的 GaAs 衬底: ① n^+ 型掺 Si 衬底 ($n \sim 3 \times 10^{18} \text{ cm}^{-3}$); ② n 型掺 Si 衬底, $n \sim (1-4) \times 10^{17} \text{ cm}^{-3}$; ③ 不掺杂的半绝缘衬底 ($\rho \sim 10^7 \Omega \cdot \text{cm}$)。这些衬底都按常规的方法进行表面清洁处理, 然后装入真空室。详文参阅文献[5]。

$\text{CoSi}_2/\text{GaAs}$ Schottky 势垒的样品制备是: 选用双面抛光的 n 型, $n \sim (1-4) \times 10^{17} \text{ cm}^{-3}$, 掺 Si 的衬底样品, 经上述步骤的清洁处理后, 在超高真空系中采用磁控溅射法在清洁的 GaAs 表面淀积约 1000 \AA 的 Si_3N_4 绝缘层, 然后经常规的光刻工艺后, 装入 BALZERS 超高真空蒸发系统中(其基质为 $2 \times 10^{-9} \text{ mbar}$)淀积 $\text{Si}(350 \text{ \AA})/\text{Co}(500 \text{ \AA})/\text{Si}(1500 \text{ \AA})/\text{GaAs}$ 样品, 其中蒸发时的真空为 $(1-5) \times 10^{-7} \text{ mbar}$, 蒸发速度都为 $\sim 1 \text{ \AA/s}$ 。

上述制备的样品需经过一定温度的热退火处理后才形成 $\text{CoSi}_2/\text{GaAs}$ 样品。本工作采用两种退火法: ① 通高纯氮气氛下的快速热退火(RTA), 退火时间为 30 秒; ② 真空恒温退火, 时间为 30 分钟, 退火时炉子的真空为 $(1.33-2.66) \times 10^{-3} \text{ Pa}$ 。

采用 RIBER 的 MIQ156 型超高真空的二次质谱系统(SIMS)对所需的样品进行测量, 选用的一次离子源是 Cs^+ , 其溅射能量为 $E_s = 10 \text{ keV}$, $I_s = 0.15 \mu\text{A}$ 。

3 结果和分析

3.1 CoSi_2 薄膜的形成

为了得到 $\text{CoSi}_2/\text{GaAs}$ Schottky 接触, 我们对 $\text{Si}/\text{Co}/\text{Si}/\text{GaAs}$ 结构的样品进行热退火处理, 其中最外层 Si 仅仅是防止 Co 层的氧化而设计的。在原先的工作基础上^[5], 我们已了解到由于 Si 层的阻挡作用, Co 与 GaAs 之间不会发生相互作用, 同时在不太高的温度下, Si/GaAs 界面也不会发生相互作用, 因而, 实质上只是 Co/Si 薄层之间的反应。经过 600°C 恒温退火和 800°C 快速退火后, 均能形成较均匀的 CoSi_2 单相薄膜, 图 1(见图版 I)给出了反应后的薄膜的 XRD 测量结果。同时也用 AES 深度分布测量外层薄膜, 其原子分布是很均匀的(未给出结果), 并与以前的 CoSi_2 结果相符, 所以当退火温度高于上述的退火条件后就可以在 GaAs 衬底上形成分布均匀的 CoSi_2 单相薄膜, 从而可以通过 $\text{Co}/\text{Si}/\text{GaAs}$ 这种结构来实现 $\text{CoSi}_2/\text{GaAs}$ Schottky 接触。

3.2 反应形成的 CoSi_2 薄膜性质

与 WSi_x 相比, CoSi_2 薄膜材料具有一个明显的优点是: 薄膜电阻率低。我们利用四探针法对经不同条件的退火处理后形成的 CoSi_2 薄膜进行测量(所用的 GaAs 衬底是

半绝缘衬底), 所得的 CoSi_2 薄膜电阻率显示出其应有的特性。经 $800^\circ\text{C}, 850^\circ\text{C}, 900^\circ\text{C}$, 直至 950°C 的快速退火处理后, 样品的薄膜电阻率为 $28\text{--}32\mu\Omega\text{cm}$; 同样地, $600^\circ\text{C}\text{--}800^\circ\text{C}$ 的恒温退火处理后样品的薄膜电阻率与快速退火结果基本一致。这样, 经不同的温度处理后, CoSi_2 薄膜的电阻率基本上保持在 $30\mu\Omega\text{cm}$, 与典型的 WSi_2 薄膜电阻率相比低得多。

我们采用扫描电镜 (SEM) 对 CoSi_2 薄膜的形貌特性进行了研究, 希望经热处理后形成的 CoSi_2 薄膜具有较好的形貌特性。图 2(见图版 I)是扫描电镜 (SEM S-450) 的测量结果。由于薄膜很均匀, 而且很平整, 因而不易对焦, 实验中利用样品表面上的微尘作为聚焦参考点。由图中可知, 经 750°C 恒温退火及 900°C 快速退火后, 反应形成的薄膜极其平整, 观察不到表面起伏, 而且均匀性也很好, 更没有出现起泡或起皱现象。从而也说明了 CoSi_2 薄膜与 GaAs 衬底的粘附能力强。由于薄膜的平整性与界面的平整性有着密切关系, $\text{CoSi}_2/\text{GaAs}$ 很平整, 因此为 CoSi_2 薄膜的平整性提供了条件。

3.3 $\text{CoSi}_2/\text{GaAs}$ 界面特性

在 GaAs MESFET 自对准工艺中, 高温热处理是工艺必不可少的步骤, 因而要求自对准栅极材料必须具备耐高温特性。图 3 是经退火处理后形成 $\text{CoSi}_2/\text{GaAs}$ 结构的 SIMS 谱。此样品采用的衬底是掺 Si 的高掺杂 n^+ 型 GaAs ($n \sim 3 \times 10^{18}\text{cm}^{-3}$), 由于 SIMS 的探测灵敏度很高($10^{16}\text{--}10^{17}\text{cm}^{-3}$), 因而 GaAs 衬底中的掺杂 Si 原子也被清楚地探测到, 而在相应的 AES 谱图中却观察不到这一现象。由于 Si 层的阻挡作用, $\text{Co}/\text{Si}/\text{GaAs}$ 样品经 $800^\circ\text{C}, 900^\circ\text{C}$ 的快速退火处理后, GaAs 接触界面仍保持原有的平整性(如图 3)。图中可知, 淀积的薄膜层已形成了一分布较均匀的反应层, 此结果与上述的 XRD 和 AES 结果一致, 同时, CoSi_2 与 GaAs 界面没有明显的互扩散和界面反应现象。经 900°C 的退火后 SIMS 深度分布结果与室温及 800°C 退火后的结果相比有些变化, 在 GaAs 界面

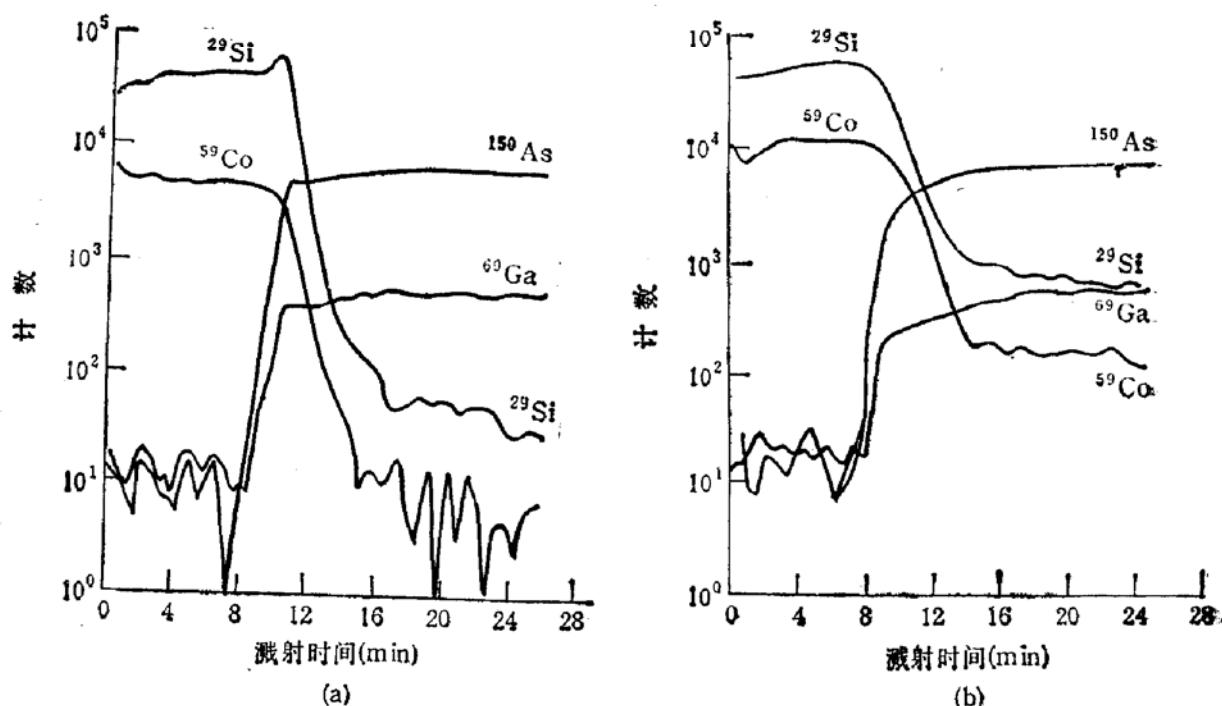


图 3 经快速退火形成的 $\text{CoSi}_2/\text{GaAs}$ 样品的 SIMS 深度分布 退火温度为: (a) 800°C (b) 900°C

上, Ga 和 As 原子的外扩散并不明显, 主要的变化是 Si 信号的变化, 在 GaAs 内界面 ^{29}Si 和 ^{59}Co 信号都有所增强, 一定程度上表明 Si 原子出现内扩散现象, 至于是否有 Co 内扩散则不能确定, 因为 ^{59}Co 信号受 $^{29}\text{Si} + ^{30}\text{Si}$ 信号的影响。由于所测的原子的二次离子产额与其原子所处的化学环境有很大关系, 因而很难定量来说明界面的变化。为了进一步弄清界面的复杂变化, 我们利用 AES 深度分布测量作为辅助手段, 对经 900°C 快速退火后的样品进行测量, 结果表明: $\text{CoSi}_2/\text{GaAs}$ 界面仍然清晰可见, 既观测不到 Ga 和 As 原子的外扩散, 也未能测到 Co 和 Si 原子的内扩散。因而在 AES 的探测灵敏度下, 界面没有 Ga、As 和 Co、Si 原子的互扩散, 因而保持界面的平整性。

3.4 $\text{CoSi}_2/\text{GaAs}$ Schottky 势垒特性

采用 $\text{Si}/\text{Co}/\text{Si}/\text{GaAs}$ 多层结构样品经适当温度的热处理后, 可以形成 $\text{CoSi}_2/\text{GaAs}$ Schottky 势垒。由于势垒的好坏是整个工艺的关键, 所以在上述实验基础上, 我们利用 $I-V$ 测试法对 $\text{CoSi}_2/\text{GaAs}$ Schottky 势垒进行了研究。图 5 给出了 $I-V$ 特性测试结果。对于退火温度为 500°C 的样品, 其势垒特性很不明显, 这是因为退火温度过低, 外层薄膜未完全反应而形成 $\text{CoSi}_2/\text{GaAs}$ Schottky 接触。根据以前的实验结果, 经 500°C 退

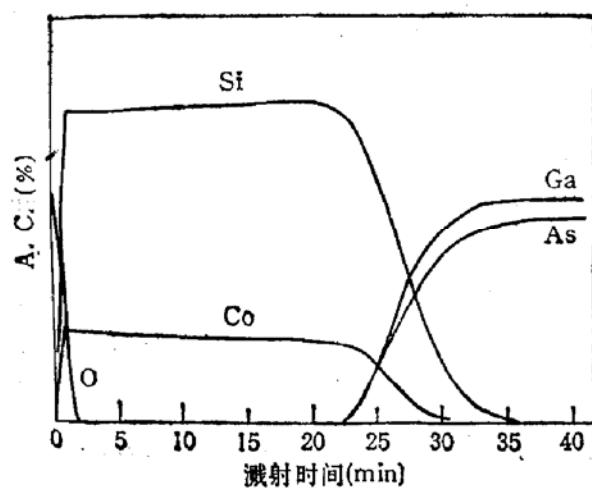


图 4 经 900°C 快速退火后形成的 $\text{CoSi}_2/\text{GaAs}$ 样品的 AES 深度分布

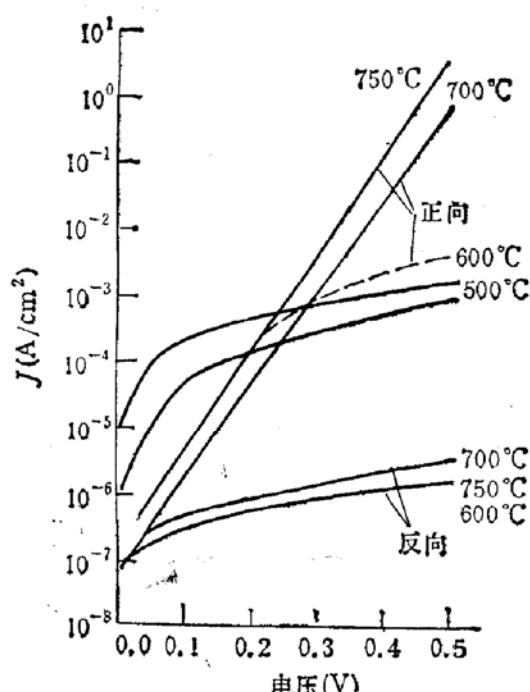


图 5 经不同温度的恒温退火后形成的 $\text{CoSi}_2/\text{GaAs}$ Schottky 势垒的 $I-V$ 电学特性关系

火后 Co/Si 薄层反应形成 CoSi 和 CoSi_2 两相共存, 而且 CoSi 相占多数, 对于 Co/Si 原子比为 0.5 的情形, 反应后形成了 $\text{CoSi}/\text{CoSi}_2/\text{Si}/\text{GaAs}$ 结构, 因而整流特性很不明显。当退火温度为 600°C 时, 基本上已形成了 $\text{CoSi}_2/\text{GaAs}$ 势垒, 在较低的偏压下显示出较好的整流特性; 可能由于此退火温度使 Co/Si 反应不很充分, 当偏压稍大时, 其势垒的正向特性发生改变(如图 5 中虚线)。经 700°C 、 750°C 的恒温退火后的 Schottky 势垒显示出较好的整流特性。根据 $J-V$ 特性关系:

$$J = J_s(e^{qV/kT} - 1), \quad J_s = A^{**} \cdot T^2 e^{-q\phi_{BH}/kT}$$

其中有效理查森常数 $A^{**} = 8.16 A/cm^2 \cdot K^2$, $T = 300K$, 可得:

$$\phi_{BH} = \frac{kT}{q} \ln \frac{A^{**} \cdot T^2}{J_s} = 0.026 \ln \frac{A^{**} \cdot T^2}{J_s}, n = \frac{q}{kT} \frac{d\nu}{d \ln J}$$

通过计算可得: 经 $700^\circ C$ 退火的势垒: $\phi_{BH} = 0.77 eV$, $n = 1.18$

经 $750^\circ C$ 退火的势垒: $\phi_{BH} = 0.76 eV$, $n = 1.14$

上面两个 Schottky 势垒没有明显的变化, 从而说明在 $700-750^\circ C$ 的温度范围内 $\text{CoSi}_2/\text{GaAs}$ 保持较好的势垒特性。

4 讨论

选用 $\text{Co}/\text{Si}/\text{GaAs}$ 结构形成 $\text{CoSi}_2/\text{GaAs}$ Schottky 势垒, 必须具备合适的 Co/Si 原子比。 Co/Si 原子比满足 $1:2$ 时, 有利于 CoSi_2 的形成; 当不满足 $1:2$ 时, 不利于 $\text{CoSi}_2/\text{GaAs}$ 势垒的形成。若 Co 原子过多, Co/Si 经反应形成 CoSi_2 后多余的 Co 原子会穿过 Si 层与 GaAs 继续发生反应, 从而破坏了 GaAs 界面; 而当 Si 原子过多时, Co/Si 反应形成 CoSi_2 后, 在 Si/GaAs 界面还余较多的 Si 原子, 从而不能真正形成 $\text{CoSi}_2/\text{GaAs}$ Schottky 势垒。同时原子比合适的 Co/Si 薄层在一定程度上降低了 CoSi_2 形成的温度。

在通常的金属/ GaAs 结构中, 随着退火温度的升高, 界面不仅出现金属原子的内扩散, 而且伴随着大量的 Ga 和 As 原子的外扩散。而 Si/GaAs 接触界面是一个相当稳定的, 经 $850^\circ C$ 退火处理界面仍可保持稳定性, 不发生互扩散, 这结果与文献[8]报道一致。即使在 $900^\circ C$ 的快速退火处理后, 我们的结果表明: 界面的扩散也并不明显, 以致于在 AES 探测的灵敏度范围内检测不到扩散现象。在 SIMS 这种高灵敏度的检测条件下, 也不易观测到 Ga 和 As 原子的外扩散, 这说明 Si 层的阻挡作用是很有效的, 使得界面具有抗高温特性。

Schottky 势垒的好坏与界面的关系相当密切, 影响势垒高度的因素很多, 其中衬底表面的清洁程度, 及工艺制作过程都起着重要影响, 甚至界面原子的排布情况不同就可能导致势垒发生变化。由于工艺条件的限制, 我们的 Schottky 势垒不是很理想, 其中理想因子 n 偏大, 可望在更好的工艺中得到改善, 其进一步的工艺应用研究仍在继续。然而, 我们认为 CoSi_2 薄膜材料能满足 GaAs MESFET 自对准工艺的要求。

5 结论

我们采用 $\text{Co}/\text{Si}/\text{GaAs}$ 夹层结构作为研究对象, 经一定温度的热处理后可以形成 $\text{CoSi}_2/\text{GaAs}$ Schottky 势垒。反应后形成的 CoSi_2 薄膜具有低电阻率、表面形貌好及与衬底的粘附力强等优点; 同时, 经 $900^\circ C$ 的快速热退火后, $\text{CoSi}_2/\text{GaAs}$ 界面仍保持相当的平整性。采用 $I-V$ 测试法测得 $\text{CoSi}_2/\text{GaAs}$ 的势垒高度为 $\phi_{BH} = 0.76 eV$ 。我们认为: 采用 $\text{Co}/\text{Si}/\text{GaAs}$ 结构经退火反应后形成的 CoSi_2 薄膜材料满足 GaAs MESFET 自对准工艺, 可望在此工艺中成为一种较理想的栅极材料。

致谢 感谢黎健同志在 $I-V$ 测试中提供的帮助以及何杰博士在本工作中的帮助。

参 考 文 献

- [1] 1983 IEEE International Solid-state Circuits Conference, edited by Lewis Winner (IEEE, New York, 1983) p44, and T. Ohnishi, N. Yokoyama, H. Onodera, S. Suzuki and A. Shibatoni, Appl. Phys. Lett., 1983, **43**: 600.
- [2] J. K. Truman and P. H. Holloway, J. Vac. Sci. Technol., 1985, **A3**: 992.
- [3] Dae-Hong ko and Robert Sinclair, Mat. Res. Soc. Sym. Proc., edited by A. Katz, S. P. Murarka and A. Appelbaum, 1990, **181**: p333.
- [4] G. D. Wilk, B. Blanpain, J. O. Olowolafe, J. W. Mayer and L. R. Zheng, Mat. Res. Soc. Sym. Proc., edited by A. katz, S. P. Murarka and A. Appelbaum, 1990, **181**: p295.
- [5] C. C. Hsu, G. L. Jin, J. Ho and W. D. Chen, J. Vac. Sci. Technol., 1992, **A10**: 1020.
- [6] Bing-Zong Li, P. Liu, G. B. Jiang, W. N. Huang, X. Lu, R. G. Aitken, K. Dareshvar, M. Puzerewski and G. Singco, J. Appl. Phys., 1991, **70**: 5427.
- [7] 金高龙, 陈维德, 许振嘉, 半导体学报, 1993, **14**(11): 681.
- [8] S. S. Lau, W. X. Chen, E. D. Marshall, C. S. Pai, W. F. Tseng and T. F. Kuech, Appl. Phys. Lett., 1985, **47**: 1298.

CoSi_2 —A Promising Gate in Self-Aligned GaAs MESFET Technology

Jin Gaolong, Chen Weide and Xu Zhenjia (C. C. Hsu)

(Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083
& Lab for Surface Physics, The Chinese Academy of Sciences, Beijing 100080)

Abstract $\text{CoSi}_2/\text{GaAs}$ Schottky contacts were formed from $\text{Co}/\text{Si}/\text{GaAs}$ multilayer structure after furnace annealing (FA) at 600°C for 30min, and rapid thermal annealing (RTA) at 800°C for 30s. The characteristics of CoSi_2 thin film and $\text{CoSi}_2/\text{GaAs}$ interface have been studied in detail by using a variety of techniques including XRD, AES, SIMS, SEM etc.. A smooth CoSi_2 single phase could form from Co/Si multilayers after annealing under suitable conditions, and the resistance of CoSi_2 thin film formed is about $30\mu\Omega \cdot \text{cm}$. Even annealed (RTA) at 900°C , the interface of $\text{CoSi}_2/\text{GaAs}$ still remained rather sharp and the morphology of CoSi_2 thin film was very plain and no blistering was observed. $\text{CoSi}_2/\text{GaAs}$ Schottky barriers have also been studied by using ($I-V$) electronic measurements. The barrier height after annealing at 750°C for 30min is $\Phi_{BH} = 0.76\text{eV}$, $n = 1.14$. $\text{CoSi}_2/\text{GaAs}$ Schottky contact formed from $\text{Co}/\text{Si}/\text{GaAs}$ structure could meet the demand of GaAs MESFET technology. CoSi_2 may be a promising gate in self-aligned GaAs MESFET technology.

PACC: 7330, 7340, 6860, 8115