

超高真空 CVD 极低温低压硅外延与 高分辨 TEM 分析研究

叶志镇

(浙江大学硅材料科学国家重点实验室 杭州 310027)

摘要 本研究利用一台新型的超高真空气相外延(CVD)设备,成功地在衬底温度为 550℃ 的(100)硅片上由硅烷热解法生长了外延层,实现了极低温低压外延新工艺. 高分辨率的横断面透射电镜(XTEM)照片表明,低温硅外延层中缺陷明显有其特点,而绝大部分的缺陷都由衬底表面引起的,然后传播进入外延层. 本文还对低温硅外延层中的缺陷特征及其形成机制与衬底表面特性的关系进行了分析讨论.

PACC: 6855

1 引言

在当今硅外延生长技术中,化学气相外延(CVD)工艺是一种很受人们重视的先进工艺. 而高温 CVD 外延会伴随着较严重的自掺杂和系统污染,产生较宽的杂质分布过渡区. 高温产生热应力,将导致硅片翘曲变形、图形畸变,因而高温外延很难制得较窄的 PN 结和性能理想的半导体器件. 因此低温 CVD 外延技术倍受人们青睐,并一直在研究和发展中^[1-3]. 要实现低温 CVD 外延工艺,必须注意三个关键条件: 1. 原子级干净且完整的硅衬片表面, 2. 较高的基底真空度, 3. 较低的外延工作压强. 由于超高真空 CVD 技术在满足上述低温外延条件方面有其明显的优势,因而得到重点研究和应用.

改进的 RCA (Radio Corporation of America) 标准化学清洗工艺是获得超净且完整的硅基片表面的有效方法,它能去除玷污在表面的有机物、无机物和自然形成的氧化硅. 之后再经臭氧氧化,使得清洗后的硅片表面形成一层薄而致密的氧化硅保护膜,以防止表面对碳化合物杂质的吸附,而后氧化硅薄层经 HF 剥离,可望获得清洁且完整的硅片表面. 紧接其后提供一个超高真空的环境,以保证清洁硅片表面少受污染. 最后选择在较低的气压下进行 CVD 外延,这就有可能在较低的温度下生长优质的硅外延层. 从而满足当今日益发展的超大规模集成电路技术和新颖的半导体器件对极低温外延的迫切要求.

本文报道了使用超高真空 CVD 外延技术和普通的硅烷热解法,在仅经化学清洗的硅片上,成功地在 550℃ 下生长了硅外延层的满意结果,使用超高分辨率横断面透射电镜

来评价低温硅外延层的晶体结构, 直接分辨观察界面质量和外延层中的各种缺陷, 并分析了外延层的质量与衬底特性的关系。

2 实验

本研究使用的多室超高真空的 CVD 外延设备结构如图 1 所示^[1], 它由下述四室组成: 1. CVD 外延主室, 2. 样品分析兼样品传递中间室, 3. ECR (Electron Cyclotron Resonance) 微波等离子室, 4. 进样室 (Load Lock)。前三室都是由超高真空级的不锈钢制成的, 因而可实现超高真空。 ECR 等离子室用于产生微波等离子体, 为以后本系统应用微波等离子体作准备。设备使用前, 整个超高真空部分经略高于 100°C 温度的充分烘烤, 从而使吸附在真空室内壁表面的水分及其它残留气体得到解吸, 使得真空度最高可达 $8 \times 10^{-7} \text{Pa}$ 。

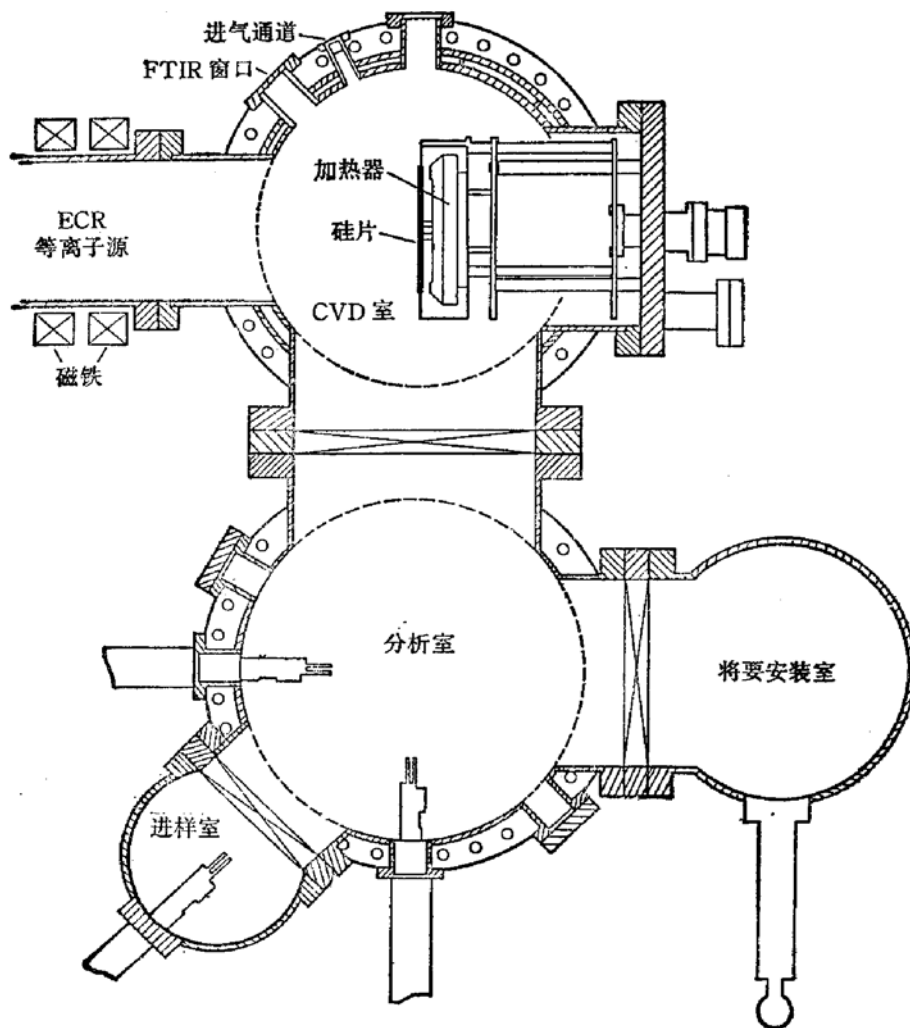


图 1 多室超高真空 CVD 系统结构图

实验使用的硅片有两种,一种是电阻率为 $10\sim 20\Omega\text{cm}$, N型, $\{100\}$ CZ-Si, 另一种是电阻率为 $10\sim 30\Omega\cdot\text{cm}$, P型, 表面长有 $3\mu\text{m}$ 厚外延层的 $\{111\}$ CZ-Si. 硅片直径都是 100mm .

RCA 标准化学清洗步骤如下: 首先由氨水、双氧水和去离子水混合溶液去除有机物, 接着由 $10:1\text{HF}$ 稀释液去除氧化硅, 然后由盐酸、双氧水和去离子水混合溶液清洗离子杂质. 实验所用的化学试剂都是电子纯, 去离子水的电阻率 ρ 大于 $10\text{M}\Omega\cdot\text{cm}$. 硅片冲洗甩干后立即放进充满臭氧的炉子里用紫外光照射几分钟, 这样可形成薄而致密的氧化硅保护层. 临外延前, 硅片再浸在 $10:1\text{HF}$ 稀释溶液中 2 分钟, 剥尽表面的氧化硅后不经冲洗就立即放入进样室.

当进样室真空度抽至 $1.3\times 10^{-5}\text{Pa}$ 时便打开高真空阀门. 硅片由磁力推拿机械手从进样室经中间转送室, 送到 CVD 外延室. 在本实验中, CVD 主室基压达到 $1.0\times 10^{-6}\text{Pa}$, 而工作压强为 0.266Pa , 硅烷流量控制在 40sccm . 自动压强控制仪通过步进电机调节抽气阀门, 把外延的工作压强保持恒定. 根据需要, 我们选择了 550°C , 600°C 和 650°C 三个外延温度, 以观察温度对外延层质量的影响.

本实验使用的电镜是 MIT 材料分析中心的 EM-002B 型、加速电压为 200kV 、点分辨率为 1.8\AA 的超高分辨透射电镜. 用于该研究的横断面样品是经切片、研磨、凹凸法滚磨、高能离子减薄等一系列精细工艺制成的. 最后横断面样品的厚度小于 $1\mu\text{m}$.

3 结果与讨论

3.1 低温硅外延层的 XTEM 观察

图 2 是 N 型, $\{100\}$ CZ-Si 在 550°C 下生长的外延层的 (110) 面高分辨率 XTEM 的晶格像(见图版 I). 照片清楚表明, 它们是单晶外延层, 但存在微量的堆垛层错和孪晶 (Stacking Faults and Twins) 等缺陷.

图 3 是在与图 2 基本相同的条件下获得的硅外延层的 XTEM 晶格像(见图版 II). 在这里由于衬底硅片表面更清洁、完整, 外延硅层的结构更完善.

图 4 (见图版 II) 的硅外延生长与电镜拍照条件均与图 2、图 3 一样, 所不同的是已清洗的硅片放进 CVD 室后它们一起暴露在 (100) 级清洁室的大气中 12 小时, 然后真空度抽至 $1.0\times 10^{-6}\text{Pa}$. 硅片未经任何处理便立即在其上面外延. XTEM 照片表明, 界面处有沾污, 薄膜不再是完整的单晶.

图 5 (见图版 III)(a、b) 的衬底硅片是 P 型, $\{111\}$ CZ-Si, 表面沉积有 $3\mu\text{m}$ 厚外延层. 它们的外延温度为 650°C . 硅片化学清洗工艺及其它 CVD 外延参数与前几个样品制备条件一样. 图 5 表明, 生长的薄膜是单晶硅的外延层, 但其中存在一些缺陷, 缺陷主要是孪晶. 关于低温硅外延层的质量、缺陷特征和形成机制与衬底质量将在下面分析讨论.

3.2 低温硅外延层的质量与衬底表面沾污的关系

由前面几个高分辨率的 XTEM 照片可知, 硅低温外延层中的缺陷绝大部分是起源于表面, 然后传播进入外延层. 因外延初始阶段是一个非均匀成核过程, 是按平台-台阶-扭折生长模型进行的. 生长机制大体是: 硅烷反应析出的硅原子被吸附在衬底表面, 而后

必须获得足够的能量,沿着台阶迁移到微观(原子级)表面台阶-扭折处的最合适位置,以特定的方式结合到晶格中。如果表面微观原子处出现晶格损伤或无序,此时硅原子就不能很有序地排列,以至在外延层的界面处产生缺陷。目前硅片的表面加工工艺比较精细和先进,残留的损伤很少,有可能在硅片清洗与传递过程中引进表面局部损伤。在这里表面沾污可能是外延初期引起缺陷的主要原因。表面沾污有来自内部的杂质源,如衬底硅片的氧、金属和金属杂质的分凝与微沉淀、外扩散。但在极低温外延工艺中,这部分污染可忽略。实际上表面沾污主要来自化学清洗不良而残留下来的杂质,来自反应系统、基座、镊子、反应气体和环境等金属杂质沾污,来自硅片在传递时空气中尘埃粒子沾污和残留的自然形成的二氧化硅。当硅烷反应析出的硅原子沿着台阶迁移、扩散到原子级平台-扭折处时,如果扭折处存在沾污粒子,那么它们将与硅原子争夺有利位置,从而影响与破坏了硅原子的有序结合,成为层错或角锥的形核中心,导致缺陷的产生。

如前所说,硅烷反应析出的硅原子被吸附在衬底表面后,必须获得足够的表面迁移能量,才能找到坐落晶格的最合适位置。这个能量包括吸附自由能 ΔF_{ad} 和表面扩散自由能 ΔF_d 。在外延初始阶段的非均匀成核过程中,成核速率跟这个能量是密切相关的。成核速率 dN/dt 可由式表示:

$$dN/dt = C(\log S/T^{1/2})P^2 \exp[(2\Delta F_{ad} - \Delta F_d - \Delta F)/(KT)]$$

其中 C 是常数, S 是过饱和度, ΔF 是成核自由能, P 是含硅源气体分压, k 是波尔兹曼常数, T 是绝对温度。在一定的温度 T 和硅烷分压 P 下,外延初期硅原子非均匀成核速率强烈地依赖于衬底材料,因不同材料的 ΔF_{ad} 和 ΔF_d 差异较大。实验表明,硅在不同衬底上成核速率顺序是:单晶硅 > 多晶硅 > 二氧化硅。由此可知,硅烷反应析出的硅原子获得足够的能量后,首先迁移到清洁、完整的单晶硅上成核,并结合到晶格中去。而在二氧化硅上成核就会滞后一段时间。如果衬底表面残留有二氧化硅,将因它滞后成核而导致了堆垛层错的产生。

由图 2、3 知,由于超高真空的环境和较低的工作压强,在表面清洁且完善的硅片上,即使外延温度只有 550°C 这么低,没有其它任何辅助手段,也能成功地由硅烷热解生长出单晶外延层。这是一个很令人鼓舞的结果。因图 3 中的衬底硅片表面清洁、完整,界面过渡层的原子晶格排列十分完整,从而生长了完善的外延硅层。图 2 中还存在一些堆垛层错等缺陷,它们均直接由界面引起,然后传播进入外延层。可能的原因就是上面所分析的表面沾污。

由图 2 知,堆垛层错与(100)面相交是一条线。两个{111}平面上形成堆垛层错的可能性几乎是相同的。对缺陷处高分辨原子像仔细观察,它们显示了两个特性:其一,大部分的堆垛层错于表面成核,然后生长,并延伸至外延层顶端,这就意味着晶体中堆垛层错能是很低的。这符合低温外延的特点。其二,在大多数情况下,层错在交叉地穿过另一个{111}平面上的堆垛层错后,相对于层错的另一边原子排列,该{111}面原子排列仍然是整齐有序的。这就清楚地表明这些堆垛层错既不是外延本征层错,也不是外延层中外来物强加引起的,而是由衬底传播过来的。

图 4 的结果更清楚地表明了衬底沾污与外延层质量的关系。由于清洗后的硅片又暴露于大气 12 小时多,表面必定会受到某些污染,同时可能缓慢地自然生长二氧化硅薄层。

外延前表面未经任何处理就直接生长薄膜,而 550°C 的衬底温度和其它条件均不变,这样表面的污染和氧化硅势必影响外延初期的成核,引起了缺陷的产生,从而影响了外延层的质量。从照片看,外延层顶端部分存在一些晶格混乱,这可能是由高能离子减薄样品时引起的损伤,但总的来说,外延层的质量不如图 2、3。

3.3 外延层的质量与衬底表面晶向的关系

图 5 中的外延温度虽比图 2、3 中的高,但外延层的质量并未比图 2、3 好,且它们中的缺陷特征也不相同。这主要是衬底硅片表面的晶向不同的缘故。硅的 (111) 面不包含台阶,通常称为奇异面,它固有不稳定性。硅单晶在 $\langle 111 \rangle$ 晶向断裂面都是双面层表面,双面层表面中的原子指向空间的键只有一个。而单个共价键束缚不住一个原子,只有在单个原子同时受到两个以上的共价键作用才能被固定下来成为晶体的成员。因此在硅 $\langle 111 \rangle$ 的双面层表面上是留不住单个原子,只有当三个以上的原子同时在上面聚集,才有可能形成晶核。要在 (111) 面上平整、光滑地生长外延层比在 (100)、(110) 面上生长要难得多。硅片表面的键密度,依 $(100) < (110) < (111)$ 递增。在 (111) 面上,一个硅原子只有一个单键,并可自由旋转,而 (100) 面上则是双键。同 (100) 晶面相比, (111) 晶面的波导特性很难同时满足全部键合的要求。这就是与 (111) 晶向相比易在 (100) 晶面上实现低温外延的原因。沿特殊晶向进行外延生长的最低温度,则是晶体生长的难易程度的重要判据。我们的实验结果明确证明了这一点。同时我们在实验结果中发现,采用低温外延,在 (111) Si 外延层中的缺陷是以孪晶为主。而 (100) Si 外延层中的缺陷主要是堆垛层错。这个差别主要也跟 (111) 面和 (100) 面之间的键结合能不同有关。

4 总结

超高真空 CVD 设备能保持清洗后衬底硅片表面的洁净,且为外延提供超净的环境,可实现极低温外延工艺。如果衬底表面洁净、完整,即使在 550°C 这样低的温度下,由通常的硅烷热解法也可成功地生长硅外延层。本文已在这方面取得了较好的结果。外延层的 XTEM 分析表明,对于低温外延,衬底表面质量是关键。低温外延层中的大部分缺陷是由表面沾污引起,并传播进入外延层的。实验结果还清楚地表明,硅片表面晶向对低温外延影响也很大。在 $\{100\}$ 与 $\{111\}$ 两种不同晶向的硅上生长外延层时,不仅外延温度不同,而且外延层中的缺陷特征也不同。(100) Si 上的外延层中的缺陷主要是堆垛层错,而 (111) Si 上的外延层中的缺陷主要是孪晶,其原因是由于 $\{100\}$ 与 $\{111\}$ 晶面上的原子键的结构、数目及键结合能不同所致。

致谢 本研究是在美国 MIT 进行的,并得到美国的“SEMATECH”攻关项目的资助,课题工作得到 R. Reif 教授及其课题组同仁 Z. H. Zhou 等的帮助,在此作者深表感谢。作者在美国 MIT 留学期间受到包玉刚奖学金的资助和浙江大学的帮助,对此致以深深的谢意。

参 考 文 献

- [1] B. S. Meyerson, *Appl. Phys. Lett.*, 1986, **48** (12): 797.
- [2] B. S. Meyerson, *et al.*, *Appl. Phys. Lett.*, 1990, **57**(10): 1033.
- [3] I. Nagai, T. Takahagi, A. Ishitani and H. Kuroda, *J. Appl. Phys.*, 1988, **66**(10): 5183.
- [4] T. J. Donahue, W. R. Burger and R. Reif, *Appl. Phys. Lett.*, 1984, **44**(3): 346.
- [5] Z. H. Zhou, F. Z. Yu and R. Reif, *J. Vac. Sci. Technol.*, 1991, **B9** (2): 374.

High Resolution TEM Characterization of Silicon Epitaxial Layers Grown at Very Low Temperature under Low Pressure by Ultrahigh Vacuum/Chemical Vapor Deposition

Ye Zhizhen

(State Key Laboratory for Silicon Material Science Zhejiang University, Hangzhou 310027)

Abstract Silicon epitaxial layers were grown at temperatures ranging from 550°C to 650°C by normal thermal decomposition of silane in a new ultrahigh vacuum/chemical vapor deposition reactor. Ultrahigh resolution cross sectional transmission electron microscopy shows that defects in the low temperature epitaxial silicon have obviously their features. Most of them originated at interface, then transferred from interface into epitaxial layer. In this paper, the features and formation mechanism of defects in the low temperature epitaxial silicon are analysed and discussed.

PACC: 6855