

CMOS 电路混合整数最优化及设计方法

郝 跃

(西安电子科技大学微电子研究所)

1989 年 5 月 30 日收到

本文给出了一类 CMOS 门电路的最优设计问题,并给出了在一定约束条件下最大倒相链级数优化的混合整数优化模型。根据一种连续整数规划求解方法,本文提出了对 CMOS 电路混合整数优化的设计方法和步骤。最后,本文给出了一个实际的设计结果。

主题词 CMOS 集成电路,最优化设计,整数规划

一、引 言

大规模 CMOS 电路的性能往往受到关键逻辑通道的制约,这条逻辑通道可以抽象为一个 N 阶 CMOS 倒相链。因此,对于 CMOS 倒相链进行优化设计对提高电路性能和缩小芯片面积都是极有意义的。对 CMOS 电路主要优化的指标通常为电路总延迟时间,总功耗和芯片面积。如果一 CMOS 电路从某一输入端到输出端共有 M 条通道,每条通道对应的延迟时间为 $T^i, i \in I_1 = \{1, 2, \dots, M\}$, 则关键通道的定义为

$$i_c = \underset{i}{\text{Argmax}} \{T^i, i \in I_1\}$$

如果设关键通道的功耗为 P^{i_c} , 芯片面积为 S^{i_c} , 并设所优化的器件参数为

$$x = \{x_1, x_2, \dots, x_n\},$$

则对 CMOS 电路的最优化主要有以下几种基本构成:

(I) $\min_x T^{i_c}(x)$

(II) $\min_x S^{i_c}(x)$

s. t: $Y^{i_c}(x) \geq c_1$

$P^{i_c}(x) \leq c_2$

$S^{i_c}(x) \leq c_3$

$|x| \leq b_i, i = 1, 2, \dots, n$

N 一定

s. t: $Y^{i_c}(x) \geq c_1$

$P^{i_c}(x) \leq c_2$

$T^{i_c}(x) \leq c_3$

$|x| \leq b_i, i = 1, 2, \dots, n$

N 一定

(III) $V = \min_x (T^{i_c}(x), P^{i_c}(x), S^{i_c}(x))$

s. t: $Y^{i_c}(x) \geq c_1$

$|x_i| \leq b_i, i = 1, 2, \dots, n$

N 一定

以上 $Y^{i_c}(x)$ 为生产的成品率或可靠性约束, N 为 i_c 链的级数。 b_i 为对 x_i 的上下限约束。以上三种形式的基本特点是 N 确定。另外,对 CMOS 倒相链优化可以有下面一种基本构成:

$$\begin{aligned}
 \text{IV: } \max_{x, N} &: N & (1) \\
 \text{s. t. } &: T(x, N) \leq T_0 \\
 &: S(x, N) \leq S_0 \\
 &: P(x, N) \leq P_0 \\
 &: |x_i| \leq b_i \quad i = 1, 2, \dots, N
 \end{aligned}$$

这是在给定约束情况下,使构成 CMOS 倒相链的级数尽可能大。这种设计思想在构成 VLSI 中是极为重要的。另外,这类优化问题的特点是 N 为整数(因级数必须是整数)并且变量 x 中也有连续和整数型两类(如沟道长度和宽度在设计时往往作为 $1 \mu\text{m}$ 的整数倍考虑,这样在设计时容易实现)。因此,问题 IV 是个混合非线性整数规划问题。

本文的工作仅是考虑对问题 IV 求最优解。非线性整数规划的研究一直在最优化方法的研究中占有相当重要的地位,它远比非线性规划问题要困难得多^[1]。本文在已有求解总体极小值方法^[2]的基础上,提出采用一种连续的混合整数规划法^[3]对 CMOS 倒相链进行优化设计。由于该算法理论较完善,其计算效率依赖于求总体最优解的效率,用于解式(1)的问题效果较好。当然,该法同样可用于问题 I, II, III 的求解,并可以推广到其它问题的求解。

二、CMOS 倒相链理论模型

如图 1(a) 为一 N 级 CMOS 倒相链。图中 C_i 为第 i 级门的等效负载电容; C_L 为负载电容。设第 i 级门的输入电压为 $V_i(t, x)$, 则第 i 级门的输出电压应等于 $i+1$ 级门输入电压为 $V_{i+1}(t, x)$ 。图 1(b) 为第 i 级门的基本结构,其电流方程为:

$$\begin{cases}
 I_{n_i}(t, x) + I_{p_i}(t, x) + I_{l_i}(t, x) = 0 \\
 I_{l_i}(t, x) = C_i \frac{dV_{i+1}(t, x)}{dt} = C_i \dot{V}_{i+1}(t, x)
 \end{cases} \quad (2)$$

根据半导体器件基本理论可得到 $I_{n_i}(t, x)$ 和 $I_{p_i}(t, x)$ 的表达式,代入式(2)解此微分方程可得到 $V_{i+1}(t, x) \sim V_i(t, x)$ 的响应关系。我们定义倒相链的总延迟时间为:

$$T(x) = \frac{t_r(x) + t_f(x)}{2} \quad (3)$$

$$t_r(x) = \{ \text{Arg}(V_N(t, x)) |_{V_N=0.5V_{DD}} - \text{Arg}(V_{in}(t)) |_{V_{in}=0.5V_{DD}} \} \quad \dot{V}_{in}(t) > 0$$

$$t_f(x) = \{ \text{Arg}(V_N(t, x)) |_{V_N=0.5V_{DD}} - \text{Arg}(V_{in}(t)) |_{V_{in}=0.5V_{DD}} \} \quad \dot{V}_{in}(t) < 0$$

式(3)中的 V_{DD} 表示电源电压, $V_{in}(t)$ 为总的输入信号电压。第 i 级的负载电容为:

$$C_i = \begin{cases} C_{i,0} + C_{i+1,i} & i \neq N \\ C_{i,0} + C_L & i = N \end{cases} \quad (4)$$

式中 $C_{i,0}$ 表示第 i 级的输出电容, $C_{i+1,i}$ 为第 $i+1$ 级输入电容。设单位面积 n 型和 P 型扩散结电容为 C_{n+} 和 C_{p+} ; 单位长度的 n 型和 P 型侧壁扩散结电容为 C_{np} 和 C_{pp} , 则

$$\begin{cases}
 C_{i,0} = C_{0v} + \{ W_{n1} \cdot L_{nd} \cdot C_{n+} + W_{p1} \cdot L_{pd} \cdot C_{p+} \} \cdot f^i \\
 \quad + 2f^i \cdot (W_{n1} C_{np} + W_{p1} C_{pp}) + 2(L_{nd} C_{np} + L_{pd} C_{pp}) \\
 C_{i+1,i} = f^{i+1} (W_{n1} L_{n1} + W_{p1} L_{p1}) C_{0x}
 \end{cases} \quad (5)$$

式中 C_{ox} 为单位面积氧化层电容, C_{ov} 为栅与源和漏结的覆盖电容. f 为倒相链的锥度系数. L_{nd} 和 L_{pd} 分别为 nMOS 和 pMOS 源漏结长度. L 和 W 分别为 MOSFET 的沟道长度和宽度. 通常, 有 $L_{n1} = L_{p1} = L$, 且 L 和 W_{n1} 由光刻允许情况最初确定. 令 $L_{nd} = L_{pd} = \lambda L$. 由式 (2), (3), (4), (5) 知, 得到 $V_{i+1}(t, x) \sim V_i(t, x)$ 的关系是较困难的, 通常是采用数值求解方法得到其响应结果^[4]. CMOS 电路的另一个指标是功耗. 一般功耗有两类: 静路功耗和动态功耗. 在工作频率较高的情况下 ($f_h \geq 10$ kHz), CMOS 电路动态功耗较静路功耗大得多. 因此, 在优化设计时只需考虑动态功耗的影响. 动态功耗可表示为:

$$P(x) = \sum_{i=1}^N c_i V_{DD}^2 f_h \quad (6)$$

另外, 一倒相链的面积可以表示为:

$$\begin{cases} S(x) = A_0(1 + f + f^2 + \dots + f^N) = A_0 \left(\frac{f^{N+1} - 1}{f - 1} \right) \\ A_0 = W_{n1}L \cdot (1 + 2\lambda) + W_{p1}L \cdot (1 + 2\lambda) \end{cases} \quad (7)$$

因此, 对问题 IV 的最优化设计的数学模型为

$$\text{Max: } x_n \quad (8)$$

$$\begin{cases} s. t: T(x) = \frac{t_r(x) + t_f(x)}{2} \leq T_0 \\ S(x) = A_0 \left(\frac{f^{N+1} - 1}{f - 1} \right) \leq S_0 \\ P(x) = \sum_{i=1}^N c_i V_{DD}^2 f_h \leq P_0 \\ V_{DD} - |V_{tp}| + V_{tn} (W_{n1}\mu_n / W_{p1}\mu_p)^{1/2} - 0.5V_{DD} [1 + (W_{n1}\mu_n / W_{p1}\mu_p)^{1/2}] = 0 \\ |x_i| \leq b_i \quad i = 1, 2, \dots, n \end{cases}$$

其中, x_j 为整数 $j = m, m+1, \dots, n$

式中 x_n 对应于链级数 N ; 等式约束为考虑电路抗干扰能力的要求. 式中 V_{tn} 和 V_{tp} 分别为 nMOS 和 pMOS 管的阈值电压; μ_n 和 μ_p 为表面电子和空穴的迁移率. 将式 (8) 表为一般优化标准形式,

$$\min: f(x) \quad (9)$$

$$s. t: g_i(x) \leq 0 \quad i = 1, 2, \dots, l_1$$

$$h_j(x) = 0 \quad j = 1, 2, \dots, l_2$$

$$|x_i| \leq b_i \quad i = 1, 2, \dots, n$$

$$x_j \text{ 为整数 } j = m, m+1, \dots, n$$

与式 (8) 对应, 显然: $f(x) = -x_n$, $x_n > 0$. 因此, 对式 (8) 求解问题可以归于式 (9) 的求解问题. 由于 $g_i(x)$ 和 $h_j(x)$ 是非线性的, 故求解式 (9) 为非线性混合整数规划问题.

三、非线性混合整数规划的连续求解方法

从式(8)知,式(9)中的 $f(x)$, $g(x)$ 和 $h_i(x)$ 均是连续且二阶可微的. 根据一类连续整数规划求解方法^[9],我们可以构成求解式(9)的辅助函数 $\phi(x, \gamma, K)$,

$$\begin{aligned} \phi(x, \gamma, K) = & f(x) + \gamma \left\{ \sum_{i=1}^{l_2} h_i(x)^2 + \sum_{i=1}^{l_1} \max\{0, g_i(x)\}^2 \right. \\ & \left. - K \sum_{i=1}^n \cos 2\pi x_i \right\} \end{aligned} \quad (10)$$

$\phi(x, \gamma, K)$ 中的第 2 项 $\gamma(\cdot)$ 是求约束优化问题的精确 SUMT 法;而对整数规划的特殊处理体现在第三项 $K(\cdot)$. 我们将证明: 当 γ, K 充分大时,用总极值方法对 $\phi(x, \gamma, K)$ 求总体极小值,

$$x^* = \text{Arg}[\text{global min} \phi(x, \gamma, K)] \quad (11)$$

然后就可以确定相应整数规划的最优解. 首先给出两个集合,记

$$\begin{aligned} S_0 &= \{x \mid |x_i| \leq b_i, i = 1, 2, \dots, n\} \\ S_1 &= \{x \mid x \in S_0, x_i \text{ 为整数}, i = m, m+1, \dots, n\} \end{aligned}$$

定义 1: 如果 $x \in S_1$, 称 x 为一拟整点;

定义 2: 如果对于任意拟整点 \hat{x} , 集合

$$B_{\hat{x}} = \left\{ x \mid \|x - \hat{x}\|_{\infty} < \frac{1}{4}, x_i = \hat{x}_i, i = 1, 2, \dots, m-1 \right\} \quad (12)$$

称为拟整点 \hat{x} 的盆.

下面几个定理将证明: 如果 $x^* \in B_{\hat{x}^*}$, 则对应的 $\hat{x}^* = (y^*, z^*)$ 必然为式(9)问题的解,其中

$$\begin{cases} y_i^* = x_i^* & i = 1, 2, \dots, m-1 \\ z_i^* = \hat{x}_i^* & i = m, m+1, \dots, n \end{cases} \quad (13)$$

定理 1: 当参数 γ, K 充分大时, $\phi(x, \gamma, K)$ 在 S_0 内任意拟整点的盆中至少存在一个极小点;并且 $\phi(x, \gamma, K)$ 的任何极小点必然属于某个拟整点的盆.

定理 1 说明了当参数 γ, K 充分大时,任何一个 \hat{x} 盆中必然有一个 $\phi(x, \gamma, K)$ 的极小点;同时 $\phi(x, \gamma, K)$ 的任何极小点必然在某个 $B_{\hat{x}}$ 中,不可能出现在盆以外. 这样,我们将只考虑在 $B_{\hat{x}}$ 中拟整点的情况.

定理 2: 当参数 γ, K 充分大时, $x^1, x^2 \in S_0$ 表示在拟整点 \hat{x}^1, \hat{x}^2 盆内 $\phi(x, \gamma, K)$ 的局部极小值. 如果

$$f(x^1) < f(x^2)$$

则必然:

$$\phi(x^1, \gamma, K) < \phi(x^2, \gamma, K)$$

特别当 $x^1 = \hat{x}^1, x^2 = \hat{x}^2$ 为拟整点时,如果

$$f(\hat{x}^1) < f(\hat{x}^2)$$

同样有: $\phi(x^1, \gamma, K) < \phi(x^2, \gamma, K)$

定理 2 说明尽管 $\phi(x, \gamma, K)$ 为一非凸函数, 当 K, γ 充分大时, 其局部最优点与 $f(x)$ 性质是相同的(当然 $f(x)$ 也可以是非凸函数, 但必须是二阶连续可微的).

定理 3: 当 γ, K 充分大时, 如果 x^* 是 $\phi(x, \gamma, K)$ 的总体极小点, 且 x^* 属于拟整点 x^* 盆中, 那么式 (13) 结果必然成立.

证明: 设 γ, K 充分大, x^* 不是式 (9) 问题的解, 那么根据定理 2 必然存在一拟整点 $x^{**} \in S_0$, 使

$$f(x^{**}) < f(x^*)$$

根据定理 1, 在 x^{**} 盆中必存在一点 x^{***} , 使得

$$f(x^{***}) < f(x^*)$$

从而:

$$\phi(x^{***}, \gamma, K) < \phi(x^*, \gamma, K)$$

这与 x^* 是 $\phi(x, \gamma, K)$ 的总体极小点矛盾. 故 x^* 必为式 (9) 问题的解.

综上所述, 求式 (9) 问题的解可归于: 当 γ, K 充分大时, 用连续函数求极值的方法得到 $\phi(x, \gamma, K)$ 的总体极小点 x^* , 然后确定拟整点 $\|x^* - \hat{x}^*\|_\infty < \frac{1}{4}$, 则 \hat{x}^* 必为式 (9) 问题的解.

四、CMOS 倒相链优化策略与算例分析

由上面结果, 可得到求解图 1 所示的 CMOS 倒相链最优解步骤,

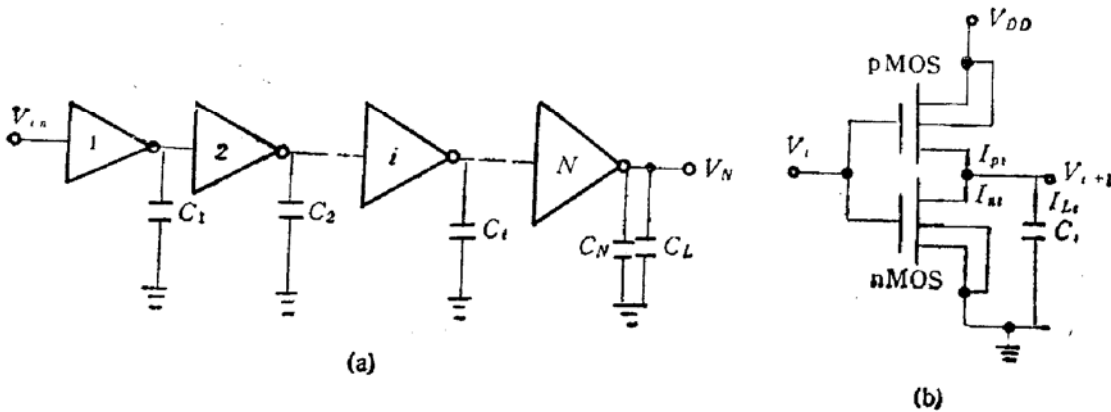


图 1 CMOS 倒相链. (a) N 阶链; (b) 第 i 阶基本结构

- 1° 给定初始的 x^0, K, γ , 并设 $N \sim x_n, k := 0$;
- 2° 用 SUMT 法解 $\phi(x, \gamma, K)$ 的极小值, 且每步令

$$N = \begin{cases} \text{int}(x_n) & \text{如果 } |x_n - \text{int}(x_n)| < \frac{1}{4} \\ \text{int}\{x_n\} + 1 & \text{如果 } |x_n - \text{int}(x_n)| \geq \frac{1}{4} \end{cases}$$

- 3° 交互式判断 $\phi(x^k, \gamma, K)$ 是否为总体极小. 若是到 5°; 否则 4°,

4° 用[2]中的方法找比 $\phi(x^k, \gamma, K)$ 更低的谷, 并令 $k := k + 1$, 转到 2°;

5° 令 $y_i = x_i^k \quad i = 1, 2, \dots, m - 1$

$$z_i = \begin{cases} \text{int}\{x_i\} & \text{if } |x_i - \text{int}(x_i)| < \frac{1}{4} \\ \text{int}\{x_i\} + 1 & \text{if } |x_i - \text{int}(x_i)| \geq \frac{1}{4} \end{cases} \quad i = m, m + 1, \dots, n$$

故 $x^* = (y, z)$ 为 CMOS 混合整数规划问题的解。

由于目前总体最优解判断问题上还缺乏较有力的判据 (这一直是总体最优化中较困难的问题), 故 3° 需交互式判断。如果 x^k 不是总体最优解, 则必然 $k + 1$ 步可找到比 k 步更好的解; 如果 k 步已是总体最优解而漏判, 它仅使计算效率下降而对整体结果不会有影响。

我们对具体的 CMOS 链进行优化设计, 选择的变量为:

连续变量: 锥度系数 f , nMOS 管阈值电压 V_{tn}

整数变量: 第一级 PMOS 管沟道宽度 W_{p1} 及 CMOS 倒相链级数 N 。

有关 $T(x)$, $P(x)$, $S(x)$ 关于 f , V_{tn} 和 N 的灵敏度分析已另文有介绍^[5], 下面仅对一个多级倒相链每一级沟道宽度 $W_{pi} (i = 1, 2, \dots, N)$ 对总延迟时间的

影响进行分析。图 2 给出了不同负载电容情况下, $N = 5$ 和 $N = 10$ 两种条件 $T(x)$ 对 W_{pi} 的灵敏度。其灵敏度的定义为:

$$S_{c_n}^T(x)_i = \frac{\partial T(x)}{\partial x_i} \frac{x_i}{T(x)} \Big|_{x=\text{常数}}$$

从图 2 中可以看出后级对 $T(x)$ 的影响相对于前级是指数下降的。因此, 最优变量选为 W_{p1} 。尽管第 i 级的沟道宽度为 $f^i W_{p1}$ 不一定是 $1 \mu\text{m}$ 的整数, 但考虑对 $T(x)$ 的影响不太大, 故可以在设计时根据版图情况向前或向后取整。这对总体并无较大影响。

作为 CMOS 混合整数规划的例子, 所选基本参数为: $L_n = L_p = L = 1 \mu\text{m}$, $W_n = 6 \mu\text{m}$, $\mu_n = 500 \text{cm}^2/\text{V} \cdot \text{S}$, $\mu_p = 180 \text{cm}^2/\text{V} \cdot \text{S}$, $\epsilon_{ox} = 1.85 \times 10^{-3} \text{pf}/\mu\text{m}^2$, $c_{n+} = 3.3 \times 10^{-4} \text{pF}/\mu\text{m}^2$, $c_{p+} = 2.9 \times 10^{-4} \text{pF}/\mu\text{m}^2$, $c_{np} = 5.43 \times 10^{-4} \text{pF}/\mu\text{m}^2$, $c_{pp} = 1.72 \times 10^{-4} \text{pF}/\mu\text{m}^2$, $f_h = 1 \text{MHz}$, $\lambda = 3$, $V_{DD} = 5 \text{V}$ 。其约束条件为:

$$\begin{aligned} T(x) &\leq 5 \text{ns} & 1 &\leq x_1 = f \leq 10 \\ S(x) &\leq 2 \times 10^4 \mu\text{m}^2 & 0.5 \text{V} &\leq x_2 = V_{tn} \leq 3 \text{V} \\ P(x) &\leq 5 \text{mW} & 5 \mu\text{m} &\leq x_3 = W_{p1} \leq 20 \mu\text{m} \\ & & 2 &\leq x_4 = N \leq 20 \end{aligned}$$

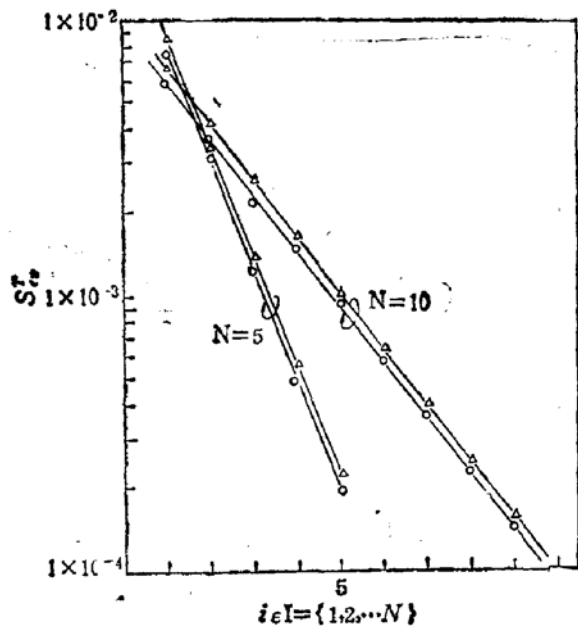


图 2 W_{pi} 对 $T(x)$ 的灵敏度分析

$\Delta C_L = 10 \text{pF}$ $\circ C_L = 20 \text{pF}$ $N = 10 \rightarrow f = 1.6$
 $N = 5 \rightarrow f = 2.5$ $W_{n1} = 6 \mu\text{m}$, $L = 1 \mu\text{m}$ $V_{tn} = 1.42 \text{V}$, $W_{p1} = 10 \mu\text{m}$

采用本文的方法,表 1 给出了不同负载电容下的优化结果。

表 1 CMOS 倒相链优化结果

$c_L(\text{pF})$	$x^* = \{f, V_{in}, W_{p1}, N\}$				$\phi(x, \gamma, K)$ 调用次数
5	1.53	1.288	9	9	138
10	1.67	1.288	9	8	157
20	1.90	1.357	8	6	119

表中可以看出,不同负载电容条件下,由于电路驱动情况不同,故锥度系数也不同。负载较大时, f 较大,这反映倒相链逐级驱动电流将加大。另外,在约束一定时,负载越大则链级 N 则减小,这是由于 f 的增大将使芯片面积和功耗增大,故级数必然减小。

该法在执行过程中非常稳定,最后得到了 W_{p1} 和 N 的整数解。这避免将连续变量盲目舍入情况,可使对器件参数优化的适用范围和深度更进一步。

五、结 论

本文给出了利用混合整数规划连续性方法对 CMOS 门电路优化设计的方法。文中给出了算法的总体结构和基本理论证明。该方法使用较灵活;运行稳定,其效率取决于求 $\text{global min} \phi(x, \gamma, K)$ 的效率。如果求总极值方法较好,可以迅速得到满意结果。本文通过对一 CMOS 链实例分析和设计,说明该方法的可行性和运行效果。该方法可广泛应用于具有类似混合整数规划的连续型问题中。

参 考 文 献

- [1] O. K. Gupta, A. Ravindran, *Opsearch*, 20, No. 4, 189 (1983).
- [2] 郝 跃,贾新章,固体电子学研究进展, 9 (1), 12 (1989).
- [3] Ge Renpu, Huang Changbin, *Proceedings of the 4th Numerical Optimization Techniques*, pp. 476—483, 1987, Xi'an, China.
- [4] Hao Yue, ISAOC'89, China, to be accepted.
- [5] 郝跃,具有成品率极大的多目标 CMOS 倒相链的优化设计方法,应用科学学报,待发表。

Mixed Integer Optimization and Techniques for CMOS Design

Hao Yue

(Microelectronic Insisute, Xi'an Univ. of Electronic Sci. & Tech.)

Abstract

The optimization of the design of CMOS gate circuits is given and a model of mixed integer programming of the maximum stage for CMOS inverter chain is obtained under the conditions of some constrains. A design method of mixed integer programming and steps achieved stage maximization are suggested based on a continuous approach to integer programming. An example of actual simulation for CMOS inverter chair is also given.

Key words CMOS, Integrated Circuit; Integer Programming; Optimal design