

2 千兆赫 GaAs 分频器设计

史常忻 王庆康 李晓明 李志奇

(上海交通大学 微电子技术研究所)

夏冠群 杨悦非 严 萍

(中国科学院 上海冶金研究所, 上海)

1989年11月8日收到

本文介绍了我国自行研制成功的 GaAs 2 千兆赫二分频分频器的设计。其试验电路测试结果表明该设计方法的可行性。

主题词 GaAs 分频器, 缓冲 FET 逻辑 (BFL)

一、引 言

超高速 GaAs 集成电路, 在高速电子计算机, 高速电子对抗系统和高精度仪器仪表中均有重要应用。国际上自 1974 年报道了第一块 GaAs 逻辑集成电路研制成功以来^[1], 十余年来发展极为迅速。目前已有 6k 门阵列^[2]和用先进的 WSi 自对准工艺研制成功的 6.0—10.5 千兆赫动态分频器^[3]的成果报道。国内研制正在起步阶段。本文介绍了我们自行研制成功的最高时钟频率为 2GHz 的二分频分频器的设计。与试验电路做了比较, 给出满意的结果, 表明了设计的可行性。

二、逻辑和单元电路形式的选择

成熟的分频器逻辑电路已有多种^[4,5]。本文采用单时钟, 主从触发器的逻辑电路。因为这种形式的分频器具有从直流到最高时钟频率范围内连续工作的能力, 也可以在任意占空比的波形下工作, 适应性广泛。单时钟便于线路中的应用。

由“与或非”逻辑门组成的电路如图 1(a) 所示。其单元逻辑门的电路形式均采用缓冲 FET 逻辑 (BFL)。因为它具有逻辑摆幅高, 抗干扰能力强, 速度快和全部以耗尽型 GaAs MESFET 做为有源器件, 因此工艺相对容易的优点。虽然它的器件数较多, 功耗较大, 但是在中规模电路中仍是很适宜的。其相应的门电路的线路图在图 1(b) 中给出。

三、器件设计和工艺设计

根据以上选定的逻辑和线路形式, 以及如下的工作条件: 电源 $V_{DD} = 4$ 伏和

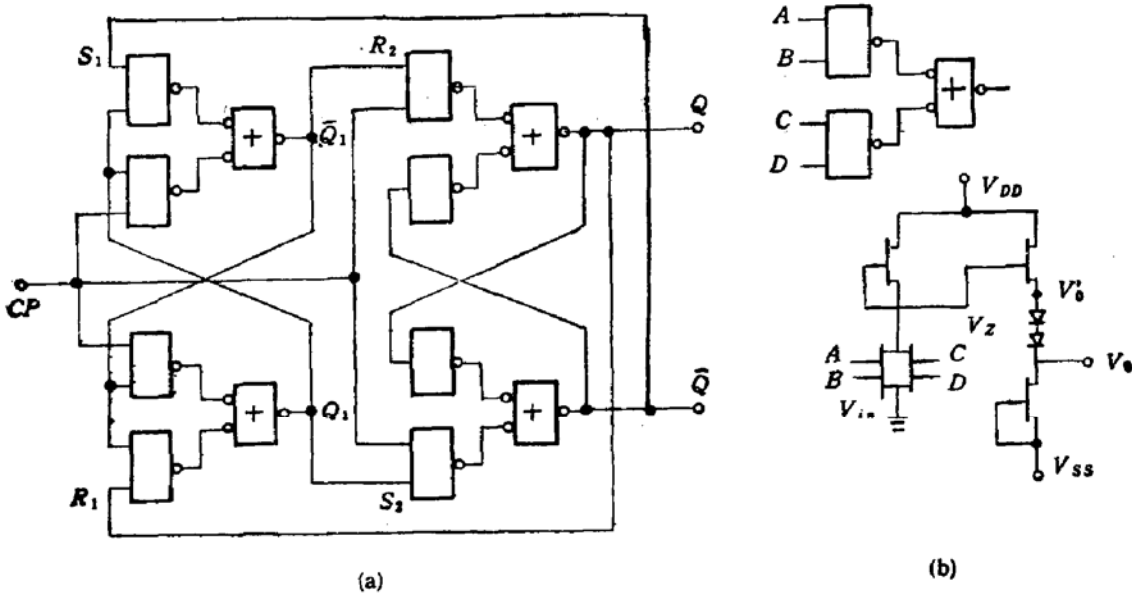


图 1 由“与或非”逻辑门组成的分频器的逻辑图 (a)和门单元线路图(b)

$V_{SS} = -3$ 伏;逻辑摆幅 $V_m = 2.5$ 伏;高电平和低电平直流噪音容限均 $V_N \geq 0.5$ 伏;和最高时钟频率 $f_m \geq 2$ 千兆赫,则可以进行相应的器件、工艺设计。

首先决定器件的夹断电压,采用离子注入工艺,等效有源层厚度为 $a = 0.2$ 微米,平均载流子浓度为 $N = 1 \times 10^{17}$ 厘米⁻³,则夹断电压 $U_p = -2.7$ 伏。其中取数 $\epsilon_0 = 8.86 \times 10^{-14}$ 法·厘米⁻¹; $\epsilon_r = 13.1$; $\mu = 4000$ 厘米²·伏⁻¹·秒⁻¹和 $q = 1.6 \times 10^{-19}$ 库。

直流特性 采用包括源、漏寄生电阻的 Shockley 模型根据文献 [5]和[7]中对直流传输特性的计算结果如图 2 中 (a) 和 (b) 所示,它们分别表示逻辑放大级和电平移位

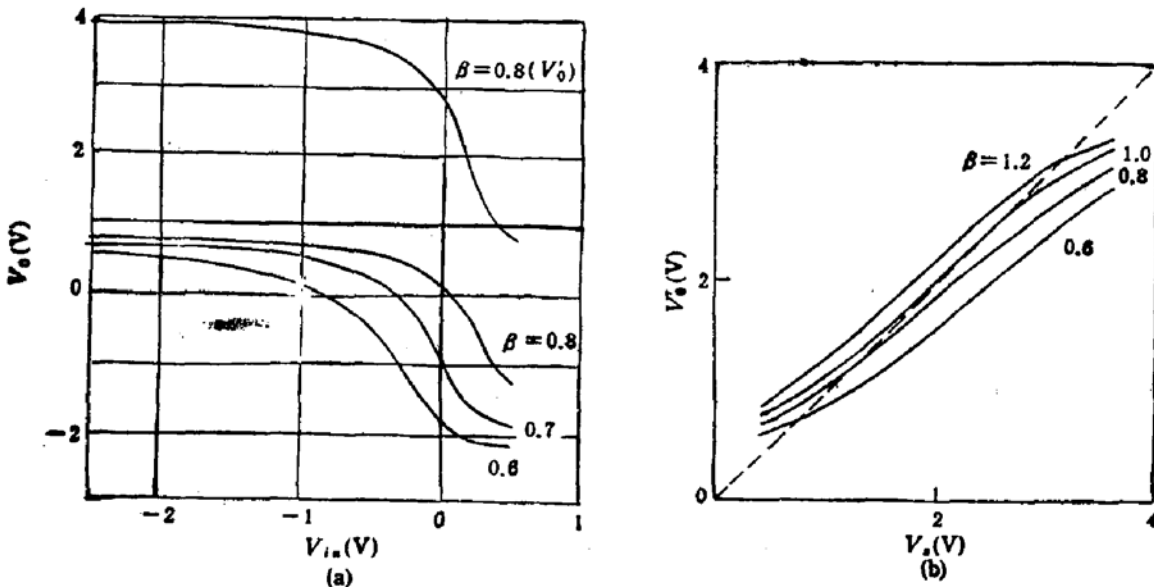


图 2 BFL 逻辑门的逻辑放大级 (a) 和电平移位缓冲级 (b) 和传输特性

缓冲级的传输特性。图中 β 表示负载管与输入驱动管的跨导比(即栅宽长比之比)。由图可知, 逻辑放大级的 β 取 0.6 和缓冲级的 β 取 1 时, 可以获得具有直流噪音容限 $V_N \geq 0.5$ 伏和良好缓冲级跟随特性的单元逻辑门。

瞬态特性 图 3 中给出了图 1 的分频器工作时的波形。其中 (a) 表示理想(无门延迟时间)波形, (b) 表示单元逻辑门延迟时间为 τ 时的实际工作波形。可以看出, 要想使分频器正常工作, 则门延迟时间的两倍 (2τ) 必须小于时钟周期 (T) 的一半, 即

$$2\tau \leq \frac{T}{2} \text{ 或 } \tau \leq \frac{T}{4} \quad (1)$$

(1) 式给出分频器工作频率对单元逻辑门的要求, 亦即设计依据。而门延迟时间与器件和工作参量的关系为^[3]

$$\tau = \frac{4}{3} \frac{C_L}{kV_m} \quad (2)$$

其中, $k = \frac{\mu\epsilon_0\epsilon_r}{2a} \cdot \frac{W}{L}$, W 和 L 分别为器件栅的宽和长, C_L 为等效负载电容。对 2GHz 分频器, 取 $\tau \leq 120$ 微微秒, $C_L = 0.15$ 微微法。由 (1) 和 (2) 式, 可以先估算出负载管的栅宽长比为

$$\left(\frac{W}{L}\right)_a \approx 5.8$$

因为 $\beta = 0.6$, 所以等效输入驱动管的栅宽长比为

$$\left(\frac{W}{L}\right)_{\text{等}} \approx 9.7$$

对具体的与或非门线路, 输入端为两支串联后再并联的四支管子, 每支管子的栅宽长比要取其 2 倍。但是工艺中采用双栅结构, 故实际器件栅宽长比取等效值的 1.6 倍。为

$$\left(\frac{W}{L}\right)_a = 15.5$$

版图上最后取

$$\left(\frac{W}{L}\right)_a = 9, \quad \left(\frac{W}{L}\right)_a = 18, \quad \text{和} \quad \left(\frac{W}{L}\right)_a = 15$$

按照以上条件设计好版图, 则可以计算出其寄生参量。结合工艺条件, 可以如下计算。离子注入有源层的方块电阻为

$$R_{\square} = \frac{1}{Nq\mu a} = 555 \text{ 欧}/\square$$

取欧姆接触的比电阻为 $R_c = 1 \times 10^{-5}$ 欧·厘米²。按栅长为 1 微米, 栅源和栅漏间距为 2 微米, 欧姆接触孔为 10×10 微米² 计算, 则漏和源寄生电阻(包括源栅、漏栅之间体电阻与引线孔欧姆电阻之和)为

$$R_{\text{源}} = R_{\text{漏}} = R_{\square} \cdot \frac{2}{10} + \frac{R_c}{10 \times 10 \times 10^{-8}} = 121 \text{ 欧}$$

对输入驱动管(引线孔 10×16 微米²), 寄生电阻为

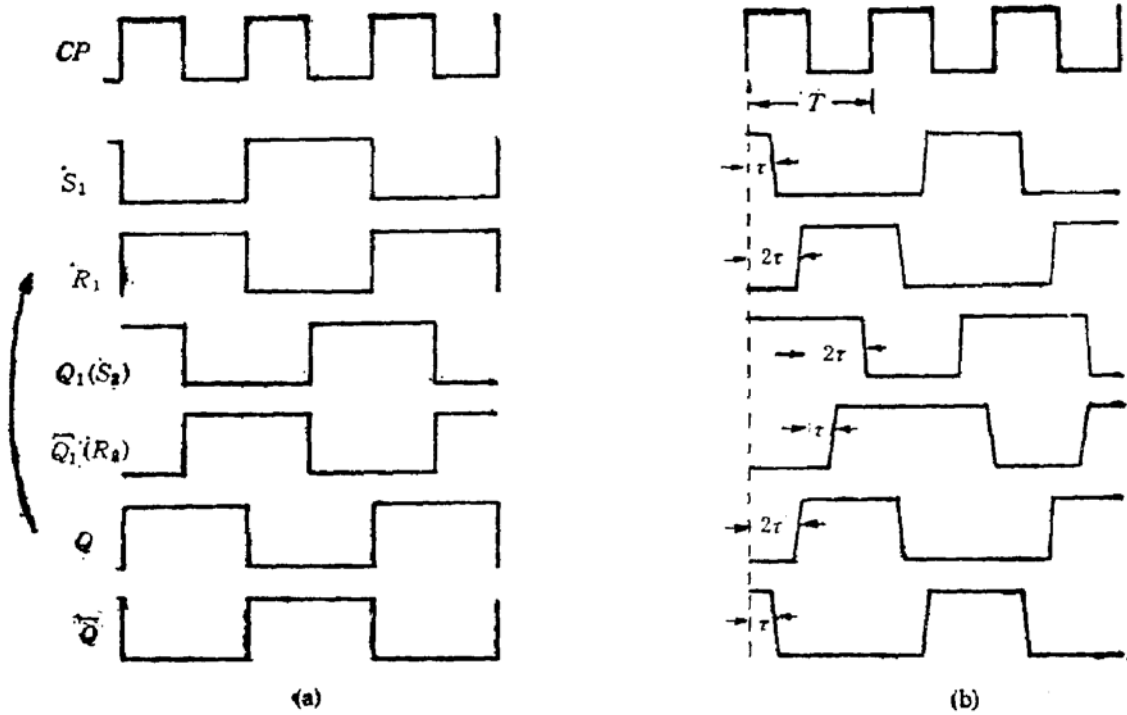


图3 分频器的工作波形。(a)为理想情况,(b)为门延迟时间为 τ 时的实际工作波形

$$R_{d\text{驱}} = R_{s\text{驱}} = R_{\square} \cdot \frac{2}{16} + \frac{R_c}{10 \times 16 \times 10^{-8}} = 79 \text{ 欧}$$

单位面积栅电容(零偏压)为

$$C_g = \frac{1}{2\sqrt{2}} \left(\frac{\epsilon_0 \epsilon_s q N}{V_{Bi}} \right)^{1/2} = 0.0008 \text{ 微微法} \cdot \text{微米}^{-2}$$

其中 V_{Bi} 为栅自建势,取 0.7 伏。每一个输入驱动管的输入电容为

$C_{g\text{驱}} = C_{g0} \cdot (1 \times 18) = 0.0144 \text{ 微微法}$
 取负载电容 $C_L = 3 \times C_{g\text{驱}} = 0.0432 \text{ 微微法}$, 引线电容取 0.005 微微法。根据文献[7]中的模型,可以给出每个逻辑门在 2 千兆赫频率输入信号时的输出波形,如图 4 所示。 V_0 为单门输出波形,其上的波形是移位以前的波形。表明可以在该频率下正常工作。

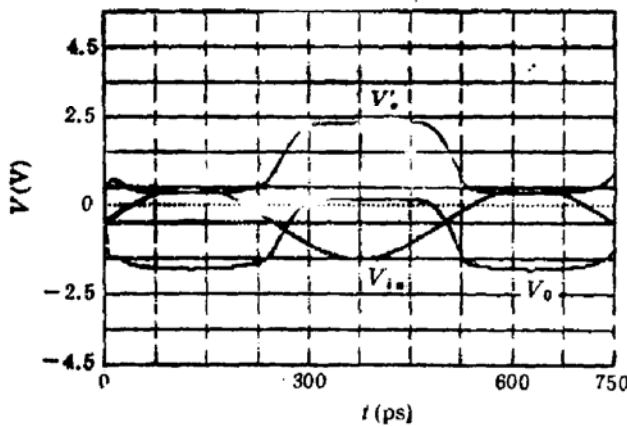


图4 根据文献[7]对 GaAs 逻辑门在 2GHz 下工作的输入、输出波形的计算机模拟结果

图 5(a) 为由上海冶金所流水完成的样品电路的测试结果。频谱仪显示,在 3GHz 时钟频率下有良好的 1.5GHz 的分频输出特性。这是因为实际的栅稍小于 1 微米。(b) 为管芯的照片(图 5 见图版 I)。

四、结 语

本文介绍的 GaAs 分频器的设计方法, 与实验电路相比较, 给出满意的结果。表明是设计高速 GaAs 逻辑电路的有效方法。

参 考 文 献

- [1] R. V. Tuyl and C. Liechti, *IEEE J. Solid-State Circuits*, **SC-9**, 269 (1974).
- [2] A. Peczalski *et al.*, *IEEE J. Solid-State Circuits*, **SC-23**, 581 (1988).
- [3] M. Shigaki *et al.*, *IEEE Tran., on-MTT*, **MTT-36**, 772 (1988).
- [4] R. V. Tuyl *et al.*, *IEEE J. Solid-State Circuits*, **SC-12**, 485 (1977).
- [5] G. Nazillat *et al.*, *IEEE J. Solid-State Circuits*, **SC-17**, 569 (1982).
- [6] 史常忻, 余 兴, 半导体学报, **8**, 443 (1987).
- [7] 王庆康, 史常忻, 上海半导体, 第 2 期, 30 (1989).
- [8] R. C. Eden *et al.*, *IEEE J. Solid-State Circuits*, **SC-14**, 221 (1979).

Design of 2GHz GaAs Divider

Shi Changxin, Wan Qingkang, Li Xiaoming and Li Zhiqi
(*Institute of Microelectronics Technology, Shanghai Jiao Tong University*)

Xia Guanqun, Yang Yuefei and Yan Ping
(*Shanghai Institute of Metallurgy, Academia Sinica*)

Abstract

A design of 2GHz GaAs dividers is reported. The experimental results show that the design method is available for GaAs IC

Key words GaAs divider, Buffer FET Logic