

薄膜 SOI 结构中反型层厚度与薄膜厚度的关系

夏永伟 王守武

(中国科学院半导体研究所,北京)

1989年9月22日收到

本文从理论上分析了薄膜 SOI 结构中反型层厚度与薄膜厚度的关系。为设计薄膜 MOS/SOI 器件引进了一个新的参数——薄膜整体反型临界厚度。分析认为,为使超薄膜 MOS/SOI 器件高速和高功率工作,有必要使薄膜厚度接近整体强反型临界厚度。

关键词 半导体器件和材料, MOS 结构, 场效应晶体管, 器件设计

一、引言

本文的作者在 1985 年首先提出了单栅薄膜 MOS/SOI 器件的理论模型^[1]。J. P. Colinge 在 1986 年从实验上证实了薄膜 MOS/SOI 器件阈值电压与 SOI 膜厚度的关系^[2]。他先后观察到这类器件性能的改善,例如:浮置衬底效应的减弱^[3],亚阈特性的改善^[2],特性曲线扭曲(kink)效应的减小和消除^[4],短沟效应和热电子效应的最小化^[5]。随着薄膜工艺的进展,最近发现了迁移率增大^[6]。这些都是重要和吸引人的结果。51 级薄膜 MOS/SOI 器件制成的环形振荡器,采用 $1.5\mu\text{m}$ 栅长,门延迟为 161ps,每级功耗 $270\mu\text{W}$ ^[7]。然而,我们认为仍有必要研究,为使器件高速和高功率应用,最佳薄膜厚度是多少,本文试图为设计薄膜 MOS/SOI 器件提出一些原则。

二、数值分析

图 1 给出本文考虑的结构,实际上,这是一个 $\text{MO}_1\text{S}_1\text{O}_2\text{S}_2\text{M}$ 多层结构。对这种结构我

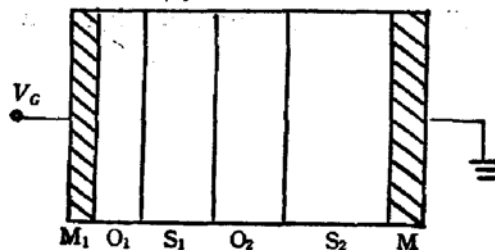


图 1 $\text{MO}_1\text{S}_1\text{O}_2\text{S}_2\text{M}$ 结构示意图

们作一维分析。

在 P 型硅中, 支配电子和空穴密度的泊松方程是

$$\frac{d^2\phi}{dx^2} = -\frac{q}{\epsilon_0\epsilon_s} (p - n - N_A) \quad \text{在 } S_1 \text{ 和 } S_2 \text{ 中}$$

在绝缘体中有

$$\frac{d^2\phi}{dx^2} = 0 \quad \text{在 } O_1 \text{ 和 } O_2 \text{ 中}$$

假设薄膜 S_1 掺杂浓度为 $N_A = N_{A1}$, 衬底掺杂浓度为 $N_A = N_{A2}$, 因为它们近似处于热平衡状态, 故有相同的费米能级 ϕ_F 。

电子和空穴密度分别为:

$$p = n_i e^{\frac{q(\phi - \phi_F)}{kT}}$$

$$n = n_i e^{\frac{q(\phi_F - \phi)}{kT}}$$

在 SiO_2 -Si 界面上

$$\epsilon_0\epsilon_{ox} \left. \frac{d\phi}{dx} \right|_{O_1} - \epsilon_0\epsilon_s \left. \frac{d\phi}{dx} \right|_{S_1} = qL_{A11} \quad \text{在 } O_1\text{-}S_1 \text{ 界面}$$

$$\epsilon_0\epsilon_s \left. \frac{d\phi}{dx} \right|_{S_1} - \epsilon_0\epsilon_{ox} \left. \frac{d\phi}{dx} \right|_{O_2} = qD_{A12} \quad \text{在 } S_1\text{-}O_2 \text{ 界面}$$

$$\epsilon_0\epsilon_{ox} \left. \frac{d\phi}{dx} \right|_{O_2} - \epsilon_0\epsilon_s \left. \frac{d\phi}{dx} \right|_{S_2} = qL_{A13} \quad \text{在 } O_2\text{-}S_2 \text{ 界面}$$

在衬底 S_2 体内 $\phi = 0$, 而在 M - O_1 界面上, $\phi = V_G - V_{GC} - V_N$ 。式中 V_{GC} 是铝栅电极和半导体膜 S_1 间的接触电势

$$V_{GC} = -0.88 - 0.06(\log |N_A - 15) \quad \text{对 P 型硅}$$

V_N 是膜 S_1 和衬底 S_2 之间因掺杂浓度不同而引起的内建势

$$V_N = -\frac{kT}{q} \ln \frac{N_{A1}}{N_{A2}}$$

上述方程中的符号含义以及方程的解法均见参考文献[1]。

三、结果和讨论

我们定义满足条件 $n(x) = p(x) = n_i$ 的点为弱反型边界, 定义此点与 O_1 - S_1 界面间的距离为弱反型临界厚度 T_1 。同样, 我们定义强反型临界厚度 T_2 为 O_1 - S_1 界面和满足条件 $n(x) = N_{A1}$ 的点之间的距离。

表 1 和 2 给出反型层厚度和薄膜厚度 T_{S1} 之间的关系。模拟中假定 $D_{A11} = D_{A12} = D_{A13} = 0$, $T_{O1} = 0.1 \mu\text{m}$ 和 $T_{O2} = 0.5 \mu\text{m}$ 。从表我们可以看到, 对 $N_{A1} = N_{A2} = 8 \times 10^{15}/\text{cm}^3$ 时, 在一定栅压 V_G 下, 反型层厚度 T_1 和 T_2 有最大值即临界厚度 T_{1c} 和 T_{2c} 。当 SOI 膜厚小于临界厚度 T_{1c} , 会出现整体弱反型。类似, 当 SOI 膜厚小于临界厚度

T_{2c} 时,会出现整体强反型。对 $V_G = 0.5v$, 我们估计 $T_{1c} \approx 2000 \text{ \AA}$, $T_{2c} \approx 500 \text{ \AA}$ 。当 SOI 膜小于临界厚度,无论是弱反型还是强反型,反型层厚度总是与膜厚相等。但是,当 SOI 膜厚大于临界厚度时,随膜厚增加而反型层厚度减小,这是由于与反型层相接的耗尽区中出现了空间电荷,使反型层变薄。表 1 指出厚膜情况强反型不出现,这是由于 $V_G < V_T$ (厚膜)。当 V_G 比 V_T 大很多时,强反型总是存在(见表 2, $N_{A1} = 8 \times 10^{15}/\text{cm}^3$, $N_{A2} = 2 \times 10^{15}/\text{cm}^3$, $V_T \leq 0.3v^{[1]}$)。SOI 膜厚度大于最大耗尽层宽度时,反型层厚度是与 SOI 膜的厚度无关的。

表 1

$T_{S1}(\text{ \AA})$		407	628	1227	1848	2652	3228	3859
$V_G = 0.5v$	$T_1(\text{ \AA})$	407	628	1227	1848	340	340	340
	$T_2(\text{ \AA})$	407	276	132				
$V_G = 1.0v$	$T_1(\text{ \AA})$	407	628	1227	1848	1494	979	979
	$T_2(\text{ \AA})$	407	440	300	215	110	20	

表 2 ($V_G = 0.5v$)

$T_{S1}(\text{ \AA})$	1227	1848	3228	3860	5242	6458
$T_1(\text{ \AA})$	1227	1848	1182	1078	1078	1078
$T_2(\text{ \AA})$	370	300	200	157	157	157

把这些结果与迁移率增大的实验结果^[6]比较,可以看到,在膜厚度接近强反型临界厚度 T_{2c} 时迁移率增大效果最为明显,而膜厚接近弱反型临界厚度 T_{1c} 时只有一点点增加。可以预期参考文献[7]如采用再薄一些的 SOI 膜,速度会更快。由此,SOI 膜整体强反型厚度 T_{2c} 在设计超薄膜 MOS/SOI 器件时是一个重要的参数。我们认为,为获得超薄膜 MOS/SOI 器件的高速和高功率工作,有必要使 SOI 膜厚度接近强反型临界厚度 T_{2c} ,使器件有较大的截面让载流子流过。

参 考 文 献

- [1] 王守武,夏永伟,孔令坤和张冬萱,半导体学报, 6,225(1985).
- [2] J. P. Colinge, *IEEE Electron Device Letters*, EDL-7, 244(1986).
- [3] J. P. Colinge, *Electron. Lett.*, 22, 187(1986).
- [4] J. P. Colinge, *IEEE Electron Device Letters*, EDL-9, 97(1988).
- [5] J. P. Colinge, *IEEE Circuit and Devices Magazine*, p16, Nov., (1987).
- [6] M. coshimi et al., *Electron. Lett.*, 24, 1078(1988).
- [7] N. J. Thomas et al., *IEEE Electron Device Letters*, EDL-10, 129(1989).

Dependence of Inversion Layer Thickness on Film Thickness in Thin-Film SOI Structures

Xia Yongwei and Wang Shouwu

(Institute of Semiconductors, Academia Sinica, P. O. Box 912, 100083, Beijing, China)

Abstract

The dependence of inversion layer thickness on film thickness in thin-film SOI structure is analysed theoretically by using computer simulation. A new concept and parameter, the critical thickness of thin film all-bulk inversion, are introduced for the design of thin-film MOS/SOI devices. It is necessary to select the film thickness near to the all-bulk strong inversion critical thickness in order to get high speed and high power working of ultrathin film MOS/SOI devices.

Key words Semiconductor device and Material, MOS structure, Field-effect transistors, Device design