

VLSI 中双层布线导孔数的优化算法

李 英 梦 唐 璞 山

(复旦大学电子工程系,上海)

1987年7月28日收到

在超大规模集成电路的设计中,通常需要尽可能地减少布线时产生的导孔,因为导孔数是影响集成电路成品率、可靠性及各种电性能的重要因素。本文的工作是解决 VLSI 双层金属布线的导孔数优化问题。实际的布线根据其拓扑特性和电连通性等效为带权的图。将这种方法推广到三联和四联导孔的情形,并引入了添加冗余导孔的方法以进一步减少导孔的数目,最后给出了对变权图求最大偶子图的算法,以便对三联及四联情形的导孔进行优化。算法实现后试算的实例表明一般能减少 30%—50% 的导孔。

主题词: 大规模集成电路, 计算机辅助设计, 计算机设计自动化, 优化

一、引 言

Hashimoto 和 Stevens 首先提出用求最大二分子图的方法来实现导孔最小化^[1]。1980年 Y. Kajitani^[2]证明了[1]中的算法不是一个 NP 困难问题。以上工作中涉及的导孔情形都是二联的,多联导孔的情形一直没有得到很好的解决。1982年 R. Chen^[3]通过找奇回路域或奇顶点线对的方法,对三联导孔的简单情形找到了最优解。

二、图 模 型

双层金属布线较多使用在积木块设计方式中。通道中的水平和垂直布线分别由两层金属线完成,不同线层的布线如果属于同一线网的由导孔相连。通过调整布线的相对层次,可以达到降低导孔数目的目的。

定义 1 设 $G(V, E)$ 为描述双层布线及导孔的图模型,其中 $V = V^h \cup V^v$; $E = E^c \cup E^c$

记 $V^h = \{v_i^h\}$ 为水平布线线段的集合。

$V^v = \{v_i^v\}$ 为垂直布线线段的集合。

$E^c = \{(v_i^h, v_j^v) | v_i^h \in V^h, v_j^v \in V^v, \text{且 } v_i^h, v_j^v \text{ 所对应的线段在平面上是相交的}\}$

$E^c = \{(v_i^h, v_j^h) | v_i^h \in V^h, v_j^h \in V^h, \text{且 } v_i^h, v_j^h \text{ 所对应的线段属于同一个电线网}\}$

两类边集 E^c 和 E^c 分别称为约束边集和连接边集。

图 1(a) 的双层布线,表示成图模型如图 1(b) 所示。显然这是一个偶图。

对图 G 定义划分如下。

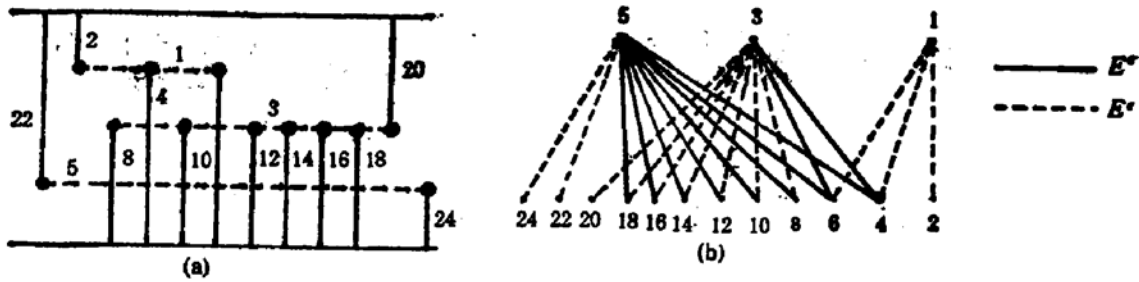


图 1

定义 2 设 V^A, V^B 为对图 G 划分后的顶点集合, $V^A \cup V^B = V, V^A \cap V^B = \phi, \{V^A, V^B\}$ 称为 V 的划分.

划分后如果满足条件:

$$\forall v_i^A \in V^A, v_j^A \in V^A \exists (v_i^A, v_j^A) \in E^e$$

且

$$\forall v_i^B \in V^B, v_j^B \in V^B \exists (v_i^B, v_j^B) \in E^e$$

则称这种划分为可行划分.

按照可行划分对布线线段进行分层,称为可行分层.

对于任何给定的可行划分 $\{V^A, V^B\}$, 如果存在

$$v_i \in V^A, v_j \in V^B \quad \text{且} \quad (v_i, v_j) \in E^e \quad (i \neq j)$$

则 (v_i, v_j) 对应于连接位于不同层线网中的线段 v_i 和 v_j 的一个导孔.

如果能找到一种使 $(v_i, v_j) \in E^e$ 边最少的可行划分,也就相当于求得了导孔最小化的分层.

定义 3 记 $G_k = (V_k, E_k)$ 为图 G 中关于 E^e 边的连通子图 ($k = 1, 2, \dots, n$).

即:

$$\forall v_i \in V_k, (v_i, v_j) \in E^e \rightarrow v_j \in V_k \quad (i \neq j)$$

$$\forall v_i, v_j \in V_k \rightarrow (v_i, v_j) \in E_k \quad (i \neq j)$$

图 G 通常包含有多个由 E^e 边相连接通的子图 $G_k (k = 1, 2, \dots, n)$.

设 $V_k^A = V_k \cap V^A; V_k^B = V_k \cap V^B \quad (k = 1, 2, \dots, n)$

命题 1 对于 $V_k, k = 1, 2, \dots, n$ 仅有划分 $\{V_k^A, V_k^B\}$ 为可行划分.

定义 4 如果 $e^c = (v_i^A, v_j^B) \in E^c$, 且 $v_i^A, v_j^B \in V_k$, 则称边 e^c 为本质连接边, 它所对应的导孔称为本质导孔.

本质边的集合记为 E^{ess} .

例如图 1 (b), 本质边为 $E^{ess} = \{(v_3^A, v_4^B), (v_3^A, v_{10}^B), (v_3^A, v_{12}^B), (v_3^A, v_{14}^B), (v_3^A, v_{16}^B), (v_3^A, v_{18}^B)\}$.

图 2 所示为由图 1 (b) 经变换得到的 $G' = (V', E')$, 其中 V' 中的每个顶点代表图 G 中的一个子图 $G_k. E' = E^c - E^{ess}$.

命题 2 本质导孔不能消除.

相应地, 对应于 $E^c - E^{ess}$ 边的导孔才是有可能消除的.

命题 3 设 $\{V^A, V^B\}$ 为一个可行划分, 如果 $V_k^A \subset V^A, V_k^B \subset V^B$ (必然有 $V_k^A \subset$

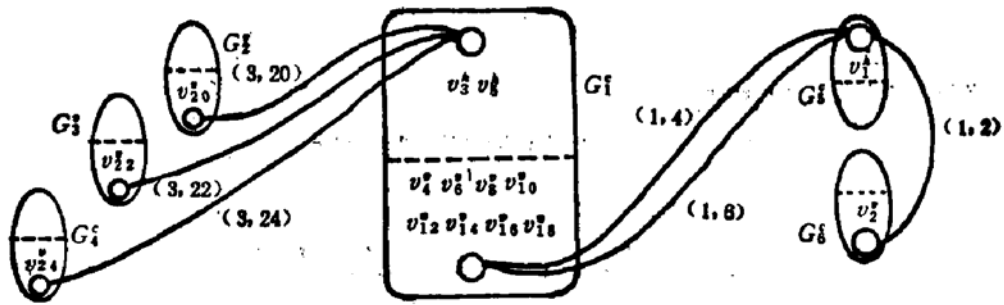


图 2

$V^B, V^A \subset V^B$), 那么所有与 V_k, V_l 相关联的边所对应的导孔都将消除, 否则都将保留。

例如图 2 的情况, 如果作可行划分

$$V^A(G_i) \cup V^B(G_j) \subset V^A$$

$$V^B(G_i) \cup V^A(G_j) \subset V^B$$

则 G_i 和 G_j 之间的两条电连接边 (v_i^k, v_j^l) 和 (v_i^m, v_j^n) 所对应的导孔被消除。

将图 2 予以简化, 子图 G_i 用一个等效的顶点 v_i^* 表示, 得到图 $G^* = (V^*, E^*)$, $V^* = \{V_i^* | i = 1, 2, \dots, n\}$, $E^* = E^c - E^{cu}$, 如图 3。

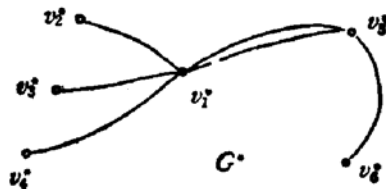


图 3

对图 G^* 的顶点施以二色着色, 分别记为 0 和 1。

定义 5 设图 G^* 已着色, $e_i^* = (v_i^*, v_j^*) \in E^*$, 如果 v_i^* 与 v_j^* 具有不同的着色, 则 e_i^* 称为本征边, 否则称为非本征边。

命题 4 当且仅当边 e_i^* 为本征边时, 它所对应的非本质导孔才被消除。

推论 求解导孔数优化的问题相当于求解图 G^* 的最大偶子图问题。

图 3 的最大偶子图很容易求得, 因而图 1 (a) 的解如图 4 (a) 所示, 导孔数降为 6。



图 4

三、算 法

1. 三联及四联导孔的构造

对构成导孔的三联和四联线段,分别构造图模型如图 5 所示。

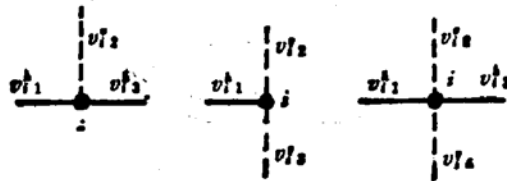


图 5

三联导孔构造两条连接边,

$$(v_{n1}^*, v_{n2}^*) \text{ 和 } (v_{n3}^*, v_{n2}^*) \text{ 或 } (v_{n1}^*, v_{n2}^*) \text{ 和 } (v_{n1}^*, v_{n3}^*)$$

四联导孔构造四条连接边,

$$(v_{n1}^*, v_{n2}^*), (v_{n3}^*, v_{n2}^*), (v_{n1}^*, v_{n4}^*) \text{ 和 } (v_{n3}^*, v_{n4}^*)$$

因为图 G^* 中的边 E^* 是图 G 中的电连接边的组合和加权,故可得出这样的结论,在对图 G^* 着色的过程中,一些边的权值,依赖于另外一些边是否为本征边,或者说依赖于这些边所关联的顶点的着色情况。于是,引入多联导孔后的图论着色就成为求变权图的最佳着色或最大偶子图问题。

使用了三联导孔构造后,图 1(a) 的优化结果见图 4(b)。导孔数得到进一步减少。

2. 冗余导孔的引入

在布线的垂直或水平线段上引入冗余导孔是尽可能地减少导孔数的有效方法。

引入冗余导孔的位置选择必须符合设计规则,并且该冗余导孔的左右(或上下)具有垂直(或水平)的约束线段,以便该导孔能发挥作用且又不会因为线段的重复分割使问题的规模增大。

对水平(或垂直)线段上的冗余导孔建立垂直(或水平)的伪线段,将冗余导孔作为三联导孔处理。伪线段是没有长度的,因而也没有任何约束关系。在本文的算法中,对冗余导孔增加了特殊处理,使伪线段不占用实际的存贮空间。

记

$$H_i = \begin{cases} 0 & \text{导孔 } i \text{ 消除} \\ 1 & \text{导孔 } i \text{ 存在} \end{cases}$$

$$\Gamma(v_i^*) = \begin{cases} 0 & v_i^* \text{ 着色为 } 0 \\ 1 & v_i^* \text{ 着色为 } 1 \end{cases}$$

由图 G^* 的构造可知,若 $v_i^*, v_j^* \in v_k^*$, 则

$$\Gamma(v_i^*) = \Gamma(v_j^*) = \Gamma(v_k^*)$$

四联导孔 i 可由下列布尔表达式决定

$$\bar{H}_i = (\Gamma(v_{n1}) \oplus \Gamma(v_{n2})) \cdot (\Gamma(v_{n3}) \oplus \Gamma(v_{n4})) \cdot (\Gamma(v_{n3}) \oplus \Gamma(v_{n1}))$$

引入三态逻辑,上式可用于三联及二联导孔的情形。

着色后的导孔数 $= \sum_{i=1}^N H_i$ 其中 N 为着色前的导孔数。

由于三联和四联导孔是分别由二条和四条连接边来决定的,所以可得:

命题 5 对于多联导孔,当且仅当决定这个导孔的所有连接边均为本征边时,该导孔才消除。

因此,如果决定某一导孔的连接边集中有一条或几条为非本征的,这个导孔一定不能消除,那么连接边集中决定这个导孔的其它边是否必须成为本征边就是无关紧要的,在图论的意义上即是这些连接边的权重为零。

引入冗余导孔,可使一些原来比较大的约束顶点集分裂为两个或多个较小的约束顶点集或顶点,它们之间由伪线段构成的顶点相连。

命题 6 冗余导孔起作用的充分条件为,在图 G^* 中,代表与该导孔相关联的伪线段的顶点 v_p^* 所在的两个面的边界是奇回路,且这两个回路上边的权值(除与 v_p^* 相关联的边外)均大于 1。

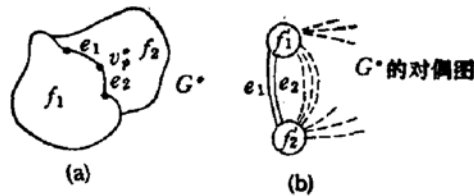


图 6

证明:显然图 G^* 是一个平面图。满足这个充分条件的图 G^* 及其对偶图见图 6 (a)(b),对图 G^* 进行最佳二着色,相当于在 G^* 中移去权值总和最小的边集,使 G^* 中不存在奇回路。对上图来说,消除 f_1 和 f_2 两个奇回路也即求其对偶图中对偶顶点 f_1 和 f_2 之间的最短通路,这条通路的边集就是上述最小边集。因为冗余导孔的电连接边 e_1 和 e_2 的权值为 1,而对偶图中其他边权值均大于 1,故最短通路为 e_1 或 e_2 。由 v_p^* 的构造可知 e_1, e_2 同为非本征边,代表同一个冗余导孔。而其他边全为本征的。

由命题 6 可以看到顶点集分裂以前非本征边可能是权重比较大的边,顶点集分裂后,非本征边转移到与 v_p^* 相关联的边上,使权重较大的边成为本征的。

在有多个奇数圈的情形时,还可给出更强的充要条件。

命题 7 在最佳着色时,冗余导孔起作用的条件是当且仅当与 v_p^* 相关联的边在 G^* 的对偶图中位于这样一条通路上,即由所有的对偶奇顶点以及它们之间的最短通路长度为边权组成的完全图的最小完美匹配边集所包含的通路。

3. 变权图的最大偶子图算法

变量说明:

$V_{\text{tex}}[i]$:第 i 个 G^* 的顶点;

n :顶点个数;

$V_{\text{tex}}[i]-\text{color}$:第 i 个顶点的着色;

$V_{\text{tex}}[i]-\text{delta}$:反色前后顶点 i 中的线段换层引起的导孔数的增益。

算法过程如下:

for all n do

```

Vtex[i]-color = 0; (1)
do{
  for all n do
    Vtex[i]-delta = 顶点 i 反色所取得的增益; (2)
  for i = 1 to n do{
    find j for
      Vtex[j]-delta is maximum
      and Vtex[j] not locked; (3)
    invert Vtex[j]-color;
    lock Vtex[j];
    gain[i] = Vtex[j]-delta; (4)
    sequence[i] = j;
    for all Vtex[k] to which Vtex[j]
      is adjacent do
        update Vtex[k]-delta; (5)
  }

  find s to maximize  $G = \sum_{i=1}^n \text{gain}[i]$ ;
  for i = s to n do
    invert Vtex[sequence[i]]-color;
    for all n do
      unlock Vtex[i];
} until G < 0;
STOP

```

其中第(3)步是找出增益最大的顶点,因为对 n 个顶点共需进行 n 次搜索操作,计算复杂性为 $O(n^2)$ 。第(5)步修正与反色顶点相邻接的各顶点的增益,设图 G^* 顶点的平均度数为 \bar{m} ,计算复杂性为 $\bar{m}n$ 。故整个算法的计算复杂性是二次的。由于直接采用了导孔数作为优化目标函数,优化过程中目标函数始终单调下降,算法一定是收敛的。

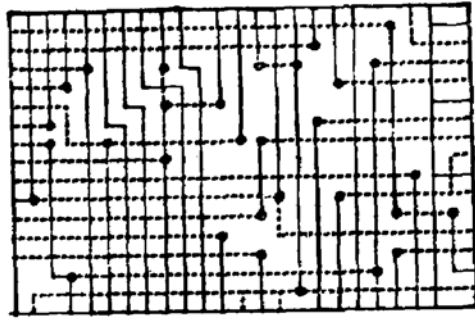
四、结 果

上述算法通过测试表明,在考虑了三联及四联导孔并引入了冗余导孔之后,优化程度得到了提高。

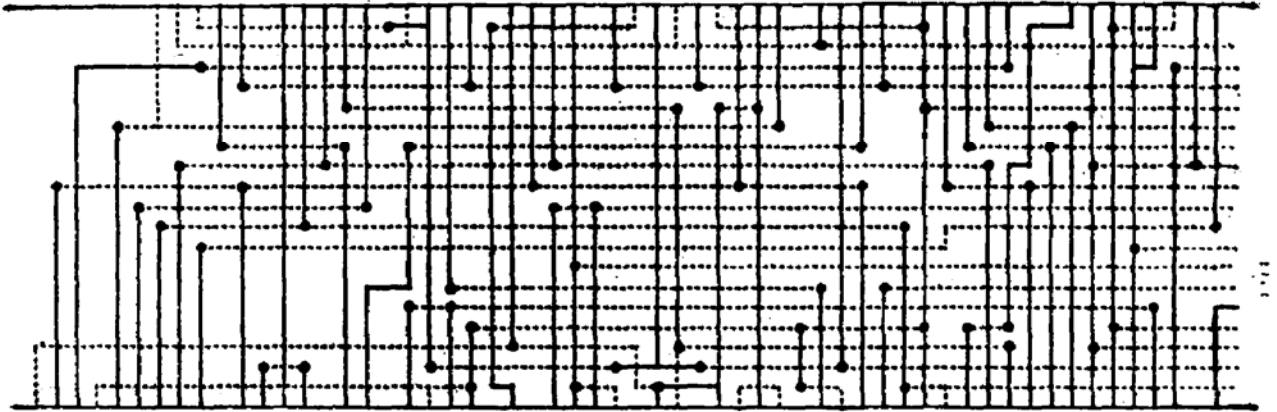
附图分别为 switch-box, 通道布线和 BBL 布线导孔优化后的结果。

计算结果见表 1。表中例 6 和例 7 是复旦大学多元胞布图系统 POLS 设计的 120 门和 400 门的实际电路。

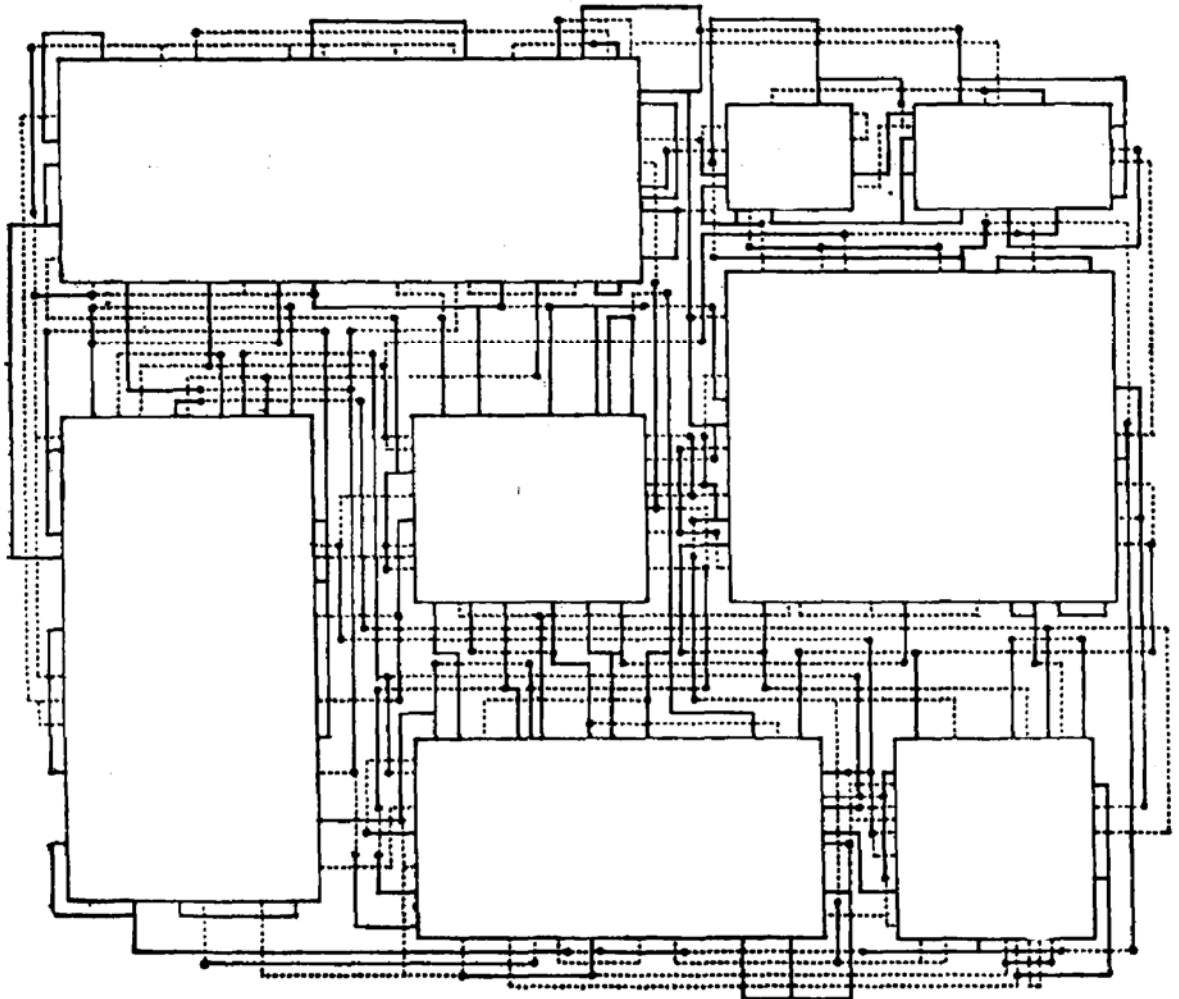
据实例计算,平均优化程度为 30—50%。优化程度与布线密度紧密相关,布线密集的,优化导孔数较少。



附图 1



附图 2



附图 3

表 1

例	原有导孔数	优化后导孔数	CPU 时间 (s)	迭代次数	注
1	51	31	6.86	2	附图 1
2	57	37	6.51	1	
3	91	62	17.45	2	
4	111	79	20.16	1	附图 2
5	300	132	62.25	4	附图 3
6	226	92	40.46	3	
7	788	455	400.44	2	

在本文的工作中,安徽大学张良震教授为作者提供了有关资料和帮助,与蒋君伟同志进行了有益的讨论,作者在此一并致谢。

参 考 文 献

- [1] A. Hashimoto and J. Stevens, Proc. 8th Design Workshop, 155(1971).
- [2] Y. Kajitani, Proc. 1980 ICCD, 295(1980).
- [3] R. W. Chen, Y. Kajitani and S. P. Chan, Conference Records of the 15th Asilomar Conference on Circuits, Systems and Computers, 22(1981).
- [4] 张良震,第五届电路与系统会议论文集,260(1984).
- [5] B. W. Kernighan and S. Lin, *Bell Syst. Tech. J.*, 49, 291(1970).

Via Optimization Algorithm of 2-Layer Wiring in VLSI

Li Yingmeng and Tang Pushan

(Department of Electronics Engineering, Fudan University Shanghai)

Abstract

This paper presents a method of looking for the solution of 2-layer-metal-wiring via optimization problem. According to topological characteristics and electrical connectivity, the wiring is transferred to its equivalent graph with edges weighted in the graph theory. The method is then extended to the case of 3-and 4-linkage via, and redundant vias are introduced to reduce the existing ones still further. Finally an algorithm of obtaining the maximum bipartite graph of variable-edge-weight is presented to optimize the 3-/4-linkage vias. The results of the algorithm show that 30%—50% vias can be eliminated.

KEY WORDS: LSI, Computer aided design. Computer design automation, Optimization