

单片集成 InGaAs PIN-JFET 光接收器的设计与研制

张永刚 富小妹 潘慧珍

(中国科学院上海冶金研究所)

1987年9月9日收到

本文报告了一种 OEIC 器件: 单片集成 InGaAs PIN-JFET 光接收器的设计与研制结果。为解决光电器件与电子器件在集成上的兼容性, 采用了在结构衬底上进行平面化外延的新工艺, 达到了器件的准平面结构, 并对器件的主要参数进行了计算, 选取了最佳的载流子浓度。制成的单片集成器件中, PIN 光探测器的量子效率在 $1.3\mu\text{m}$ 处为 57%, 暗电流在 -5V 下小于 100nA , JFET 的跨导为 $34\text{ms}/\text{mm}$, 与计算值相符。对器件进行光接收功能测试获得了预期的结果。

主题词: 光电子集成电路、InGaAs 合金半导体、光探测器、场效应晶体管。

一、引言

随着光通信和光信息处理技术向高速化方向发展, 光电子集成电路 (OEIC) 引起了日益广泛的关注。OEIC 与分立器件相比具有一系列优点, 文献[1]中对此作了较为详细的讨论。在 InP 系材料中, InGaAs 具有很高的电子迁移率, 适合于制作高速电子器件, 且其带隙为 0.75eV , 适合于 $0.9-1.65\mu\text{m}$ 的光探测。因此, 在 InGaAs 上进行长波长光接收器的单片集成是很有前途的, 其中 PIN-JFET 是一种很有希望的形式。国外对此已有报道^[2-3], 但国内这方面工作开展较少。本文报告了准平面结构的单片集成 InGaAs PIN-JFET 光接收器的设计与研制初步结果。

二、器件设计

对 OEIC, 设计中首先必须解决的问题是光电器件和电子器件在材料和器件结构等方面的兼容性问题。就 PIN-JFET 的单片集成而言, 必须解决 PIN 光探测器和 JFET 在有源区厚度和载流子浓度上的兼容性问题, 以下分别讨论。

对 JFET, 一般要求有源区有较高的载流子浓度以获得较高的跨导。而对 PIN 光探测器, 有源区的载流子浓度则不能太高, 否则会使暗电流和结电容增加, 量子效率下降。为此我们对 JFET 的跨导、饱和电流及 PIN 光探测器的暗电流与有源区载流子浓度的关系进行了计算, 结果如图 1 所示。

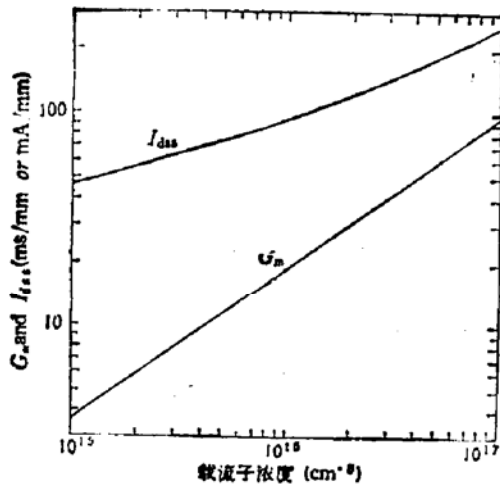


图 1(a) JFET 单位栅宽的跨导 G_m 及饱和电流 I_{dss} 与沟道区载流子浓度的关系

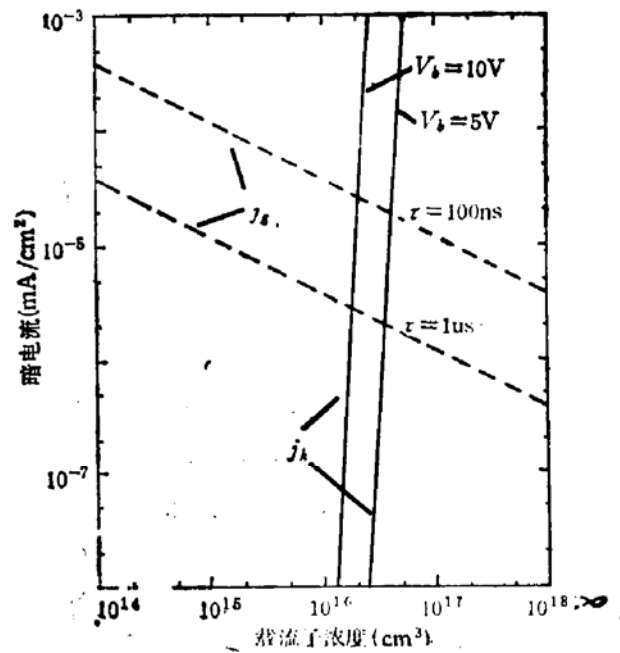


图 1(b) PIN 光探测器的暗电流密度与有源区载流子浓度的关系

图 1(a) 为 JFET 单位栅宽的跨导 G_m 和饱和电流 I_{dss} 与沟道区载流子浓度的关系。计算中采用了文献[6]的方法,即首先根据 Shockley 理论采用常迁移率和缓变沟道近似进行计算,然后计及速度饱和效应,根据 InGaAs 的速场特性采用双曲函数速场关系近似对计算结果进行修正。计算中 InGaAs 的饱和电场取 3.3kV/cm ,低场迁移率与载流子浓度的关系用公式(1)计算,此公式是根据对我们制作的 InGaAs 外延片进行 Hall 测试所得结果进行拟合得出的。计算中设 JFET 的夹断电压为 -4V ,栅压 0V ,栅长及栅源间距均为 $4\mu\text{m}$,并考虑了栅源体串联电阻及源欧姆接触电阻的影响。

$$\mu_n = 15000 / \sqrt{1 + N_D / (10^{15} + N_D / 5.5)} \text{ cm}^2/\text{V} \cdot \text{S}, \quad (1)$$

N_D 以 cm^{-3} 计

PIN 光探测器的暗电流由扩散、产生-复合、隧道及表面漏电等分量组成^[7]。经对其进行定量计算分析,我们认为隧道电流及由势垒区中的深能级杂质和缺陷等复合中心引起的产生电流起支配作用,图 1(b) 示出了计算结果。由图可见,当 N_D 大于 $2 \times 10^{16}\text{cm}^{-3}$ 以后隧道电流密度 j_k 将急剧增加,并且受偏置电压 V_b 的影响较大。产生电流密度 j_g 则主要由复合中心引起的间接复合的有效寿命 τ 决定,为此工艺中应尽量避免引入深能级杂质和缺陷等复合中心。

由图 1 可见,为兼顾 PIN 光探测器与 JFET 的特性,InGaAs 中的载流子浓度以 $1-2 \times 10^{16}\text{cm}^{-3}$ 为宜,可获较佳的综合指标,此时器件的击穿电压大于 10V ,可以满足要求。

在有源层的厚度方面,JFET 要求栅区较薄,否则夹断电压和饱和电流过大,而 PIN 光探测器则要求光吸收区较厚,以利充分吸收提高量子效率。为此,我们设计并开发了采用结构衬底进行平面化外延的新工艺,利用 LPE 的各向异性生长特性用一次外延形成具有不同厚度外延层的外延片,且其表面为平面以利后道工艺制作。

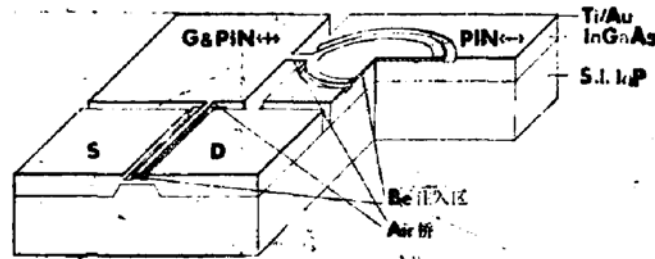


图2 准平面结构单片集成 InGaAs PIN-JFET 光接收器的结构图

图2为我们设计并研制的单片集成器件的结构图。此器件中 JFET 的栅长和栅源间距均为 $4\mu\text{m}$ ，栅宽 $100\mu\text{m}$ ，栅区厚约 $1.4\mu\text{m}$ ，PIN 光探测器的光敏区直径为 $80\mu\text{m}$ ，厚约 $5\mu\text{m}$ 。为减少分布电容，连线采用了空气桥结构，使有源区的面积达到最小。电极材料采用了蒸发 Ti/Au，增加了沾附性，满足了采用湿法腐蚀工艺的需要。与文献[2—4]相比，此器件中 JFET 的漏极和 PIN 光探测器的负极是分开的，这样给电路联接带来方便，并且两器件的工作点可分别调至最佳。

三、器件制作

首先在(100)晶向的半绝缘 InP 衬底上刻蚀出宽 $30\mu\text{m}$ ，高 $5\mu\text{m}$ ，间距 $500\mu\text{m}$ 的脊形条结构，然后进行平面化 LPE 生长^[3]。图3为外延片的解理显微照片。外延片经轻微腐蚀减薄至 JFET 的栅区厚约 $1.4\mu\text{m}$ ，然后淀积 SiO_2 ，在 SiO_2 上刻蚀出离子注入区，进行选择 Be 离子注入^[3]，注入能量 30KeV ，剂量 $1 \times 10^{14}\text{cm}^{-2}$ 。注入后经退火处理，形成的 pn 结深约 $0.6\mu\text{m}$ 。去除 SiO_2 后蒸发 Ti/Au，然后刻蚀出电极图形，再刻蚀出隔离槽，最后刻蚀出光纤耦合孔，制成的芯片进行电特性测试。

四、结果与讨论

对制成的器件进行了电特性测试，图4为此单片集成器件中 JFET 的输出特性。在载流子浓度为 $2 \times 10^{16}\text{cm}^{-3}$ 时零栅压下的跨导为 34mS/mm ，与计算值相符。PIN 光探

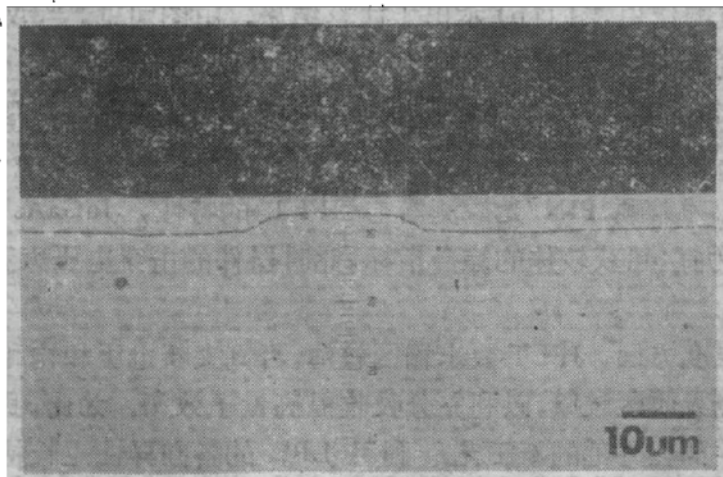


图3 在结构衬底上进行平面化 LPE 生长外延片的解理显微照片

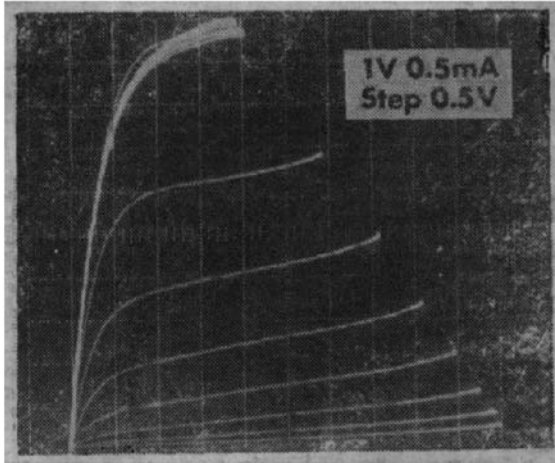


图4 单片集成光接收器中 JFET 的输出特性

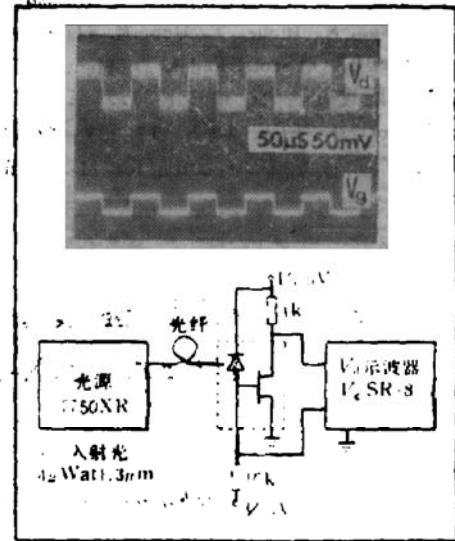


图5 单片集成光接收器的光接收功能测试结果及所用测试系统

测器的量子效率在 $1.3\mu\text{m}$ 处为 57%，如增加抗反射涂层则量子效率可望进一步提高。暗电流在 -5V 下小于 100nA 。我们还对此单片集成光接收器的光接收功能进行了测试，结果与预期相符。图 5 为测试结果及所用测试系统。

对此器件，在现有工艺条件下，如将 JFET 的栅宽增至 $650\mu\text{m}$ ，则优值系数可达最佳，此时器件的截止频率计算值为 1GHz ，可用于 140Mbit/s 的系统。如进一步改进工艺，采用自对准结构，减少栅长，分别控制 JFET 栅区和 PIN 光探测器吸收区的载流子浓度，则器件的工作速度可大幅度提高，有望用于超高速系统。利用现有设计结构将多个 JFET 与 PIN 光探测器集成构成完整的光接收模块，可给实用上带来更大方便。这几方面进一步的工作正在进行之中。

五、小 结

1. 采用较新颖的设计及工艺制成了准平面结构的单片集成 InGaAs PIN-JFET 光接收器。
 2. 采用了在结构衬底上进行平面化外延的新工艺，并适当选取载流子浓度，达到了 PIN 光探测器及 JFET 工艺上的兼容。
 3. JFET 的跨导为 34mS/mm ($N_D = 2 \times 10^{16}\text{cm}^{-3}$, $L = 4\mu\text{m}$)，PIN 光探测器的量子效率为 57% ($1.3\mu\text{m}$)，暗电流小于 100nA (-5V)，与计算值相符。
 4. 进行了光接收功能测试，得到了预期的结果。
- 北京师范大学陈如意同志在 Be 离子注入方面给予协助，在此表示感谢！

参 考 文 献

- [1] Q. Wada, T. Sakurai, and T. Nakagami, *IEEE J-QE* 22, 805—21 (1986).
- [2] R. F. Lehouy, R. E. Nahory, M. A. Pollack, A. A. Ballman, E. D. Beebe, J. C. DeWinter and R. J. Martin, *Electron. Lett.* 16, 333—5 (1980).

- [3] S. Hata, M. Ikeda, T. Amano, G. Motosugi and K. Kurumada, *Electron. Lett.*, **20**, 947—8 (1984).
- [4] K. Ohnaka, K. Inoue, T. Uno, K. Hasegawa, V. Hase and H. Serizawa, *IEEE. J-QE*, **21** 1236—9 (1985).
- [5] D. Wake, E. G. Scott, and I. D. Henning, *Electron. Lett.* **22** 719—21 (1986).
- [6] 亢宝位《场效应晶体管管理论基础》科学出版社(1985).
- [7] S. R. Forrest, *IEEE. J-QE*, **17** 217—26 (1981).
- [8] Zhang Yonggang, Dissertation for M. Sc. degree. (1987).

Design and Fabrication of Monolithically Integrated InGaAs PIN-JFET Photoreceivers

Zhang Yonggang, Fu Xiaomei and Pan Huizhen

(Shanghai Institute of Metallurgy, Academia Sinica)

Abstract

An OEIC device: monolithically integrated InGaAs PIN-JFET photoreceiver has been designed and fabricated. For the compatible quasi-planar integration of optoelectronic device with electronic device, a new process has been developed for the planing LPE growth on structured substrate. Main device characteristics have been calculated for the optimization of the carrier concentration. The quantum efficiency of the PIN photodetector is 57% at 1.3 μm , its dark current is less than 100 nA at -5 V. JFET's transconductance is 34 ms/mm at 4 μm gate length, that conforms to the calculated value. The function of integrated photoreceiver has been demonstrated.

Key words: Optoelectronic integrated circuit (OEIC), InGaAs alloy semiconductor, Photodetector, Field effect transistor (FET).