

大功率晶体管刻槽与钝化工艺研究

万 积 庆 廖 晓 华
(湖南大学,长沙) (衡阳晶体管厂)

1988 年 8 月 16 日收到

本文介绍一种光刻刻蚀造型和聚酰亚胺钝化方法。这一新方法称耗尽层刻蚀,它可以使平面型晶体管达到理想击穿电压,而只需用负角斜面所占面积的一部份,且其实际击穿电压取决于对刻蚀深度的细心控制。

实验证明:采用这一新方法可以改善功率晶体管的击穿特性;减少低压击穿;抑制小电流 H_{FE} 退化;减小表面漏电流和改善高温反向特性。

主题词: 晶体管、大功率、刻蚀、耗尽层、钝化、工艺

一、前 言

大功率晶体管的台面造型与钝化技术是影响其质量与成本的关键技术,为当前大功率晶体管生产中引人注目的问题。国内外对此进行了广泛深入的研究,目前国内主要采用的是负角斜面造型技术,其次是正角斜面造型技术,国外则除采用以上技术外,还有深槽刻蚀、耗尽层刻蚀、衬底刻蚀和平面结刻蚀技术^[1-3]。

本文采用一种新的光刻刻除耗尽层技术,即将重掺杂一侧的材料刻去一部份,刻蚀深度接近或超过 p-n 结界面,显然,采用这一方法在原理上类似于负角斜面造型技术,都是迫使重掺杂一侧耗尽层扩展,以降低表面电场。但是较之负角斜面造型技术有如下优点:节约芯片面积,大片刻蚀代替了单个管芯的机械造型,且耗尽层刻蚀配合聚酰亚胺钝化,可以去掉传统工艺中的黑胶掩蔽腐蚀,从而避免了黑胶对晶体管的污染和甲苯等有毒物对操作者的影响^[4]。

实验证明,采用此新工艺制作的大功率晶体管与传统工艺作的大功率晶体管比较,前者击穿电压可达理想值的 80%,小电流下 H_{FE} 退化小,反向漏电流小,高温反向特性稳定。

二、样品制备

工艺规范如下:

1) 刻槽腐蚀

腐蚀液配方: $HNO_3:HF:CHA = 4:1:1$

2) PI-5 聚酰亚胺涂布与前烘

转速: $n = 3000 \sim 5000$ 转/分。前烘: $T = 100^\circ C$, $t = 60$ 秒

3) 涂胶与前烘

转速: $n = 5000$ 转/分. 前烘: $T = 80^\circ\text{C}$, $t = 20$ 分

4) 曝光. 800 瓦 汞灯, $t = 30$ 秒

显影: 丁酮 2-4 分钟. 定影: 丙酮 2-4 分钟

5) 引出线压焊点刻蚀(刻聚酰亚胺)

刻蚀液: (0.3-0.5)% 四甲基氢氧化胺水溶液. 刻蚀时间: $t = 15-30$ 秒

6) PI-5 聚酰亚胺固化, 充氮气 (2l/分), 逐步升温: $T = 150^\circ\text{C}(30') + 250^\circ\text{C}(30')$
+ $350^\circ\text{C}(36')$, 换大氧 5l/分, 升温至 380°C , 去除光刻胶

7) 背面喷砂打毛后, 蒸镍

8) 中测电参数、切片、选片和装架烧结

9) 键合后再涂 PI-4 聚酰亚胺

从以上工艺规范可看出, 大片刻蚀与钝化代替了单个管芯的机械磨角, 去除了黑胶掩蔽腐蚀, 甲苯去黑胶等工序.

图 1 是 10W 功率晶体管芯片照片, 芯片表面与沟槽内涂有聚酰亚胺, 光刻开出基极和发射极引线孔.

图 2 是用 AIPHO-STEP100 型测试仪测得的槽的形貌、槽深 $y = 25\mu\text{m}$, 槽宽 $2x = 500\mu\text{m}$, 芯片结深 $x_j = 27\mu\text{m}$

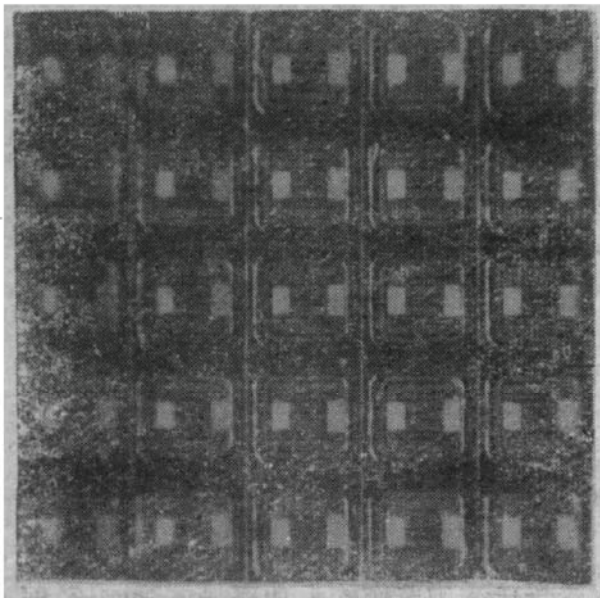


图 1 10W 功率管芯片

从刻槽形貌可见, 槽深已进入集电结界面, 即进入耗尽层, 因此称为耗尽层刻蚀.

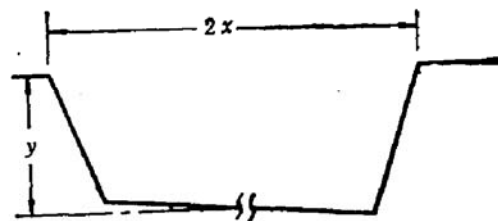


图 2 刻槽形貌

$$2x = 500\mu\text{m} \quad y = 25\mu\text{m}$$

三、结果分析

1. 反向击穿电压有明显提高.

目前所采用的结外形造型技术都具有相同的目标, 即让表面峰值电场低于体内击穿时所对应的临界电场. 平面型耗尽层刻蚀技术和负角斜面造型技术同样是刻除部份高掺杂区, 所谓耗尽层刻蚀是指刻蚀深度必须接近或进入集电结耗尽区, 从而控制耗尽区的电荷重新分布.

若将随材料刻去的耗尽层电荷记为 Q_R , 低掺杂一侧耗尽层电荷记为 Q_L , 在重掺杂

侧出现的超量贮存电荷记为 Q_H , (见图 3)。减少的 Q_R 应与 Q_H 和 Q_L 平衡。

借助计算机, 可得到耗尽层刻蚀和负角台面结构的二维泊松方程的精确解。计算击穿电压时, 采用 Van Overstraeten 和 De Man 雪崩倍增系数^[5], 并假定击穿时雪崩因子为无限大; 复盖在表面上的介质的介电常数为 4。表 1 给出对衬底掺杂 $3 \times 10^{13}/\text{cm}^3$ 、表面浓度 $6 \times 10^{16}/\text{cm}^2$ 、结深 $200 \mu\text{m}$ 情况下的几种计算结果^[6]:

从表 1 可看出, Q_H 值越大, 体内电场越大, 击穿电压越低, 而负角 6° 斜面结构 Q_H 最大, 应注意的是, 表面电场项是双值, 对浅刻蚀, Q_L 较小, 一般在靠近点“2”的峰值电场大。(见图 3); 对深刻蚀, Q_L 和 Q_H 较大, 在靠近点“1”峰值电场较大。当刻蚀深度超过 $43 \mu\text{m}$ 时, 击穿电压降低, 并且要求槽宽减小。要得到理想的击穿电压应尽量减少 Q_H 值。

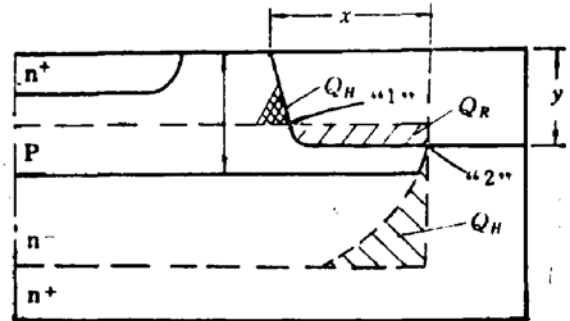


图 3 平面结耗尽层刻蚀示意图

表 1 耗尽层刻蚀与 6° 负角斜面结构比较

样 品	电压 (V)	体峰值电场 ($\times 10^5 \text{V/cm}$)	表面峰值电场 ($\times 10^5 \text{V/cm}$)	Q_H (μmc)	Q_L (μmc)	x (μm)	击穿电压计算值 (V)
6° 负角台面	3500	1.77	0.92	780	6200		3480
耗尽层刻蚀 $y = 56 \mu\text{m}$	3500	1.7	1.33 1.05**	560	2240	203	3630
耗尽层刻蚀 $y = 48.3 \mu\text{m}$	3500	1.60	1.14 0.97**	390	1840	254	3820
耗尽层刻蚀 $y = 43.2 \mu\text{m}$	3500	1.60	0.6 1.25**	290	860	508	4050

“.” 靠近“1”点最大电场值 “**” 靠近“2”点最大电场值

根据计算和实验结果, 槽宽 x 可选为 $x = W_L$, y 值可按以下近似关系选取:

$$x_i - y = W_H - \frac{N_{BC} \cdot W_L}{2N_{BV}} \quad (1)$$

式中, x_i 为集电结结深, y 为刻槽深度, N_{BC} 为衬底掺杂浓度, N_{BV} 为高掺杂区平均掺杂浓度, W_H 为高掺杂区理想一维击穿时耗尽层厚, W_C 为低掺杂区一维耗尽层厚。

图 4 给出了六组平面结芯片 360 个管芯的测试结果, 芯片电阻率分别为 $40 \Omega \cdot \text{cm}$ 和 $12 \Omega \cdot \text{cm}$, 结深 $27-30 \mu\text{m}$, 刻蚀深度分别为 $17 \mu\text{m}$ 、 $22 \mu\text{m}$ 、 $25 \mu\text{m}$ 。从图 4 看出, 所有实验值都落在理论曲线的附近, 表明按 (1) 式选取的刻蚀深度 y , 可使集电结击穿电压 BV_{BO} 达到一维理想值的 80%。

耗尽层刻蚀结构和负角斜面结构都可以提高反向击穿电压, 但两者比较, 耗尽层刻蚀中可调整槽宽 x 和槽深 y , 使得 Q_H 尽量小, Q_L 大到足以使表面击穿与体内击穿同时发生。用负角斜面结构, Q_L 与 Q_H 随角度改变量是一定的, 一个小的 Q_H 值, 要求非常

小的负角如 6° ^[1]。这对大功率器件的有源面积是很大的浪费。此外，耗尽层刻蚀技术是

大片成形刻蚀和钝化不用黑胶和甲苯，而负角斜面造型时，需要黑胶保护和甲苯等反复清洗，且钝化膜易脱落。

平面型和台面型耗尽层刻蚀结构比较，平面型较台平型多一次基区光刻工序，但台面型在划片后尚需进行台面钝化，这一工序较光刻基区繁琐和容易污染，采用平面型结构，基区窗口边缘应力集中，具有吸收杂质和缺陷作用，在这里形成低压击穿区，将内槽套在窗口边缘，正好刻去低压击穿区。经实验证明，采用平面型结构低压击穿少，成品率高。

2. 小电流 H_{FE} 退化是大功率晶体管常见现象，在研究 $3DD_{61}$ 小电流退化

现象时，得出引起小电流退化是基区表面耗尽区复合；发射极势垒复合；表面沟通漏电。三者中主要是基区表面复合。文献中推导出小电流 H_{FE} 表达式为^[7]

$$\frac{1}{H_{FE}} = \frac{W_b}{\lambda L_{nb}} + \left(\frac{X_D}{\tau_0} + s_0 \frac{A_s}{A_{ic}} \right) A_{ic} \left(\frac{8W_b \bar{N}_b}{4A_c D_{nb} I_c} \right)^{1/2} \quad (2)$$

对 10W 功率晶体管选以下参数值：

表面耗尽层面积： $A_s = 2.2 \times 10^{-3} \text{cm}^2$ ，发射结面积： $A_{ic} = 3.2 \times 10^{-2} \text{cm}^2$ ，基区平均杂质浓度： $\bar{N}_b = 10^{17} \text{cm}^{-3}$ ，衬底杂质浓度： $N_{DC} = 5 \times 10^{14} \text{cm}^{-3}$ ，基区表面浓度： $N_{B0} = 5 \times 10^{19} \text{cm}^{-3}$ ，集电结结深： $x_{jc} = 25 \mu\text{m}$ ，基区电场因子： $\lambda = 10$ ，少子扩散长度 $L_{nb} = 2.54 \times 10^{-3} \text{cm}$ ，发射极势垒宽度： $X_D = 1 \times 10^{-3} \text{cm}$ ，少子寿命： $\tau_0 = 5 \times 10^{-7} \sim 2.0 \times 10^{-6} \text{s}$ 。

当表面复合速度 s_0 取 0、4.6、6、8、10、12cm/s 时，解方程(2)得 H_{FE} 与 I_c 的关系曲线，(见图5)。

取 100 支用 PI-5 聚酰亚胺钝化的 10W 功率管，实测 H_{FE} 的平均值与 $s_0 = 0$ 至 $s_0 = 4.6$ 之间的曲线相吻合，取 100 支气相钝化管子（老工艺）、实测 H_{FE} 平均值与 $s_0 = 12$ 曲线相吻合、可见聚酰亚胺钝化降低了表面复合速度，从而抑制了小电流退化。

3. 高温反相特性有明显改善。

在 $T = 100^\circ\text{C}$ ， $V_{CB} = 100\text{V}$ 下检测高温漏电流在 μA 级以下，在 $T = 100^\circ\text{C}$ ， $V_{CB} = 300$ 伏， $t = 500\text{h}$ 的高温反偏实验，取 22 支 10W 功率管集电极、基极分别并联，加压 $V_{CB} = 300\text{V}$ 、在室温下测试 $\sum_{i=1}^{22} I_{cb0i} =$

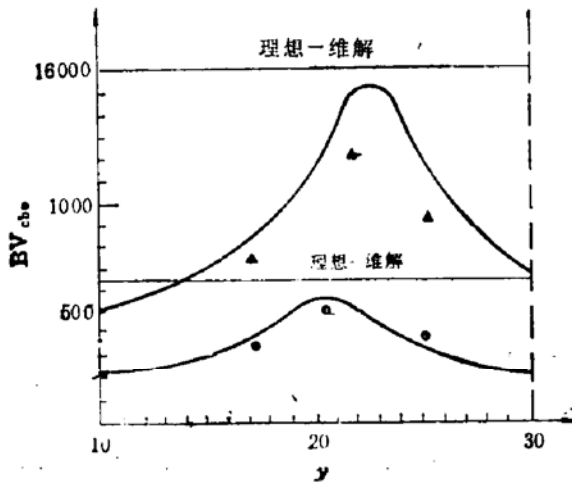


图 4 刻蚀深度与 BV_{cbo} 关系曲线

图中 \blacktriangle 代表芯片衬底浓度 $N_{BC} = 1.25 \times 10^{14} \text{cm}^{-3}$

\bullet 代表芯片衬底浓度 $N_{BC} = 4.2 \times 10^{14} \text{cm}^{-3}$

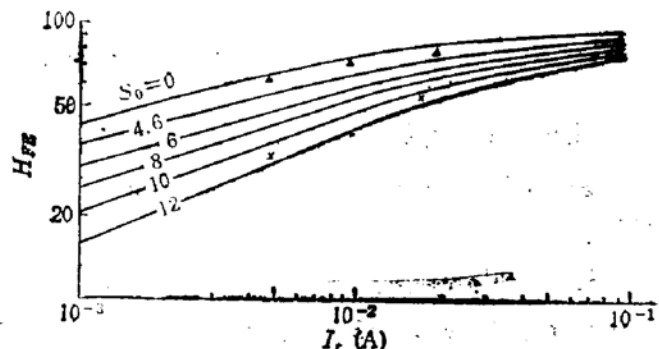


图 5 小电流 H_{FE} 与 I_c 关系曲线

\blacktriangle 经钝化 \times 未经钝化

$2\mu\text{A}$, 升温至 100°C , 100h 后, 稳定在 $\sum I_{cboi} = 0.42\text{mA}$, 以后不再变化, 500h 后, 冷却到室温, (2h 后) 再测试, $\sum I_{cboi} = 4\mu\text{A}$, 平均每支的 $I_{cbo} = 0.18\mu\text{A}$, 比规范值 1mA 小几个数量级。

四、结 论

1. 长期来, 为解决大功率管耐压问题, 常规工艺是采用铝扩散加硼扩散和台面结构, 这种工艺有两个主要缺陷: 大电流特性比纯硼基区扩散晶体管差; 铝扩散后要进行机械磨抛, 由于磨抛的误差使片厚不均匀, H_{FE} 很难控制。若采用纯硼扩散可避免以上缺陷, 但是低压击穿现象严重, 成品率低。本文采用平面结耗尽层刻蚀技术, 成功地减少了纯硼基区晶体管低压击穿。

2. 新工艺生产的产品小电流 H_{FE} 退化小、反向漏电小、高温反向特性好。除因聚酰亚胺有良好性能外, 还有两个重要因素: 第一, 钝化安排在管芯烧结之前, 不用黑胶, 避免了黑胶、甲苯对芯片的污染; 第二, 采用平面结结构, 聚酰亚胺膜生长在内槽上, 在工艺流程中膜不易受到划伤或剥落。

3. 光刻耗尽层与聚酰亚胺钝化配合, 实现了整块刻蚀和钝化, 避免了单个管芯机械磨角, 提高了产品性能和成品率。消除了黑胶、甲苯等对环境和对操作者的毒害, 提高了安全生产程度。

参 考 文 献

- [1] M. S. Adler and V. A. K. Temple, *IEEE Trans. E. D.* ED-23, (1976).
- [2] V. A. K. Temple and M. S. Adler, *IEEE Trans. E. D.* ED-24, 1077(1977).
- [3] V. A. K. Temple and M. S. Adler, *IEEE Trans.* ED-24, 1304(1977).
- [4] 廖晓华、万积庆, 湖南大学学报, No.4, 66(1987).
- [5] R. Van Overstraeten and H. De Man, *Solid state Electron*, 13, 583(1970).
- [6] V. A. K. Temple and M. S. Adler, *IEEE Trans. E.D.* ED-23, 950 (1976).
- [7] 万积庆、曾云、曾沃、陈迪平, 半导体杂志, 5 期, p12—p15 (1985).

Investigation of Photolithographing Etch Contour and Surface Passivation of High Power Transistor

Wan Jiqing

(Hunan University, Changsha)

Liao Xiaohua

(Hengyang Transistor Factory)

Abstract

In this paper, a new method of photolithographing Etch contour and kapton surface passivation of high power transistor is presented. The new method, termed the depletion etch method, is capable of giving virtually ideal breakdown voltage for planar type transistor and uses only a fraction of the area required for a typical negative bevel. The actual breakdown voltage depends on how carefully the etch is controlled.

Experimental results shows that this method improved junction breakdown properties, decreased small-current common-emitter gain H_{FE} fall and surface leakage current and improved junction high temperature properties.

KEY WORDS: Transistor Etch Depletion, Technique Passivation, Photolithograph