

研究简报

TiSi₂ 薄膜的形成特性及 TiSi₂/多晶硅 复合栅结构的研究

陶 江 赵铁民 张国炳 王阳元

(北京大学微电子学研究所)

汪 锁 发

(中国科学院微电子中心,北京)

李 永 洪

(北京市有色金属研究总院)

1988年8月1日收到

本文用反应生成和合金靶溅射两种方法生成了 TiSi₂ 薄膜,并对其形成特性进行了研究,同时将所形成的 TiSi₂ 薄膜应用于 MOSFET 和 MOS 电容的制作中。结合电学性质的测量和TEM(横截面)在位观察,研究了 TiSi₂/多晶硅复合栅结构的特性,发现当多晶硅厚度小于某一临界值时,经高温炉退火后, SiO₂/Si 界面将会产生许多新的界面态, SiO₂ 层中会产生缺陷。对离子注入和热扩散掺杂的两种样品,多晶硅层厚度的这个临界值几乎是相同的。根据我们的实验和分析结果,证实了在 TiSi₂ 薄膜的形成过程中所引入的应力是产生上述现象的基本原因。

主题词: TiSi₂, 多晶硅, 自对准技术, MOSFET, MOS 电容, 临界值, 栅氧化层

一、引 言

随着 VLSI 的发展、集成度的提高、加工尺寸的缩小,互联引线已成为限制电路速度的主要因素。一般当器件尺寸下降到 1.5 μm 以下时,对于长引线条的数字电路,目前的多晶硅栅和互联技术已不再适用,因而发展了一种新的器件和互联结构,即多晶硅栅上加一层金属硅化物,形成硅化物/多晶硅复合栅(Polycide),这种结构既保持了 SiO₂/poly-Si 结构所具有的良好特性,同时又可使限制电路速度的 RC 时间常数减小一个数量级以上。当器件尺寸进一步减小到 0.6 μm 以下时,不仅互联引线电阻成为限制电路速度的主要因素,而且源漏区的接触电阻和引线电阻也将成为限制电路速度的主要因素,因而 Polycide 技术也不理想,从而发展了一种用自对准方法在源、漏、栅区同时形成一层硅化物的技术(即 Salicide 技术),它可使栅电阻、引线电阻和源漏区的串联电阻降低。因为 TiSi₂ 具有很低的电阻率和较好的热稳定性,所以它是目前研究最多的用于金属硅化物/

多晶硅复合栅及硅化物自对准技术中的难熔金属^[1-3]。

基于硅化物自对准技术 (Salicide) 中 TiSi_2 是用反应方法生成的,而在 $\text{TiSi}_2/\text{poly-Si}$ 复合栅 (Polycide) 技术中, TiSi_2 又往往是用共溅射方法生成的,所以我们用反应生成和合金靶溅射两种方法形成 TiSi_2 薄膜。实验中把对器件电学性能的研究和 TEM(横截面)在位观察结合起来,给出了 TiSi_2 /多晶硅复合栅结构中多晶硅厚度的临界值。实验表明,这个临界值($\sim 1500 \text{ \AA}$)与硅化物是用何种方法形成的和多晶硅是用何种方法掺杂的关系不大。在系统研究的基础上,我们提出了在硅化物形成过程中所产生的应力是在 SiO_2 层和 Si/SiO_2 界面产生缺陷而造成器件性能变坏的基本物理原因。

二、实 验

原始硅片为 P-(100), 电阻率为 $6-8 \Omega \cdot \text{cm}$ 。在 1000°C 高温下先氧化生成 500 \AA 的栅氧化层,然后用 LPCVD 法淀积生成厚度分别为 $0-5000 \text{ \AA}$ 的多晶硅层。用 POCl_3 源扩散或 P^+ 离子注入(能量为 $30-60 \text{ keV}$, 剂量为 $5 \times 10^{15} \text{ cm}^{-2}$)的方法对多晶硅层进行掺杂,再用 $10:1(\text{H}_2\text{O}:\text{HF})$ 的稀 HF 清洗多晶硅表面,然后淀积 Ti 或 TiSi_2 膜。Ti 膜是用 Balzers-UTT400 真空镀膜机用电子束蒸发实现的,系统的本底真空度为 5×10^{-7} 托,工作真空度为 3×10^{-7} 托,淀积速率为 3 \AA/s , Ti 膜厚度为 800 \AA 。 TiSi_2 膜是用 ULVAC MLH-2306 磁控溅射系统通过对一个合金的 $\text{TiSi}_{2.1}$ 复合靶溅射得到的。系统的本底真空度为 2.4×10^{-7} 托,工作真空度为 5×10^{-7} 托,淀积速率为 100 \AA/min , TiSi_2 膜厚为 2000 \AA 。将部分多晶硅厚度为 5000 \AA (用扩散掺杂)的样品取出,用于研究用反应生成的 TiSi_2 膜和合金靶溅射形成的 TiSi_2 膜的形成特性及电学性质。

具有 TiSi_2 /多晶硅复合栅结构的 MOS 电容和 MOSFET 基本上是用目前标准的 IC 工艺制备的。在淀积 Ti 或 TiSi_2 膜后,用 RIE 方法刻蚀形成电极,然后将样品经历一个高温炉退火过程。对蒸发样品 (Ti/poly-Si) 退火温度为 720°C , 时间为 15 分钟;对溅射样品 ($\text{TiSi}_2/\text{poly-Si}$), 退火温度为 950°C , 时间为 30 分钟。退火是在高纯 N_2 保护下进行的,退火系统经过我们的精心设计,成功地避免了在硅化钛形成过程中钛的氧化问题。至此完成了 $\text{TiSi}_2/\text{poly-Si}$ 复合栅结构 MOS 电容的制备, MOS 电容的面积为 $225 \times 225 \mu\text{m}^2$ 。

对具有 $\text{TiSi}_2/\text{poly-Si}$ 复合栅结构的 MOSFET 的制备,在溅射 TiSi_2 膜之前,整个工艺和上面完全一样。在溅射 TiSi_2 膜后,用 RIE 方法刻蚀形成栅电极和源漏区,然后注入 As^+ (能量为 120 keV , 剂量为 $5 \times 10^{15} \text{ cm}^{-2}$), 形成源漏区。将样品在高纯 N_2 保护下,经 950°C , 30 分钟炉退火,使 TiSi_2 膜的电阻率降到最低,同时激活注入的离子和减小注入所引入的损伤。然后 CVD SiO_2 , 刻接触孔,蒸 Al, 反刻 Al, 合金,从而完成了整个工艺过程。

我们用 X-衍射、AES 等方法研究了所形成 TiSi_2 膜的结构及杂质含量;用四探针法测量了膜的方块电阻;用 SEM 和 TEM(横截面)观察了退火后所形成 TiSi_2 膜的表面及横截面形貌。

为进行 TEM(横截面)在位观察,我们利用通常的离子减薄方法制备 $\text{Ti}/\text{poly-Si}/$

SiO_2/Si 剖面样品。TEM (横截面) 在位观察是在 JEM-1000 高压电镜中进行的, 其样品室真空度为 10^{-7} 托, 我们在样品室中一边加热, 一边在位观察 $\text{Ti}/\text{poly-Si}/\text{SiO}_2/\text{Si}$ 横截面形貌的变化。

对复合栅结构中由于在退火形成 TiSi_2 过程中所引入的应力, 我们是用光学方法测量的。根据牛顿环数目的变化, 可以计算出片子的弯曲程度, 从而计算出膜中的应力。

MOS 电容和 MOSFET 的电学性质和界面态是用 HP4061A Semiconductor/Component Test System 和 HP4145A Semiconductor Parameter Analyzer 测量的。

三、结果及讨论

1. TiSi_2 膜的特性

为研究 TiSi_2 膜的形成特性, 我们将样品在高纯 N_2 保护下, 在 $500-1000^\circ\text{C}$ 温度范围内进行退火, 每一温度的退火时间均为 30 分钟。图 1 为蒸发的样品 ($\text{Ti}/\text{poly-Si}$) 和溅射的样品 ($\text{TiSi}_2/\text{poly}$) 的方块电阻随退火温度的变化关系。从图中可以看到, 对这两种样品, 分别经 720°C 和 850°C , 30 分钟炉退火后, 其方块电阻即达到最小值, 对应的电阻率分别约为 $15 \mu\Omega \cdot \text{cm}$ 和 $26 \mu\Omega \cdot \text{cm}$ 。当退火温度进一步升高时, 其方块电阻基本不再变化。

图 2(a), (b) 分别给出了蒸发的样品 ($\text{Ti}/\text{poly-Si}$) 和溅射的样品 ($\text{TiSi}_2/\text{poly-Si}$) 分别经 850°C 和 900°C 炉退火后的 AES 分析结果。我们可以发现, 退火后膜中 Ti/Si 原子比为 $1/2$, 且氧的含量很小 (所占原子比 $< 5\%$), 而且主要集中在表面。AES 的结果还表明在膜的表面含有大量的氮, 根据样品退火后表面呈金黄色, 我们认为在样品表面生成了一层很薄的 TiN_x 层。X-衍射的结果表明所形成的 TiSi_2 为稳

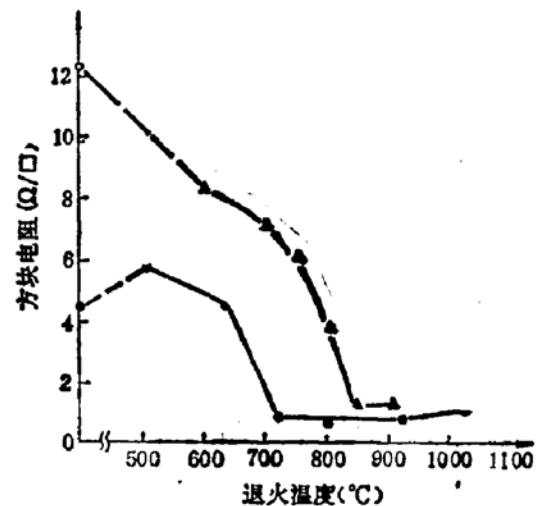


图 1 薄膜的方块电阻与退火温度的关系

▲ $\text{TiSi}_2/\text{Poly-Si}$ 样品 ● $\text{Ti}/\text{Poly-Si}$ 样品

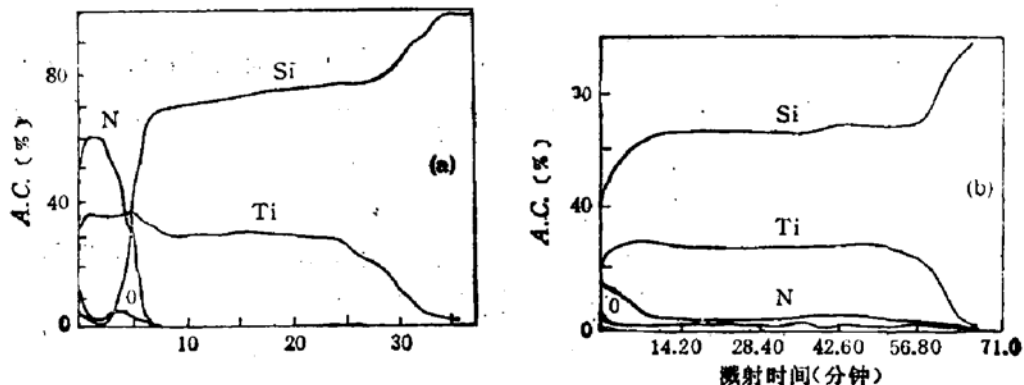


图 2 退火后样品的 AES 分析结果。(a) 蒸发样品经 800°C , 30 分钟退火后的 AES 结果。(b) 溅射样品经 900°C , 30 分钟退火后的 AES 结果

定的 C54 TiSi_2 。SEM 和 TEM(横截面)结果表明,退火后膜的表面及 $\text{TiSi}_2/\text{poly-Si}$ 界面均很平整。以上结果表明,我们得到了质量很好的 TiSi_2 膜。

2. MOS 电容的特性

我们以介电强度小于 5MV/cm 为器件的失效标准,测量和计算了各种多晶硅厚度的 MOS 电容的失效率及好器件产率(对每一种样品,均要测 50 个电容,然后取其平均值)。图 3 给出了好器件产率随多晶硅厚度的变化关系曲线。从图中我们可以看到,当多晶硅厚度小于 1500\AA 时,器件产率将急剧下降,从 100% 迅速下降到零。图 4 和图 5 分别给出了蒸发样品($\text{Ti}/\text{poly-Si}$,退火前多晶硅层厚度为 2700\AA)经 720°C ,15 分钟炉退火后(退火后多晶硅层厚度约为 1000\AA)及溅射样品($\text{TiSi}_2/\text{poly-Si}$,多晶硅层厚为 1100\AA)的 $C-V$ 特性曲线。我们可以发现,在 SiO_2/Si 界面有大量新的界面态产生。对于多晶硅层厚度在退火后大于 1500\AA 的样品,经 $C-V$ 测量后,没有观察到这种现象。因此多晶硅层厚度为 1500\AA 是一个临界值,这个值对多晶硅是用何种方法掺杂的及 TiSi_2 是用何种方法生成的变化不大,在 Polycide 和 Salicide 栅结构中的多晶硅厚度应大于这个临界值。

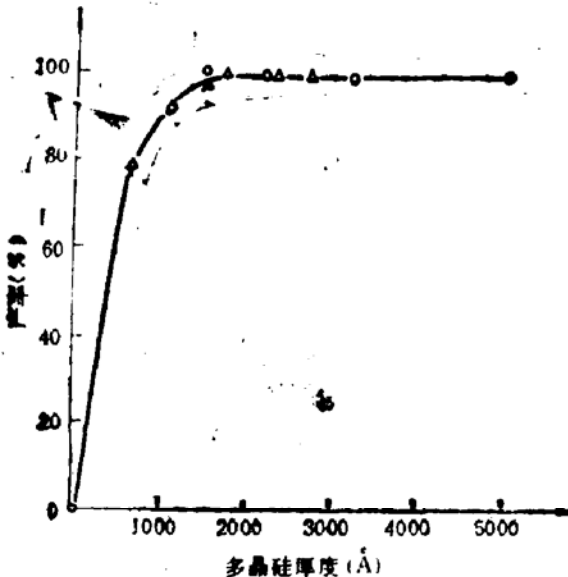


图3 MOS 电容的产率和多晶硅层厚度之间的关系曲线

○离子注入掺杂样品 ▲热扩散掺杂样品

3. MOSFET 的特性

利用 $\text{TiSi}_2/\text{poly-Si}$ 作为复合栅,我们制作了沟道长度分别为 $3\mu\text{m}$ 、 $2.5\mu\text{m}$ 和 $2\mu\text{m}$ 的 MOSFET。对不同多晶硅厚度的 MOS 单管作统计测量后,发现当多晶硅厚度大于 1500\AA 时,管子的 $I-V$ 特性很好,阈值电压为正,且分布很集中,漏电流 $\sim 10^{-11}\text{A}$,失效的管子很少。当多晶硅厚度小于 1500\AA 时,多晶硅层越薄,失效的管子越多;漏电流增大到 μA 量级;阈值电压大部分为负值,且分布很不集中。图 6 给出了 MOSFET 阈值电压与多晶硅层厚度的关系曲线(沟道长为 $3\mu\text{m}$ 宽长比为 5:1)。上述结果进一步显示了在目前的工艺条件下, $\text{TiSi}_2/\text{poly-Si}$ 复合栅中的多晶硅层厚度不能小于 1500\AA 。

4. 应力的测量与 TEM(横截面)在位观察

我们用光学方法测量了在 TiSi_2 薄膜淀积前后样品中的应力,发现在 TiSi_2 淀积前

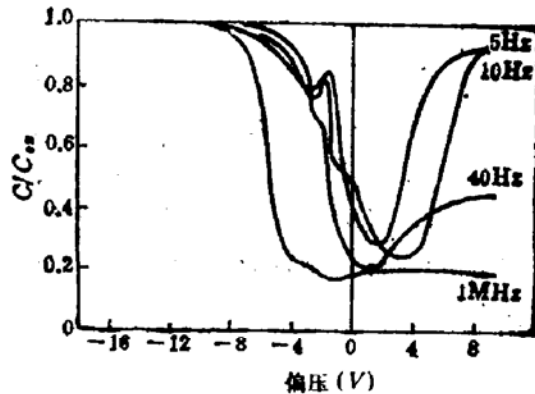


图4 经 720°C 、15 分钟炉退火后,用蒸发样品($\text{Ti}/\text{Poly-Si}$)所制成的 MOS 电容在不同频率信号下的 $C-V$ 特性曲线

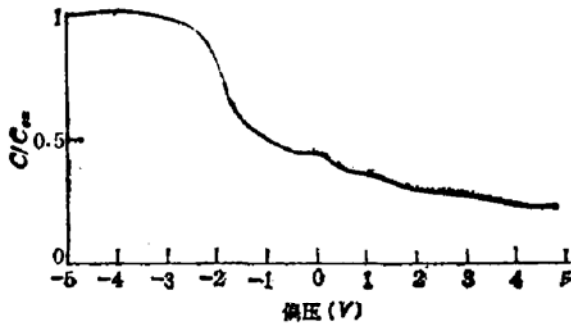


图5 经 950°C ,30分钟炉退火后,用溅射样品($TiSi_2$ /Poly-Si)所制成的MOS电容的高频C-V曲线

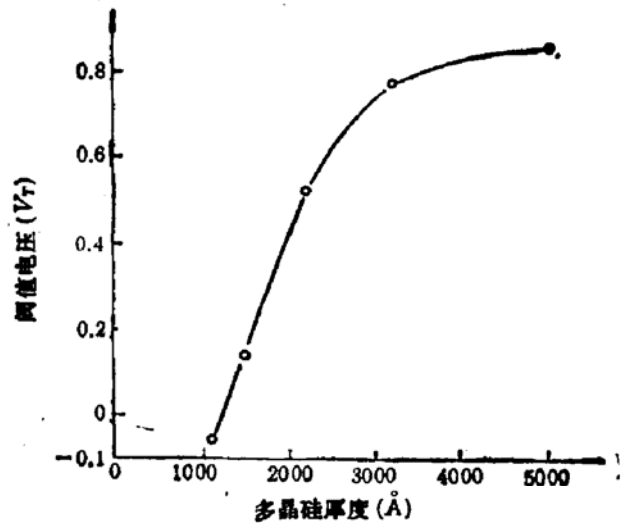


图6 MOSFET 阈值电压与多晶硅层厚度的关系曲线

后,样品中的应力基本不变,即 $TiSi_2$ 膜的淀积不会引入应力。当样品经 950°C , 30 分钟炉退火后,膜中的应力急剧上升,高达 $2.2-2.7 \times 10^{10}$ 达因/ cm^2 ,我们在实验中证实了该应力为张应力。它比通常的多晶硅栅结构中的应力大一个数量级。这个应力的产生可能是由于在退火过程中 $TiSi_2$ 相的变化和热致密化所引起的。所以,如果硅化物下面的多晶硅层太薄,将不能完全缓冲这个张应力,从而使这个应力对栅氧化层产生影响,导致器件产率下降。

为了进一步证实我们的观察,我们用 TEM (横截面)在位观察技术观察了 Ti /poly-Si/ SiO_2 / Si 结构样品在退火过程中界面形貌的变化。多晶硅层的初始厚度为 2700 \AA , Ti 膜厚为 800 \AA 。制备成剖面样品后,在 JEM-1000 高压电镜的真空样品室中,一边加热退火,一边在位观察样品横截面形貌的变化。在 Ti 和 Si 反应生成多晶的 $TiSi_2$ 过程中,当退火温度逐渐上升时, Ti 和 Si 先反应生成多晶的 $TiSi$ 并最终形成稳定的 $TiSi_2$ 。当退火温度为 720°C 时,经 15 分钟加热退火后(剩余的多晶硅厚度约为 1000 \AA),在 SiO_2 / Si 界面将产生大量的缺陷和位错,如图 7 所示。这一结果正好和图 4 的 C-V 测量结果相吻合,并进一步证实了我们的分析。



图7 TEM(横截面)在位观察的形貌照片。样品在电镜高真空样品室中经 720°C ,15分钟热退火

我们知道, MOSFET 的阈值电压主要由 $TiSi_2$ /poly-Si 复合栅和硅的功函数差 ϕ 及在 SiO_2 / Si 界面的电荷 Q_{it} 所决定的。当多晶硅厚度超过 900 \AA 时,复合栅的功函数和 n^+ 多晶硅的功函数是相同的^[3]。从前面的结果可以看到,当多晶硅厚度小于 1500 \AA 时,在 SiO_2 / Si 界面会产生许多新的界面态和缺陷,从而导致 Q_{it} 的上升。我们测量了具

有不同厚度多晶硅的 MOS 电容的 $C-V$ 特性曲线,从而得到了 Q_{ss} 和多晶硅厚度的关系,如表 1 所示.从表中可以发现,当多晶硅层厚度减薄时, Q_{ss} 将增加,从而 MOSFET 的阈值电压将减小.

表 1

多晶硅层厚度(\AA)	5000	3200	2200	1500
$Q_{ss}/q(10^{11}/\text{cm}^2)$	0.8	1.7	2.6	4.1

四、结 论

本文对反应生成和合金靶溅射形成的 TiSi_2 膜的形成特性及其电学性能进行了研究.所形成的 TiSi_2 薄膜被用来制作具有 $\text{TiSi}_2/\text{poly-Si}$ 复合栅结构的 MOSFET 和 MOS 电容.本文着重观察了这种复合栅结构对 SiO_2 层性能、MOS 电容性能及 MOSFET 特性的影响.我们的实验结果表明,在这种复合栅结构中,多晶硅厚度有一个临界值(在我们的实验条件下,这个临界值为 1500\AA);当多晶硅层厚度小于这个临界值时,器件的产率将从 100% 迅速下降到零;MOSFET 阈值电压将降低,并逐渐变为负值;管子的漏电流增大到 μA 量级, $I-V$ 特性变差;MOS 电容的 $C-V$ 特性表明,在 SiO_2/Si 界面有新的界面态和缺陷产生.这个临界值对多晶硅是用离子注入还是用扩散掺杂的几乎相同.基于我们的实验和分析结果,在 TiSi_2 形成过程中所引入的张应力导致了栅 SiO_2 层性能的退化.当多晶硅层小于该临界值时,硅化物层下的多晶硅层将不能有效地缓冲这个张应力,从而导致了在 SiO_2 层中和 SiO_2/Si 界面产生大量的缺陷,这已被 TEM(横截面)在位观察结果所证实.所以,为了进一步得到高的器件产率和保证器件的稳定性,必须使 $\text{TiSi}_2/\text{poly-Si}$ 复合栅结构中的多晶硅层厚度大于该临界值.

参 考 文 献

- [1] M. E. Alperin, T. C. Holloway, R. A. Haken, C. D. Gosmeyer, R. V. Karnaugh, and W. D. Parmantie, *IEEE Trans. on ED*, **ED-32**, 141(1985).
- [2] A. K. Sinha, W. S. Linden Berger, D. B. Fraser, S. P. Murk, and E. N. Fuls, *IEEE Trans. on ED*, **ED-27**, 1425(1980).
- [3] M. Deal, D. Pramanik, A. N. Saxena, and K. C. Saraswat, Presented at the Third workshop on Refractory Metals and Silicides, May 14—16(1985).

Characteristics of TiSi_2 Thin Film and TiSi_2 /Poly-Si Polycide Gate Structure

Tao Jiang, Zhao Tiemin, Zhang Guobing, Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing, China)

Wang Suofa

(Center of Microelectronics, Academia Sinica)

Li Yonghong

(General Research Institute for Non-Ferrous Metals, Beijing, China)

Abstract

The properties of TiSi_2 silicide thin films produced either by reaction or by sputtering have been investigated. MOSFET and MOS capacitors were fabricated employing a composite TiSi_2 /poly-Si gate structure. Combining electrical measurements with TEM (cross-section) in situ observation, the dielectric degradation phenomena in gate oxide of these structures, which appeared after high temperature annealing, and their effects on the properties of devices have been reported in detail. Based on our experimental and analytical results, the authors demonstrated that the high tensile stress induced by the formation of silicide is responsible for the degradation of the gate oxide. The experimental results have revealed that, there is a critical thickness of polysilicon for buffering of this high tensile stress, which does not appear to differ significantly for thermal diffusion or ion implantation doped Polysilicon samples.

KEY WORDS: TiSi_2 , Polysilicon, Self-Alignment, MOSFET, MOS capacitor, Critical value, Gate oxide