

二向不等距网格上的通道区布线 及其实体化

庄文君 高春华

(中国科学院半导体研究所, 北京)

1987年3月11日收到

本文讨论了在硅栅或铝栅 MOS 电路工艺中, 利用单层金属布线完成自动布线时所存在的二向不等距网格上的布线问题, 提出了解决的方法并给出了实际应用的结果, 结果表明, 在绝大部分情况下, 可在不影响布线精度的前提下令人满意地解决上述问题。

主题词: 大规模集成电路/超大规模集成电路通道区, 布线, 布图

引 言

在 LSI/VLSI 自动布图设计中, 通道区布线 (channel routing) 方法常常是设计系统中主要的设计方法之一。当采用单层金属的硅栅或铝栅 MOS 工艺时, 由于水平方向布线(金属)和垂直方向布线(多晶硅或扩散区)设计规则不同, 一般金属布线宽度小于多晶硅(或扩散区)联线宽度, 同时, 金属布线间距小于多晶硅(或扩散区)联线间距。这样, 在一般的通道区布线结果实体化后将在某些部分出现违反设计规则的情况。(如图 1, 2 所示)。

图 1 中显示了在水平通道区中, 当线网 1 和线网 2 的水平连线布在相邻行 (track)

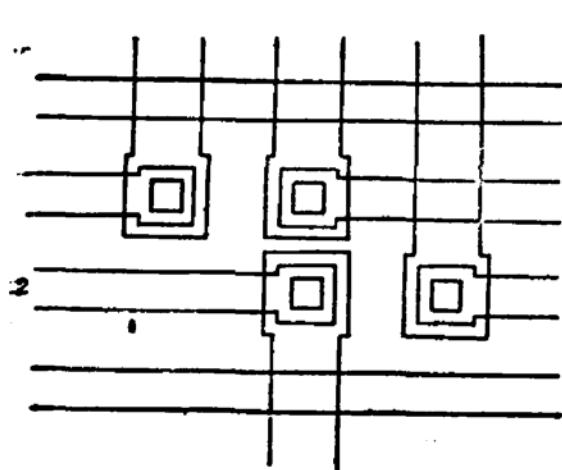


图 1 水平通道区中的对顶情形

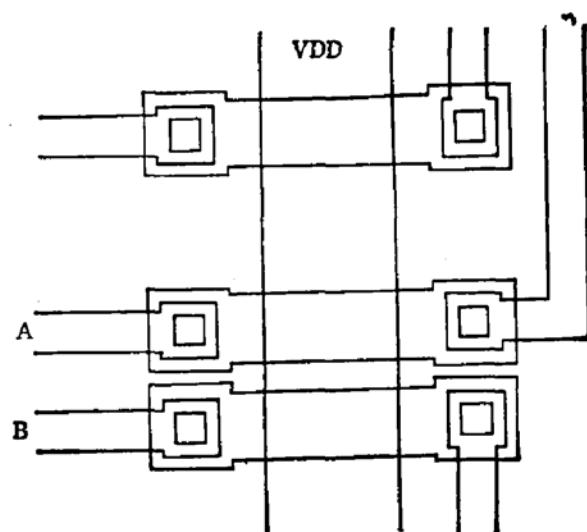


图 2 垂直通道区中的对顶情形

中时,实体化后在同一列的两个通孔(VIA)部分,多晶硅图形将违反设计规则。图2中显示了在水平通道区和垂直通道区界面处,当线网A和线网B的水平连线引出端处在相邻行上时,实体化后,该部分的多晶硅图形将违反设计规则。在上述情况中违反设计规则的现象都发生在分属两条不同线网的通孔处于同列邻行上,因此,这个问题又可称为通孔的“对顶”问题。

为了使设计结果完全符合已确定的设计规则,对于“对顶”问题有时可采用一些简单的方法加以解决。如人为地使二个方向的连线设计规则相同(二向等距),或采用水平方向的变间距布线(gridless)。如图3示。这些方法在实现时并不困难,但将影响设计精度,在典型的实验例子中,采用两向等距布线时,布线区面积将增加30%,若采用变间距布线时,布线区面积也将增加7%至15%,因此为了解决“对顶”问题,提高布图设计精度,进一步的研究是有必要的。

本文在具体分析了“对顶”问题的各种存在形式后,将问题分解为两个子问题:即,如何在实体化设计中通过布线路径的局部修改或布线层次的转换来解决对顶问题,以及如何把通道区布线问题对应的垂直限制有向图修改为考虑边界限制的带权有向图以消除实体化设计无法解决的“对顶”问题并尽可能实现最佳化布线。

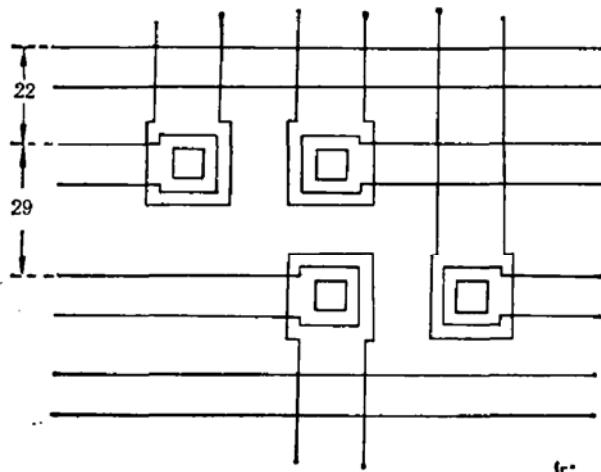


图3 水平方向变间距布线

一、实体化设计中“对顶”问题的消除

实体化设计时,将把拓扑设计结果根据工艺设计规则转换为掩膜的实际图形。即进行图形的形成。层次的确定,考虑到“对顶”问题的解决在实体化设计中将进行如下的处理:1.“对顶”情况的确定,2.路径转换的条件,3.层次转换的条件。

1.“对顶”情况的确定,可根据“对顶”问题的定义方便地加以确定

设通道区中所有通孔的中心坐标集为 U ,

$$U = \{(J_1, K_1); (J_2, K_2); \dots\}$$

其中 J_i 为通孔*i*的track号, K_i 为通孔*i*的列号。若通孔*M*与通孔*N*满足

$$(J_m, K_m), (J_n, K_n) \in U \text{ 且 } K_m = K_n, |J_m - J_n| = 1$$

则通孔*M*和通孔*N*为“对顶”。

2. 路径转换的条件

考虑到必须满足电学和工艺设计规则,当 $J_N < J_M$ 时,(自下而上布线)通孔*N*所在线网路径转换的条件可描述为:

令原通道区中,所有垂直连线布在多晶硅层,所有水平连线布在金属层。

设多晶硅层上已有布线位置集合为 P :

当 $(J_N, K_N + 1), (J_N - 1, K_N + 1) \in P$ 或
 $(J_N, K_N - 1), (J_N - 1, K_N - 1) \in P$

则通孔 N 可转换到对应的 $(J_N, K_N + 1)$ 或 $(J_N, K_N - 1)$ 位置, 如图 4。通孔 M 的转换是类似的。

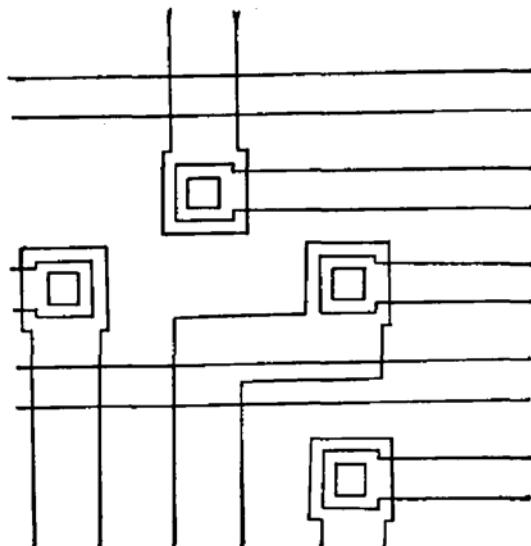


图 4 路径转换

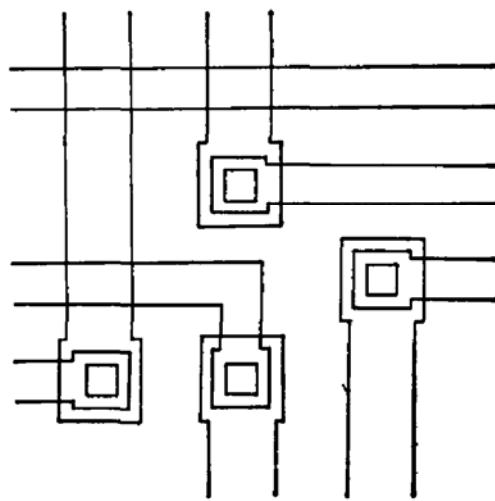


图 5 层次转换

3. 层次转换的条件

考虑到必须满足电学和工艺设计规则, 当 $J_N < J_M$ 时, 通孔 N 的转换条件可描述为: 令金属层上已布线位置集合为 A :

当 $(J_N - 1, K_N) \in A$, 则通孔 N 可转换到 $(J_N - 1, K_N)$ 位置, 而且原 (J_N, K_N) 至 $(J_N - 1, K_N)$ 的多晶硅布线可转换到金属层上。如图 5。通孔 M 的转换条件是类似的。

从上述转换条件可以看到, 在实体化设计阶段尽管有相当数量的通道区内“对顶”情况可通过转换而消除, 但在理论和实践上都存在着在实体化设计中已无法解决的“对顶”情况, 同时考虑到在水平通道区边界上的“对顶”情况, 因此, 必须在布线时进行考虑。但在一般的通道区布线方法^[1,2]布线时, 常常在布线过程中只能确定已布线网的空间位置, 而无法精确定位未布线网的空间位置。因此, 在解决“对顶”情况往往主要考虑已布线网空间位置以及未布线网可预计的空间位置来修正布线过程, 为此在布线过程中动态地对通道区对应的垂直限制有向图进行相应的修改。

二、考虑边界限制的带权垂直限制有向图及其布线方法的实现

在实际的布图 (Layout) 设计中, 通常会遇到两类布线问题, 即水平通道区的布线问题和垂直通道区的布线问题。在垂直通道区中, 由于垂直网格为金属线宽加间距, 而连线 (polysilicon) 的宽度加间距大于网格宽度, 除在同边界上接点安排上使之不出现邻接接点外, 在上、下边界的接点间将出现邻列的附加垂直限制关系。相应地 GV 图也将作一定的修改。如图 6, 显示了垂直通道区中违反工艺规则布线的情形。

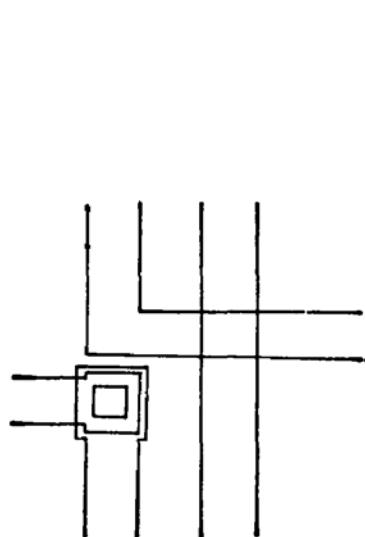


图6 垂直通道区中违反工艺规则的布线情形

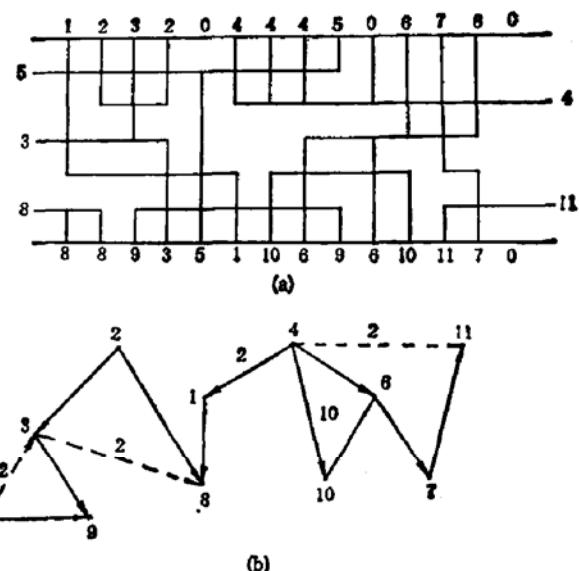


图7 边界限制的带权 GV 图

在水平通道区中,其对应的 GV 图如图 7(b) 所示。在图 7(b) 所示有向图中,如果忽略其中的边权和虚线边即为图 7(a) 通道区布线问题对应的垂直限制有向图 GV。以采用通道损益分析法^[3]作布线方法为例。布线顺序为自通道区下边界始,则通道区对应的 GV 在布线过程中的动态修正可描述如下:

当第 J 条 track 开始布线时,设 i 线网的下辈线网都已完成布线。

若 i 线网将由通道区左边界和右边界引出,且在将引出边界的 $J - 1$ track 已有 i 线网引出,则, i 和 j 线网对应的顶点间加一条有向边 $E(i, j)$, 边权重为 2, 令 i 线网的下辈线网集为 D :

若线网 $j \in D$ 且 j 线网布在 $J - 1$ track 上,

设在第 K_1, K_2, \dots, K_s 列上接点为 i , 下接点为 j 。

在非 dogleg 布线条件下,当 $K_p \in \{K_1, K_2, \dots, K_s\}$

且在 K_p 列上不满足下述条件之一时:

$(J, K_p + 1), (J - 1, K_p + 1) \in P$ 且 $K_p + 1$ 列下接点线网已布或

$(J, K_p - 1), (J - 1, K_p - 1) \in P$ 且 $K_p - 1$ 列下接点线网已布或

$(J - 1, K_p) \in A$

修改原 $E(i, j)$ 边权重为 2 的有向边时,设想在该有向边相关列或边界上布一虚拟线网。该线网水平方向长度为 0, 垂直方向长度为 0, 但反对线网 $i(J, K_p) \in A$ 且 $(J, K_p) \in P$

在 dogleg 布线条件下,有向图的修改及布线实现是类似的,此处从略。

三、实验结果及讨论

由于“对顶”问题的解决分解为二个子问题并分别予以处理,将使布线精度得到很大提高。

在实体化设计中解决“对顶”问题时,显然对布线精度(以所需布线区总面积来度量)无影响。实例表明大部分“对顶”问题,可在实体化设计中解决。由于绝大部分的通道区布线问题的 track 数最少解集元素不唯一,而且,当垂直限制有向图最大链长 L_{max} 小于通道区布线密度 D_{max} 时,一般完成布线所需 track 数主要受 D_{max} 影响,采用考虑边界限制的带权 GV 图后,当从左边界(或右边界)引出的线网数小于 $0.5*D_{max}$ 时,由于通道区内“对顶”问题造成的 L_{max} 增加是有限的,其上限值小于 $2*L_{max}$, 同时在 LSIS-II 布线系统,在布局设计时考虑了尽可能减少 L_{max} 因此,在大部分实际布线问题中,解决“对顶”问题时对解的精度无影响,图 7(a) 是一个简单的实例。

利用上述方法,对实际设计问题进行处理,对 17 个 channel 的布线对照实验结果表明(通道区长度分别为 121 列和 202 列,线网数分别为 15—100)结果精度除 1 个 channel 增加一个 track 外,其余都无影响。

参 考 文 献

- [1] G. Persky, D. N. Deustch and D. G Schweikert, LTX-a system for directed automation design of LSI circuits, proc. of 13th D. A Conf. (1976).
- [2] A. Hashimoto and S. Sterens, Wire routing by optimizing channel assignment within large apertures in proc. 8th. D. A. Workshop. (1971).
- [3] 庄文君, 计算机学报, 7, 217(1984).
- [4] 庄文君等, 半导体学报, 8, 270(1987).

Automatic Channel Routing and Physical Design with Two-Directional Unequal Grid

Zhuang Wenjun and Gao Chunhua

(Institute of Semiconductors, Academia Sinica, Beijing)

Abstract

The automatic channel routing problem concerning two-directional unequal grid used in single-metal MOS technology is discussed. The authors propose an approach to deal with the routing in which vias are placed on adjacent tracks, and give the application results.

The results show that nearly all the adjacent vias problems can be solved without additional routing area.

KEY WORDS: LSI/VLSI, Channel Routing, Layout