

碲化镉肖特基势垒的温度依赖关系

张世表

(南开大学物理系,天津)

史尚畚

(北京2137信箱)

1986年3月12日收到

本文通过对 Au/n-CdTe 肖特基二极管 I-V-T 测量得出: 在室温附近, 势垒高度随温度升高而线性增加, 增加速率约为 9×10^{-4} eV/K. 这一结果与 Hattori 等对 InP 的研究结果一致,

主题词: 肖特基势垒, 势垒高度, 界面态, 界面层

许多作者指出^[1-4], 实际肖特基势垒都不可避免地在金属和半导体之间存在薄氧化层, 它对肖特基器件的性能, 特别是 I-V 和 C-V 特性有重要影响. Card 和 Rhoderick^[2] 根据适当简化模型得出, 当存在原子尺度 ($< 20 \text{ \AA}$) 的薄氧化层时, 肖特基势垒的 I-V 关系为

$$I = A^* S T^2 \exp \left[- \frac{2}{\hbar} (2m_x)^{1/2} \delta \right] \cdot \exp(-q\phi_{b0}/kT) [\exp(qV/nkT) - 1] \quad (1)$$

其中 δ 为氧化层厚度, x 为电子隧道贯穿该氧化层时所遇到的平均势垒高度, S 为势垒结面积, $q\phi_{b0}$ 为势垒高度. 其他符号与通用文献[5]中的符号一致. 由此式可见, 由 $\log(I/S)$ - V 直线的截距只能得出表观势垒 $q\phi_b$ 而不是 $q\phi_{b0}$:

$$q\phi_b = q\phi_{b0} + \frac{2}{\hbar} kT(2m_x)^{1/2} \delta \quad (2)$$

进而得到表观势垒的温度系数为

$$\frac{d(q\phi_b)}{dT} = \frac{d(q\phi_{b0})}{dT} + \frac{2}{\hbar} k(2m_x)^{1/2} \delta \quad (3)$$

右端第二项决定于氧化层的基本参数, 第一项应包括氧化层中电荷分布和界面态的贡献, 以及 E_g 、 ϕ_m 、 x_s 随温度的变化, 可近似为^[4]:

$$\frac{d(q\phi_{b0})}{dT} \approx (1 - \lambda) \left(1 - \frac{\epsilon_i \epsilon_0}{\epsilon_i \epsilon_0 + q^2 \delta D_s} \right) \frac{dE_g}{dT} \quad (4)$$

其中 ϵ_i 和 ϵ_0 分别为氧化层和自由空间电容率, D_s 是界面态密度, E_g 是半导体的禁带宽度, $\lambda = d\phi_0/dE_g$, ϕ_0 是界面态的电中性填充能级. 多数半导体 λ 可近似为 1/3, 对碲化镉尚未看到相应的实验数据, 但总可以设它为常数. 文献[4]对 InP 所做的实验证实了式(3)的正确性, 并得出右端第二项大于第一项的贡献.

本工作的目的是研究碲化镉肖特基势垒的温度系数, 并与文献[4]的结果进行比较.

实验中所用的 In 掺杂的 n-CdTe 单晶 (电阻率约 $8 \Omega\text{-cm}$) 是用走炉法 (THM) 生长的。在蒸发金之前, 样品正面经精心磨光抛光及溴甲醇溶液 (1:10) 腐蚀 (1 至 2 分钟), 然后在甲醇超声浴中清洗。金电极 (直径 2 毫米) 在油扩散泵真空系统中 (约为 10^{-6} 托) 用热阻法蒸发。样品背面在同一真空系统中烧结 In 作为 Ω 接触 (实测接触电阻在 10Ω 以下, 满足实验要求)。在这种条件下, 一般认为会在金属-半导体间生长 $10\text{--}20 \text{ \AA}$ 的薄氧化物层。确切层厚我们未曾测量过。

I - V 特性的测量在 MMR-2B 型低温系统中进行 (可调范围 $77\text{--}370\text{K}$, 控温精度 $\pm 0.1^\circ\text{C}$)。样品室蔽光并保持约 10^{-3} 托的真空度。电流电压曲线用 Moseley 2D-3 型记录仪记录, 并用数字电压表校准和监测。电压调节用手动进行。

实验结果如图 1 和图 2 所示。图 1 是 $\log J \sim V$ 曲线簇, 以温度 T 为参变量。根据每条曲线的直线部分求出在纵轴上的截距 I_0 , 然后根据下式计算势垒高度:

$$q\phi_b = kT \ln(I_0 / SA^* T^2) \quad (5)$$

其中有效里查逊常数 A^* 取为 $12 \text{ A/cm}^2/\text{K}^2$, 面积 $S = 0.03 \text{ cm}^2$ 。势垒高度随温度的变化示于图 2。由图 2 得到, 在所测温度范围内, 势垒高度随温度升高而线性增加。用最小二乘法得到, 直线的斜率为 $8.9 \times 10^{-4} \text{ eV/K}$ 。由于 CdTe 晶体禁带宽度的温度系数为负值: $dE_g/dT \approx -3.6 \times 10^{-4} \text{ eV/K}^{[6]}$, 则由式 (3) 及式 (4) 可知, 势垒高度随温度的升高主要由氧化层参数, 式 (3) 右端第二项, 决定。以上结果与 Hattori 等^[4] 对 InP 的研究结果完全一致。

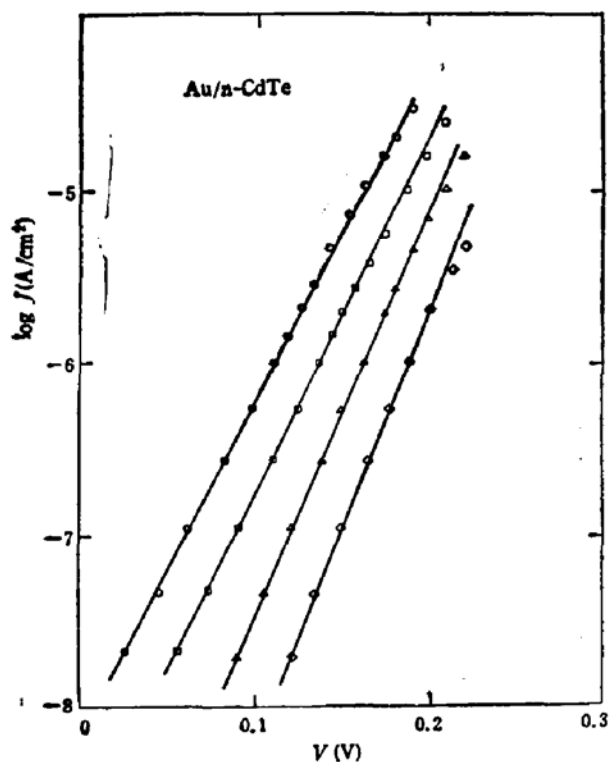


图 1 I - V - T 曲线

●—323K ■—313K ▲—293K ◆—273K

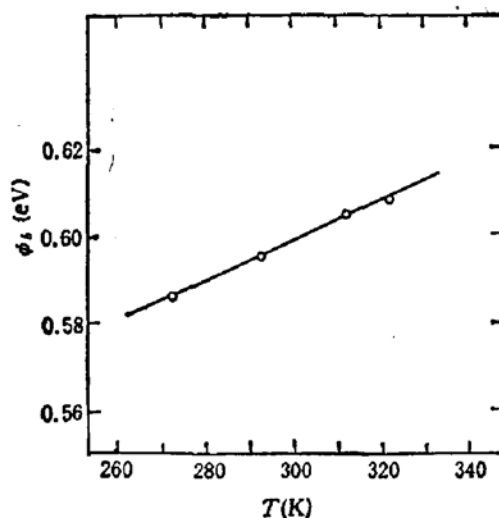


图 2 势垒高度 ϕ_b 与温度的关系

略去式 (3) 右端第一项的贡献, 可对平均势垒 ϕ 进行估算。取 δ 取 15 \AA , 电子贯穿界

面层的质量以自由电子质量代入: $m = 9 \times 10^{-30} \text{ kg}$, 则可得出 $x \approx 3 \text{ eV}$. 这表明界面层具有绝缘介质的性质, 与氧化层的估计符合.

作者们对美国波士顿学院的陈锈教授的指导表示感谢.

参 考 文 献

- [1] A. M. Cowley, *J. Appl. Phys.*, **37**, 3024 (1966).
- [2] H. C. Card and E. H. Rhoderick, *J. Phys.*, **D4**, 1589 (1971).
- [3] S. J. Fonash, *J. Appl. Phys.*, **54**, 1966 (1983).
- [4] K. Hattori, T. Yamasaki, Y. Uraoka and T. Fujii, *J. Appl. Phys.*, **54**, 7020(1983).
- [5] S. M. Sze, *Physics of Semiconductor Devices*, 279, Wiley, New York, (1981).
- [6] K. Zanio, *Semiconductors and Semimetals*, 99, edited by R. K. Willardson and A. C. Beer, Academic, New York, (1978).

Temperature Dependence of Barrier Heights of Au/n-CdTe Schottky Diodes

Zhang Shibiao

(Physics Department, Nankai University, Tianjin, China)

Shi Shangyu

(P. O. Box 2137 Beijing, Beijing, China)

Abstract

The temperature dependence of the barrier heights of Au/n-CdTe Schottky diodes has been investigated by measuring the I-V characteristics at different temperatures. It is the main results that the apparent barrier heights increase linearly with increasing temperature and the rising rate of $9 \times 10^{-6} \text{ eV/K}$ is obtained. These results are in good agreement with that of Hattori and others on InP.

KEY WORDS: Schottky barrier, Barrier height, Interface states, Interfacial layer.