

# LSIS-2 自动布图设计系统

庄文君 程可行 薄建国 牛征虎 高春华 易培兰

(中国科学院 半导体研究所)

1986年2月17日收到

LSIS-2 布图设计系统是一个用于 LSI/VLSI 芯片自动布图设计的系统, LSIS-2 系统采用多元胞 (polycell) 兼容宏单元 (macrocell) 的设计模式, 系统的主要部份有: 分级布图设计描述语言及其编译子系统, 二级单元库及其管理子系统, 设计描述正确性验证子系统, 自动布局及总体布线设计子系统, 多目标优化的自动布线设计子系统, 实体化设计, 输出转换及人机交互设计子系统。

## 一、LSIS-2 系统的设计模式

LSIS-2 系统采用多元胞兼容宏单元模式 (polycell with macro cell) (见图1)。

在 LSI/VLSI 设计中, 芯片上往往可能包含 1000—20000 个等价门, 为得到一个高精度的设计结果, 布图设计过程将十分复杂。采用了多元胞兼容宏单元模式后, 系统将具有下述功能:

1. 在考虑布图设计合理性的基础上, 可允许用户设计一些尺寸不同于一般标准单元的宏单元。
2. 可兼容其它设计模式 如符号法, PLA, 栅阵列 (gate Matrix) 等。即把用其它模式设计的子电路定义成宏单元。从而使芯片可以方便地兼容 RAM, ROM 等子电路。
3. 可方便地采用分级设计的方法, 即可将系统设计得到的结果定义为宏单元, 作为下一级设计的结果之一, 并以此为基础, 进行本级的设计, 本级设计的结果又可定义为新的

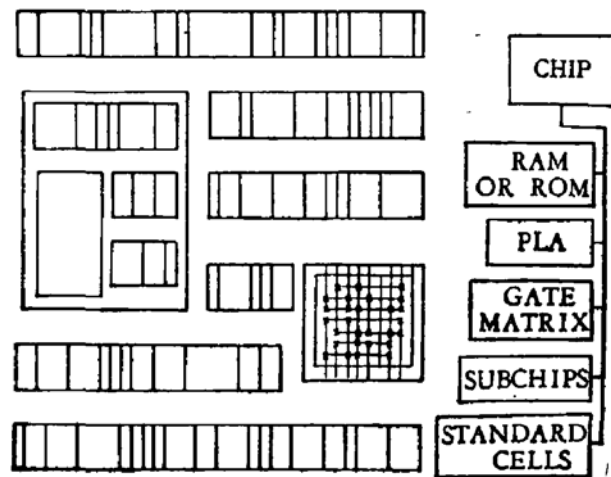


图1 多元胞兼容宏单元模式

宏单元,而作为上一级设计的基础。

由于多元胞兼容宏单元模式具有上述优点,它不仅可使系统具有更强的适应能力而且将使系统设计的容量大大提高,因此得到了人们广泛的重视<sup>[1-3,5]</sup>。

## 二、分级布图设计描述语言及其编译子系统

为了减少描述信息的冗余度,并有利于描述正确性验证和修改,系统在设计描述语言中引进了伪单元(dummy cell)的概念。伪单元对应着电路中的一个子电路,一旦定义后允许在任何一级调用,允许对伪单元进行多重嵌套定义,在系统中伪单元的描述要素为:

1. 伪单元中引用的标准单元(standard cell)及下级伪单元的类型说明,
2. 伪单元中单元(包括下级伪单元)间联结关系描述,
3. 引出线(伪单元接点)的描述。

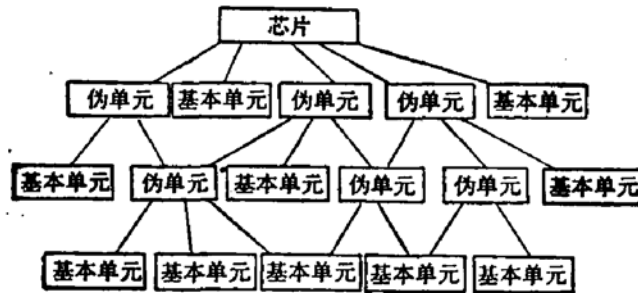


图2 分级布图设计描述示意图

可以看到,芯片的描述实质上可看作是最高一级的伪单元的描述,这就使芯片和伪单元的描述形式也得到了较好的统一(见图2)。

## 三、二级单元库及其管理子系统

在系统中采用二级单元库结构,即中央单元库和实时单元库,中央单元库中存放各个用户、各种工艺规范的单元信息,而为了提高处理效率和保密,实时单元库可用来存放用户当前设计所引用的单元信息。

在单元库中可存放三类单元:即标准单元,宏单元和伪单元。

每类单元可分别存在对应的四种设计文件:

1. 实体单元文件。它是单元布图的几何图形分层描述文件,主要用于设计结果的实体化,伪单元中没有该种文件。
2. 拓扑单元文件。它是单元的拓扑描述,描述了单元的外形,尺寸,引出接点位置,层次和性质,主要用于布局及布线设计。
3. 逻辑单元文件。它是单元的逻辑描述,主要用于设计描述及电路的逻辑模拟。
4. 电学模拟文件。它是单元的电参数描述文件,在LSIS-3系统中将由系统自动地产生这个文件,主要用于电路分析和延时分析。

单元库的管理功能主要包括: 单元的建立, 编目, 修改, 删除及变换等。

系统采用的二级单元库原则上可适应各种不同的集成电路工艺的要求, 从而使设计系统可适应不同用户, 不同工艺要求的需要。

#### 四、设计描述正确性验证子系统<sup>[11]</sup>

设计描述的正确性将严重地影响设计效率和设计结果, 系统根据电路逻辑设计的基本规则及人的设计经验, 归纳为十项验证原则, 组成一个验证设计描述正确性的专家子系统, 对用户的设计描述进行验证, 该子系统具有相当高的处理效率, 对于设计描述中联结点关系, 单元类型等描述错误, 输入错误, 验证系统的错误覆盖率可达 95% 以上, 并可覆盖部份逻辑设计错误及电参数设计错误。该子系统另一个特点是具有较高的错误定位功能, 通常可直接定位到单元的接点, 线网或单元, 可使验证过程不依赖于高技术人员。

为了修改的方便, 本子系统对错误的性质进行了详尽的分类, 采用了关键错误的定向自锁技术, 在不降低错误覆盖率的前提下, 可有效地提高错误的命中率, 即尽量减少派生错误和伪错误的出现, 从而提高了修改的效率。

#### 五、多元胞兼容宏单元模式的自动布局设计及 总体布线设计子系统

布局子系统把电路的二维布局转化为二个一维布局问题。采用单元行 (block) 的长度预分配来控制设计精度。采用双边生长的等分接点法作一维的初始布局。由于选择函数和安置规则的一致化而提高了初始构造的合理性, 并提高了布局设计的效率。在布局的迭代改善中, 采用了多目标的组合迭代优化算法, 这些目标包括: 提高设计结果的布图密度(芯片的长和宽), 缩短连线长度, 减少相邻通道区的布线密度和减少布线通道区的广度 (span), 减少通道区垂直限制图中有向回路数, 使各布线通道区中布线密度均匀化等。采用了迭代优化算法包括: 成对交换法, 邻接单元交换迭代, 单元插入, 单元移动, 等价接点交换等等。由于布局过程中综合考虑了多种设计目标并采用多种迭代改善方法, 从而使设计精度能较好地满足用户的需要<sup>[8,10]</sup>。

总体布线是保证设计精度的重要步骤。在 LSIS-2 系统中把总体布线和局部设计有机地结合起来, 在一维布局结果经过初步迭代优化后, 在对纵向连线的总体分析基础上, 采用带冗余列的线性分配算法对冗余通道单元 (feed-through cell) 进行自动调整布局结果, 随着布局设计的进一步迭代改善, 对总体布线结果同时进行迭代优化, 使总体布线结果进一步合理化。

布局设计过程采用模块化结构, 每一个模块都具有再入功能, 因而使用户可根据设计需要通过人机交互自由组合这些设计模块以获得更满意的设计结果。设计过程中允许设计者对系统设计进程, 设计参量, 设计的某些中间结果及最终结果进行交互式的提示和修改, 从而使系统具有较高的适应性和灵活性<sup>[10]</sup>。

## 六、多目标优化多功能自动布线设计子系统

LSI-2 布图设计系统以通道布线为主要布线设计方式, 通道区布线算法采用我所 1982 年研究完成的通道损益分析法<sup>[7]</sup>。由于此方法基于布线结果的总体分析并采用了一系列提高布线效率的技术, 使算法具有相当高的布线效率和布线精度。如对贝尔实验室的“difficult example”布线实例(dogleg), 该算法布线时间为 13S, 完成布线仅需要 20tracks (图 3), 且布线结果与初始条件无关。实验证明, 该算法是一个高精度二端模式算法。该算法纳入系统后扩展为一个布线设计子系统, 其主要功能包括:

1. 通道区布线顺序的自动确定及垂直通道区布线问题的自动定义。
2. 在 dogleg 模式下自动删除垂直限制图中所有回路(loops)的功能, 保证了通道区布线 100% 的成功率。

采用求解 MES 问题和广义 dogleg 位置的优化算法, 可保证布线的精度。

3. 适应多元胞兼容宏单元模式的需要, 扩展为不规则边界的布线功能。
4. 自动压缩布线区面积(采用广义 degleg)的功能。
5. 在不增加布线区面积的前提下, 进行多目标优化的功能, 包括连线长度的最短化, 通孔数最小化, 多晶硅连线的自动换层等功能。



图 3 “difficult example”布线实例

6. 芯片上电、地线的梳状布线功能。

## 七、实体化设计及输出转换处理

在布局、布线设计中, 设计对象及设计结果都是拓扑形式的。这种形式在设计, 交互修改时都带来很多方便, 并使数据冗余度大大降低, 但是在最终结果输出前, 必须将拓扑的结果进行实体化处理。

实体化设计主要包括二个方面的内容:

### 1. 单元的实体化处理

当布局设计完成后, 各拓扑单元的位置, 方位都得到确定, 它的实体化处理过程实质就是将单元的实体文件经过相应的方位变换, 然后予以定位处理, 由于实体文件是一个分层文件, 因此可方便地得到芯片上单元部分的分层掩膜(mask)图形的数据文件。

### 2. 联线的实体化处理

联线的实体化包括把拓扑布线结果, 根据工艺设计规则展宽成实际掩膜上所需的图形, 也称作联线的实体化处理过程, 在实体化过程中, 并分别进行图形(联线)的分层, 通孔

(VIA HOLE) 的自动生成,以及多晶硅连线部分的选择展宽,电地线的展宽等。

结果的输出转换,一般允许具有多种可能形式,如各种中间结果转换为显示文件格式,最后设计结果转换成某种自动制版设备的控制命令集(如图形发生器,绘刻图机,电子束自动制版机等)。

## 八、人机交互设计子系统

为了更好地满足用户的设计要求,电路的设计过程,各设计过程中设计参数的选择,设计中间结果及最终结果原则上都应允许设计者进行直观、简捷的干预,为此,一个与自动设计进程关联的人机交互子系统也是系统的重要组成部分之一。

交互设计子系统主要功能包括:

1. **显示** 主要显示的对象是从单元设计到芯片设计的每一个设计阶段的设计结果,具有分层,分区域(开窗)显示功能。LSIS-3 系统中将具有追踪显示功能,即以参照物为

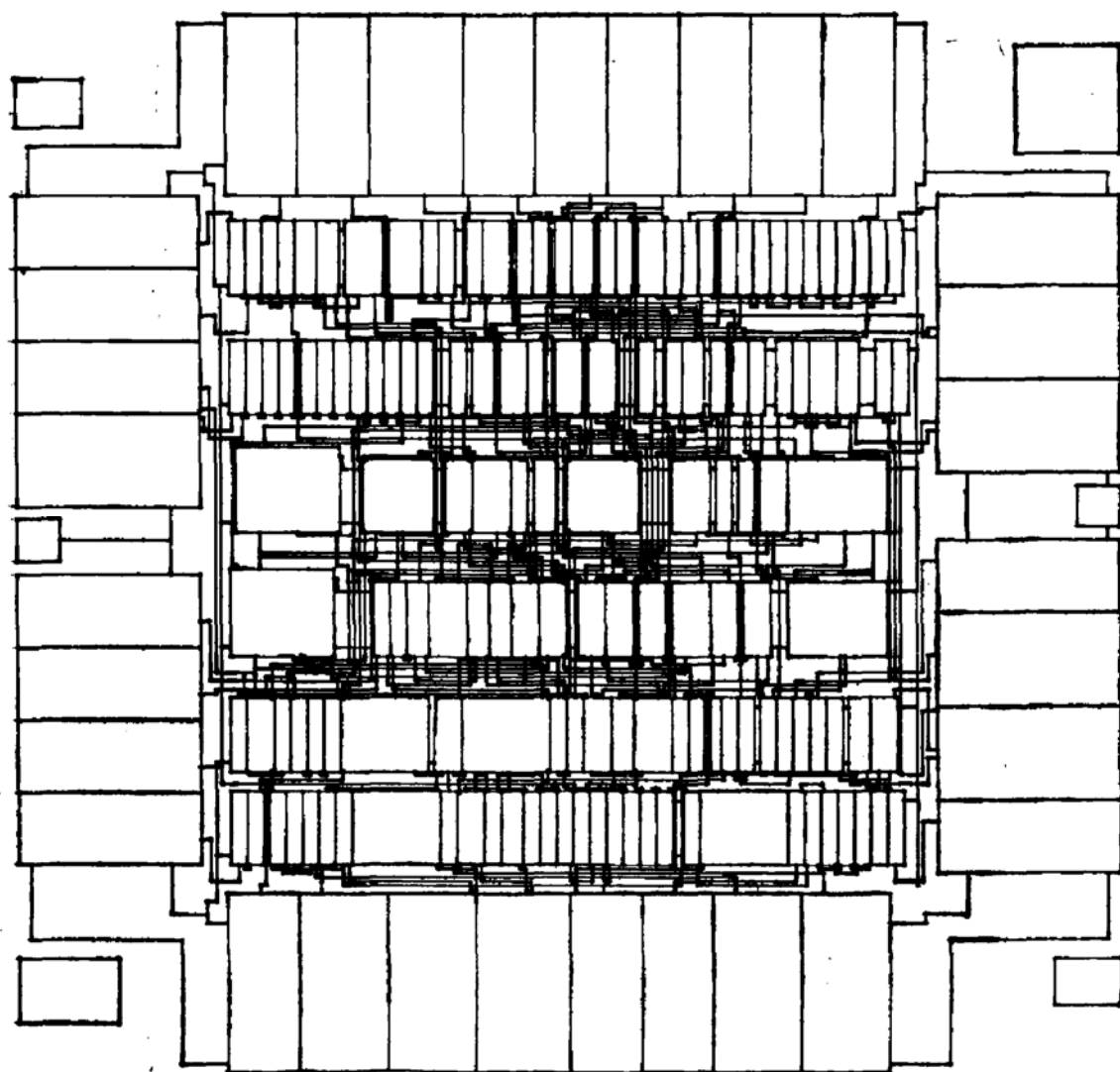


图4 HKE 710306 电路拓扑布局布线图

基准的开窗显示功能。

**2. 修改** 包括对拓扑图形(设计结果)和实体图形(设计结果)的删除、修改和增加。(LSIS-3 系统)

**3. 设计跟踪及设计评价** 与每一阶段设计相对应,系统对每一阶段的设计中间结果可自动地给出设计评价,及时地通告用户,使用户了解设计的进程及每一阶段设计的结果。从而决定采用全自动方式设计过程还是在某些设计阶段对设计进程进行一定的干预。

**4. 设计进程控制** 这种控制可通过二种方式来实现,首先可通过选择适当的设计参数来干预设计的进程,其次可通过选择适当的软件模块的组合方式来干预设计的进程,从而使设计者可根据不同的设计要求和当前阶段设计结果的评价来决定实际的设计进程,也可以根据设计对象不同的属性,调整设计的实际进程。

## 九、实验结果

利用本系统设计的几个电路如表 1 所示。

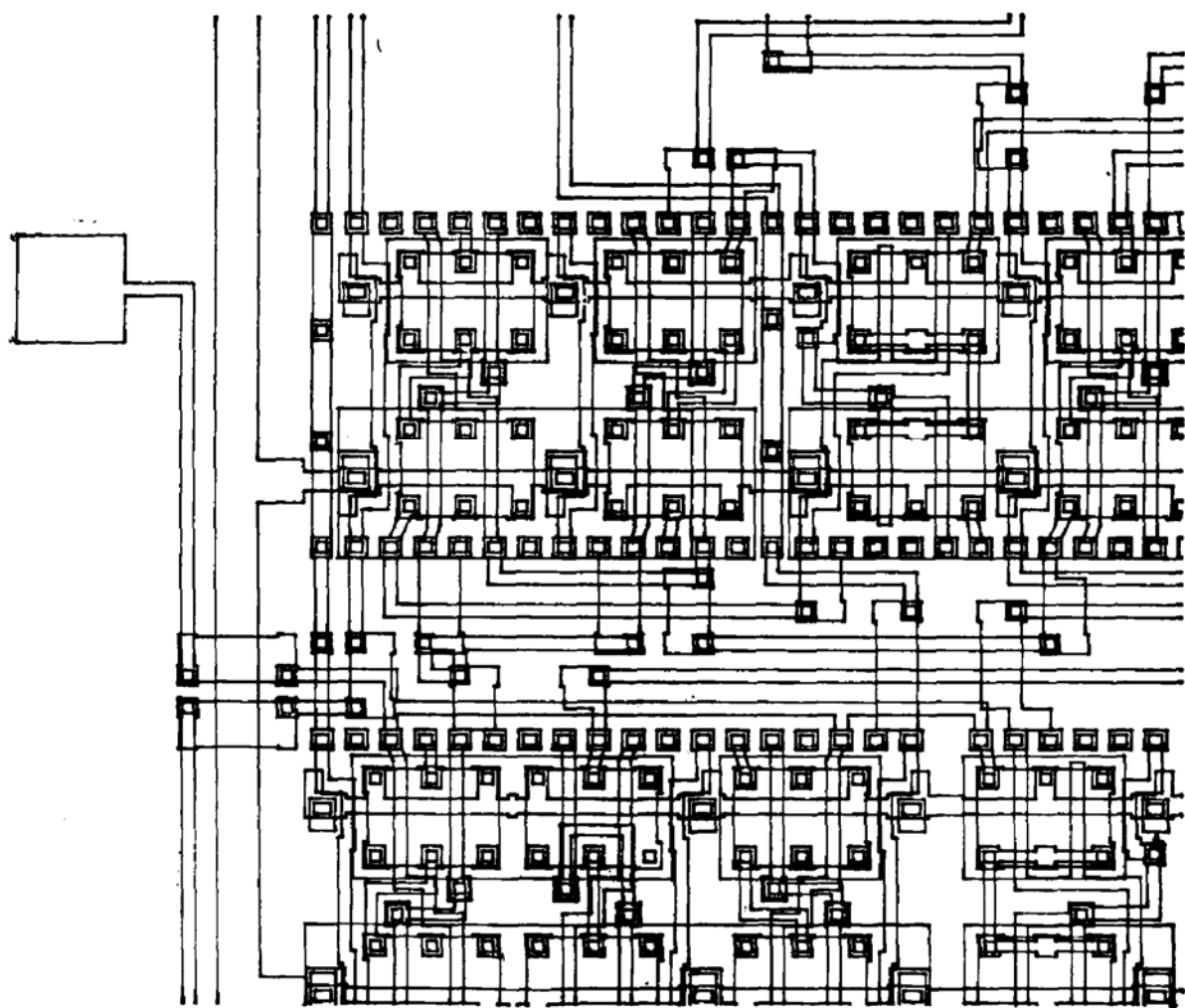


图 5 一个电路的实体图(局部)

图 4 为华科 HKE710306 电路的拓扑布局布线图, 图 5 为一个电路的实体图(局部)。

表 1

电路名	单元种类	单元数	线网数	接点数	等价门数	CPU 时间						设计全程 CPU 时间
						编译	验证	布局	布线	连线实体化	单元实体化	
华科 HKE710306	20	147	166	403	约 400	1'2"	14"	7'30"	1'2"	1'16"	5'30"	16'34"
SOS SC4518	11	112	118	320	约 150	32"	9"	4'10"	56"	44"	3'13"	9'4"
串、并行双向 8 位转换器	8	152	148	452	约 400	33"	11"	4'28"	1'7"	1'20"	7'20"	14'59"

## 参 考 文 献

- [1] C. P. Hsu, B. N. Tien, K. Chow *et al.*, Proc. 22nd D. A. Conf., pp. 443—448, 1985.
- [2] H. Anway *et al.*, Proc. 22nd D. A. Conf., pp. 449—452, 1985.
- [3] H. Terai *et al.*, Proc. 22nd D. A. Conf., pp. 503—508, 1985.
- [4] G. Persky *et al.*, *J. Des. Automat. Fault-Tolerant Comput.*, 1, 217(1977).
- [5] H. Beke, *et al.*, Proc. 16th D. A. Conf., pp. 102—108, 1979.
- [6] K. W. Koller, *et al.*, Proc. 14th D. A. Conf., pp. 153—157, 1977.
- [7] 庄文君, 计算机学报, 7, 217(1984).
- [8] 程可行, 庄文君, 半导体学报, 5, 422(1984).
- [9] 庄文君, 程可行, ICCAS, pp. 57—60, 1985.
- [10] 程可行, 庄文君, 半导体学报, 7, 412(1986).
- [11] 高春华, 庄文君, 半导体学报, 7, 284(1986).

## LSIS-II Automatic Layout Design System

Zhuang Wenjun, Cheng Kexing, Bo Jianguo, Niu Zhenghu, Gao Chunhua and  
Yi Fulan

(Institute of Semiconductors, Academia Sinica)

## Abstract

LSIS-II is a system applied to automatic layout design for LSI/VLSI chip. The model used in the system is polycell with marcocell. The main parts of the system are as follows: hierarchical describing language of layout design and its compiler; two-graded cell library and its management sub-system; verification for design description; placement; global routing; routing; physical design; output exchange and interactive design sub-system.