

多元逻辑 12 位×12 位超高速乘法器*

王守觉 石寅 朱荣华
(中国科学院半导体研究所)

1986年12月25日

本文以多元逻辑电路(DYL)中的线性与或门为“细胞”，构思了体现这种基本门逻辑结构特长的高速数码乘法器结构方案，获得了比目前国际上商品化的高速乘法器更高的运算速度。实验设计制作的12位×12位乘法器实测结果表明：最大乘法时间在10ns左右，并能直接插入TTL电路系统使用。

文中分析了DYL线性与或门在二值逻辑系统中的逻辑结构、电路结构特点，提出了用这种基本门构成高速组合逻辑电路的综合方法，并讨论了实现这种基本门阵列高速的关键。

一、引言

数字乘法运算是数字信号处理和数字电子计算机在求解科学问题过程中的一种主要运算，研究提高数字乘法运算的速度将能较大地增加这类数字系统单位时间内处理的信息流量。为此，自五十年代初起直至今天，人们始终不断地以此为课题，进行研究，取得了很大进展^[1-5]。

随着半导体集成技术的发展，这种研究的重点已由五、六十年代时期集中在改进原始的时钟控制下的加法-移位算法方式逐步转移到采用独立硬件直接实现数字乘法运算的所谓硬件乘法器或称为阵列乘法器。迄今为止，硅材料的硬件乘法器在单元电路上仍局限于采用TTL、ECL、MOS等通用的或稍作变形的基本门，而在乘法器的结构方案上进行了许多改进，在制造技术上不断地采用先进加工工艺，以此来改善乘法器性能。与此不同，本工作是从选择高速的、结构简单的单元电路着手，采用了多元逻辑电路中的线性与或门^[6]作为“细胞”，以此来构思能体现这种基本门逻辑结构特长的乘法器结构方案。实验结果表明：获得了比目前国际上商品化的高速乘法器高得多的运算速度，12位×12位最大乘法时间约为10ns左右。

二、DYL 基本门逻辑结构特点及超高速乘法器的结构方案

. DYL 基本门的逻辑结构特点

考虑图1所示的DYL基本门，当其输出端没有与其他逻辑门的输出端互连时，其

* 科学基金资助课题

输入输出的逻辑关系表达式为:

$$Y = f(x_1, x_2, \dots, x_{n-1}, x_n) = x_1 \wedge x_2 \wedge \dots \wedge x_{n-1} \wedge x_n. \quad (1)$$

进行的是逻辑“与”运算。

当 k 个这样的基本门输出端互连时, 总输出与各基本门的逻辑关系表达式为:

$$Y = G(f_1, f_2, \dots, f_{k-1}, f_k) = f_1 \vee f_2 \vee \dots \vee f_{k-1} \vee f_k. \quad (2)$$

式中每个 $f_i (i \in 1 \sim k)$, 存在

$$f_i = x_{i_1} \wedge x_{i_2} \wedge \dots \wedge x_{i_{n-1}} \wedge x_{i_n}.$$

所以整个组合电路进行的是逻辑“与或”运算。

显然这是标准的布尔函数最小项之和表达式, 由开关理论可知, 任一开关函数都可用这种最小项之和来表示。

假如上述 k 个基本门的输出端不是象图 1 所示的只是一个, 而是有多个, 同时每个输出端又根据需要与其他门的输出端互连, 此时就能实现属于这 k 个基本门的“与”逻辑运算范围内的 P 个逻辑函数。显然输出端取 2 的组合 P 值为最大:

$$P \leq \frac{A_k^2}{2} = \frac{k(k-1)(k-2)\cdots[k-(2-1)]}{2}. \quad (3)$$

这种情况下, 该电路实现的逻辑函数 Y 应为:

$$Y = \{Y_1, Y_2, \dots, Y_{P-1}, Y_P\} \quad (4)$$

是个有限集合, 其元素 $Y_i (i \in 1 \sim P)$

$$Y_i = G_i(f_1, f_2, \dots, f_{k-1}, f_k).$$

这种用 k 个基本门来同时实现 P 个逻辑函数的方法, 用途之一就是用作可编程序逻辑阵列, 简称为“PLA”。需强调指出, 用 DYL 基本门来实现这种结构, 十分简单, 只经过一级高速门的传播延迟, 速度极快, 这正是 DYL 基本门的逻辑结构特长。

DYL 基本门自身没有倒相功能, 这是它的另一个逻辑结构特点。在以往的逻辑系统综合中通常采用在必要的地方插入少量倒相单元的方法。由于倒相单元速度通常要比 DYL 基本门慢, 制造工艺也较为复杂, 因此, 在高速逻辑系统综合时, 必须尽量减少倒相单元的数量。本文拟用了一种称作为全并行处理法, 这种方法, 除输入部分需要反码外, 整个组合逻辑电路内部可不设倒相单元。其基本原理如下, 考虑任一逻辑函数, 例如:

$$f = (\bar{A}_1 \wedge A_2) \vee (A_2 \wedge \bar{A}_3) \vee (\bar{A}_1 \wedge \bar{A}_3). \quad (5)$$

容易求得其逻辑反函数为:

$$\bar{f} = (A_1 \wedge \bar{A}_2) \vee (\bar{A}_2 \wedge A_3) \vee (A_1 \wedge A_3). \quad (6)$$

这说明只要输入逻辑变量中同时存在正反码, 就能同时产生正反任意逻辑函数。用 DYL 基本门来实现这种方法, 本质上就相当于用几个高速的结构简单的 DYL 基本门代替了一个制造工艺复杂的速度较慢的倒相器, 而且这时正反逻辑函数的产生只同时经过一级基本门的延迟, 速度极快。

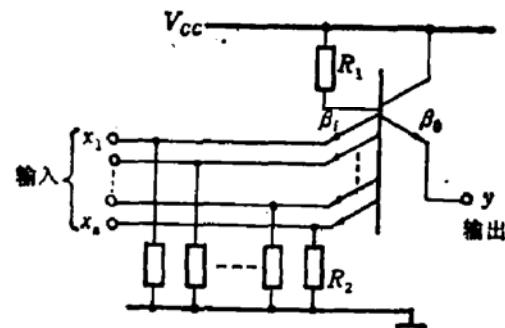


图 1 DYL 基本门

2. DYL 基本门超高速乘法器结构方案

硬件乘法器，在确定了所采用的基本单元电路和制造工艺条件后，提高乘法运算速度的着眼点主要是放在如何减少产生全部最终乘积所需经过的逻辑门的级数上。这中间包括如何来产生部分积项(以下简称“PPG”)和如何对部分积项进行求和(以下简称“PPA”)两大内容上，而 PPG 项的多少又将影响 PPA 级数的多少。

(a) PPG 的产生

常规方法：将每一位被乘数和每一位乘数作逻辑“与”运算，运算结果即产生一个 PPG 项。对于数码为 m 位的被乘数 A 和 n 位的乘数 B ，需求和的 PPG 项 V 就有 $m \times n - 1$ 个(被乘数和乘数的最低位相“与”已为最终乘积)。

本文利用 DYL 基本门的逻辑特长，采用基本门阵列方式构成高速 PLA 来实现低位数乘法器模块，其结果生成 PPG。

考虑被乘数 A 和乘数 B ，各自用等间距分割，它们的数值 A_s 和 B_s ，就可表示为：

$$\left. \begin{aligned} A_s &= \sum_{i=0}^{\frac{m}{k}-1} A_i 2^{ki} \\ B_s &= \sum_{j=0}^{\frac{n}{l}-1} B_j 2^{lj} \end{aligned} \right\}. \quad (7)$$

式中： k 、 l 分别为分割被乘数 A 和乘数 B 的间距； A_i 、 B_j 分别为被乘数的第 i 段、乘数的第 j 段的数码。

此时 $A \times B$ 的乘积 P ，其数值 p_s 为：

$$\begin{aligned} p_s = A_s \times B_s &= \sum_{i=0}^{\frac{m}{k}-1} A_i 2^{ki} \cdot \sum_{j=0}^{\frac{n}{l}-1} B_j 2^{lj} \\ &= \sum_{i=0}^{\frac{m}{k}-1} \sum_{j=0}^{\frac{n}{l}-1} A_i B_j 2^{(ki+lj)}. \end{aligned} \quad (8)$$

式中对于脚标 i ($i \in 0 \sim \frac{m}{k} - 1$) 和 j ($j \in 0 \sim \frac{n}{l} - 1$) 的任意值的乘积项 $A_i B_j 2^{(ki+lj)}$

就是一个基本的 $k \times l$ 位的低位数乘法器模块。图 2 为采用这种方法构成的高位数乘法器的结构框图。

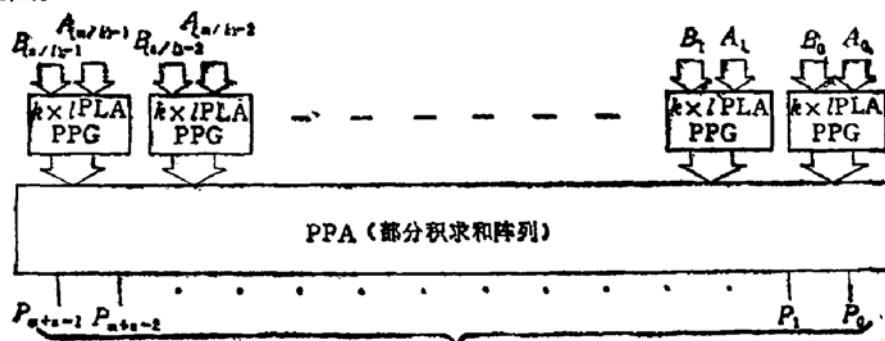


图 2 用低位数 PLA 乘法器模块构成高位数乘法器的结构框图

可以推导出，分割间距 k, l 变化时对应于所需求和的 PPG 项的关系：

$$V = \frac{m}{k} \times \frac{n}{l} \times (k+l) - \min(k, l). \quad (9)$$

式中 $\min(k, l)$ 为不需和其他 PPG 项求和的最终乘积。

对于 12 位×12 位实验对象， $m = n = 12$ ，考虑分割间距相等，即 $k = l$ 的情况，可计算出不同 k 值时的 V 值，并与常规方案比较，结果如表 1 所示。

表 1

k	2	3	4	6
V	142	93	68	42
比常规方案少	1	50	75	101

若采用 ROM 方法来实现 $k \times l$ 位乘法器模块，所需的逻辑门数 G_{ROM} 为：

$$G_{ROM} = 2^k \times 2^l = 2^{(k+l)}. \quad (10)$$

采用 PLA 方法来实现，可以化简。两数相乘，只要其中一个数为“0”，乘积必为“0”。由此可推导出用 PLA 方法所需的逻辑门数 G_{PLA} 为：

$$G_{PLA} = 2^{(k+l)} - 2^k - 2^l + 3. \quad (11)$$

表 2 为等间距分割的 12×12 位实验对象，不同的 k 值时的 G_{PLA} 值，并与 G_{ROM} 值相比较。

表 2

k	2	3	4	6
G	11	51	227	3971
比 ROM 法少	5	13	29	125

由上可见，采用 PLA 法来生成 PPG，减少了需求和的部分积数，所需逻辑门亦比 ROM 法少。更值得注意的是，用 DYL 基本门来实现时，能在不增加门数的情况下，利用输出端不同的“线或”，同时形成输出信号的正反码，以致后面 PPA 中可不设任何倒相单元。

实验中选择 $k = l = 3$ 。

(b) PPA 的构成

将 $m = n = 12$, $k = l = 3$ 代入 (8) 式, p_v 为：

$$p_v = \sum_{i=0}^5 \sum_{j=0}^3 A_i B_j 2^{3(i+j)}. \quad (12)$$

由上式可算出每一位最终乘积在不考虑前一位进位数时的 PPG 项。将每一位最终乘积的 PPG 项求和并考虑前一位最终乘积的进位数，可以综合出 PPA 结构图。综合

过程中,纵向末层以前的全加器采用 CAS 方式^[7],纵向末层全加器采用 CLA 技术^[8],16 位的快速进位链采用分 4 组,每组为 4 位带扩展的方式来实现。

由于 PPG 及 PPA 中正反码同时输出的全加器均只需经过一级 DYL 基本门的延迟,至此可以计算出整个 12×12 位乘法器所需经过的门级数。结果如表 3 所示,并与用其他电路来实现的情况相对照。

表 3

门级数	PPG 部分	PPA 部分	快速进位链部分	共
DYL	1	5	3	9
TTL	2	24	6	32
变形 ECL	1	12	3	16

三、DYL 基本门电路结构特点及其高速门阵列设计

从电路的角度来看,与常规逻辑集成电路不同,DYL 基本门是一种无阈值的线性逻辑门。可以推导出^[9]它的电压传输特性中具有如下一个性质:

$$\left\{ \begin{array}{l} \frac{d\Delta V_{BE}}{dV_i} = \frac{-[(1+\beta_0) + m \frac{R_1}{R_2}] r_{bi}}{[1+\beta_0 - m(1+\beta_i)] R_1} - \frac{m \left(1 + \beta_i + \frac{R_1}{R_2}\right) r_{bo}}{[1+\beta_0 - (1+\beta_i)m] R_1} \\ \quad + \frac{kT/q}{V_i - \frac{V_{ce} - V_{BEi}}{1 + \frac{mR_1}{(1+\beta_0)R_2}}} - \frac{kT/q}{V_i - \frac{V_{ce} - V_{BEo}}{1 + \frac{R_1}{(1+\beta_i)R_2}}} \end{array} \right. \quad (13)$$

$$\Delta V_{BE} = V_{BEi} - V_{BEo}$$

式中: V_{BEi} 、 V_{BEo} 分别为门中输入、输出晶体管的发射结电压降, r_{bi} 、 r_{bo} 分别为输入、输出晶体管的基极串联电阻, β_i 、 β_o 分别为输入、输出晶体管的共发射极电流放大倍数, m 为扇出数, V_i 为输入电压值。

将电路中的实用参数代入,可知式中四项均为数值较小的负值。可见信号通过基本门传输后会出现一点摆幅衰减(每经一级门的衰减量约为 0.1 伏左右)。在连续经过这种门传输级数较多的场合,必须设法减少每级门的衰损。此时,可以采用图 3 所示的有源馈电方式^[10]基本门。同样可以推导出有源馈电方式的与 (13) 式相对应的表达式:

$$\left\{ \begin{array}{l} \frac{d\Delta V_{BE}}{dV_i} = \frac{-mr_{bi}}{[1+\beta_0 - m(1+\beta_i)] R_1} - \frac{r_{bo}}{[1+\beta_0 - (1+\beta_i)] R_2} \\ \quad + \frac{kT/q}{V_i - \frac{I_b R_2 (1+\beta_0)}{m}} - \frac{kT/q}{V_i - I_b R_2 (1+\beta_i)} \end{array} \right. \quad (14)$$

式中: I_b 为恒流偏流, k 、 T 、 q 为通常定义。

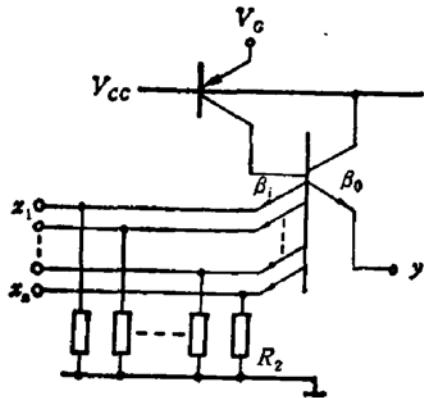


图 3 有源馈电 DYL 基本门

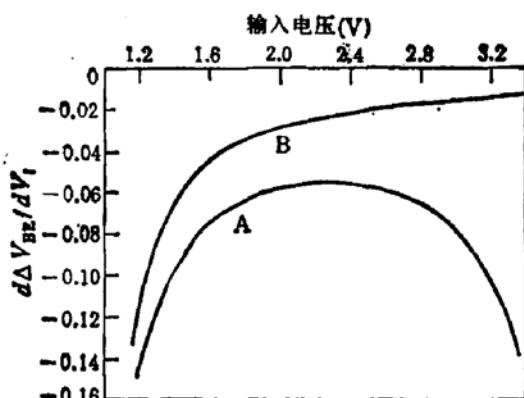


图 4 两种馈电方式基本门 $d\Delta V_{BE}/dV_i$ 随输入电压的变化
A: 电阻馈电方式 B: 有源馈电方式

图 4 为实用参数下的两种馈电方式的 $d\Delta V_{BE}/dV_i$ 随输入电压的变化曲线。图中曲线是将实用参数 $r_{bi} = r_{bo} = 20\Omega$ 、 $R_1 = 2k\Omega$ 、 $R_1/R_2 = 4$ 、 $\beta_0 = 60$ 、 $\beta_i = 0.2$ 、 $m = 3$ 、 $I_b = \frac{V_{cc} - V_{BEi}}{R_1 + (1 + \beta_i)R_2}$ 代入 (13)、(14) 式后求得的。由图可见有源馈电方式的数值较小, 即对

信号衰减较小, 有利于在多级门级联的情况下使用。

文献[6]指出, DYL 基本门在较粗的加工尺寸下, 每门延迟小于 1ns。文献 [11] 指出, 采用高速工艺后, 已实现极高速。对基本门的动态过程进行分析可知, 由于结构上的原因, 正偏下的输入发射结的扩散电容较大, 这对加速电路的动态过程起了十分重要的作用。图 5 是以有源馈电基本门作实验, 用间接方法测得的不同 I_b 时, 输入端加阶跃脉冲, 输入发射结的瞬态响应。由图可见 I_b 大于 $400\mu A$ 后, 由于输入发射结扩散电容较大, 信号可近似看作不产生延迟直接通过输入发射结, 相反, 当 I_b 较小时, 输入发射结扩散电容较小, 瞬时会出现发射结反偏, 动态过程大大加长。

在合理选择输入发射结电流的情况下, 忽略信号通过输入发射结的延迟, 采用比较接近实际情况的模型, 可以推导出基本门的平均传输延迟时间 t_p^* 的表达式^[9]:

电阻馈电方式:

$$t_p^* = \left[0.7 + \ln \frac{(r_i + r_s)c_i}{(r_i + r_s)c_i - (r_0 + r_s)c_0} \right] \tau_i + 0.35[(1 - \alpha_0)(R_1 + r_0)m c_{s0} + R_2 c_{s0}] \quad (15)$$

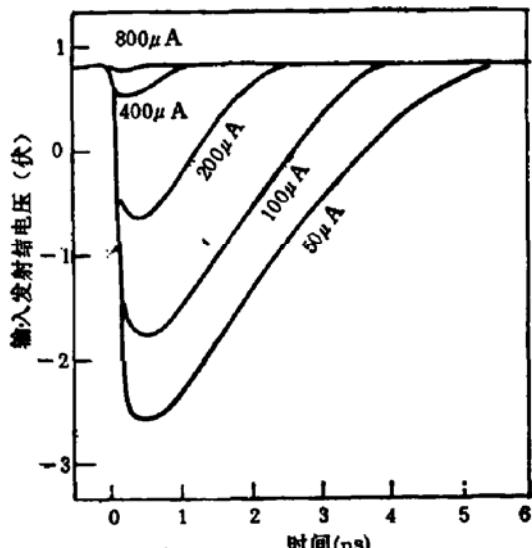


图 5 不同 I_b 时的输入发射结瞬态响应

有源馈电方式:

$$\begin{aligned} t_p^* = & \left[0.7 + \ln \frac{(r_i + r_s)c_i}{(r_i + r_s)c_i - (r_0 + r_s)c_0} \right] \tau_i \\ & + \left[0.7 + \frac{1}{2} \ln \frac{I_b(1 + \beta_0) - V_{OL}}{V_{OH} - V_{OL}} \right] R_2 c_{e0}. \end{aligned} \quad (16)$$

式中: $(r_i + r_s)$ 、 $(r_0 + r_s)$ 分别为输入、输出晶体管基极串联电阻, r_s 为两者的公共部分; c_i 、 c_0 分别为输入、输出晶体管的寄生电容; c_{e0} 为下级门的输入电容; V_{OH} 、 V_{OL} 分别为基本门输出的高低电平值; τ_i 近似等于 $(r_i + r_s)c_i$ 。

根据 DYL 基本门制造工艺参数, 考虑采用泡发射区工艺, 发射结面积设为 $5 \times 5 \mu\text{m}^2$, 此时可以算得 c_i 、 c_0 、 c_{e0} 的平均值分别为:

$$\left. \begin{aligned} \bar{c}_i &= (n-1)1.22 + n0.063 + 0.1 \text{ (pF)} \\ \bar{c}_0 &= k(0.214 + 0.047) \text{ (pF)} \\ \bar{c}_{e0} &= 1.22 + 0.1 \text{ (pF)} \end{aligned} \right\}. \quad (17)$$

式中: n 为输入端数, k 为输出端数 (由于 k 通常小于 n , 所以 \bar{c}_i 总是远大于 \bar{c}_0)。

可以得出 DYL 门阵列实现高速的关键: 1. 要合理选择输入发射结电流, 以保证有足够的输入发射结电容使信号能不产生延迟地通过输入发射结。2. 由 (17) 式可见, 输入晶体管寄生电容 \bar{c}_i 为最大, 而 \bar{c}_i 中, 输入发射结电容又为主要成分, 为此要设法减小输入发射结面积, 以减小 \bar{c}_i ; 同时还要通过增加浓硼杂质浓度, 适当加宽浓硼区宽度来降低 r_i 和 r_s , 从而来减小 τ_i 。3. 采用浅结扩散工艺, 提高输出晶体管的 f_T , 以减小 (15)、(16) 式第一项中的附加对数项。4. 适当减小 R_2 , 用增加一点功耗来提高速度。

四、12 位 \times 12 位超高速乘法器的设计制造及实际测试结果

根据前面讨论的结构方案, 采用有源馈电方式基本门阵列进行设计制造。整个 12 位 \times 12 位乘法器采用四种芯片构成, 它们的代号分别为: 1. HSM-0, 2.HSM-2, 3.HSM-3, 4. HSM-4。管芯照片如图 6 所示(见图版 I)。

图 7 * 为乘法器从数据输入, 经乘法器中最长的传播延迟后产生最终乘积实测的某位波形。图中延迟时间, 即为最大乘法时间, 约为 10ns 左右。为了便于测量, 图中输出波形经示波器 Y 轴通道放大了 0.9 伏左右。图 8 为未经放大的输入输出信号实测波形照片, 输出波形低电平抬升了 0.9 伏左右, 经二极管电平移位后的实际逻辑电平足以能直接驱动 TTL 电路。图 9 为输出信号直接驱动二个 TTL 反相器的实测照片。

五、结 束 语

全部采用 DYL 基本门阵列构成的 12 位 \times 12 位乘法器业已实现了超高速, 最大乘法时间在 10ns 左右, 并能直接插入 TTL 电路系统中使用。这证明了本文所采用的设计

* 图 7-9 见图版 II.

方法的可行性。可以推算,利用相同原理构成更高位数的乘法器,例如16位×16位,乘法时间也将在15ns以内。这将为高速逻辑系统,尤其是超高速运算部件的研制提供可行的新途径。

赵泉沐、侯静媛、曹秀兰、李大虹参加了本实验乘法器管芯的试制工作,中国科学院半导体研究所二室全体同志给予了大力支持,在此表示感谢!

参 考 文 献

- [1] A. D. Booth, *Quart. J. Mech. Appl. Math.*, 4, 236, (1951).
- [2] J. E. Robertson, *IRE Trans.*, EC-4, 118 (1955).
- [3] C. S. Wallace, *IEEE Trans.*, EC-18, 14 (1964).
- [4] D. P. Agrawal, *IEEE Computer Society* 75C1017-3C, 208 (1975).
- [5] H. Yamauchi, *IEEE Trans.*, SC-18, 204 (1983).
- [6] 王守觉、孙祥义、王润海, *电子学报*, 8, 43(1983).
- [7] O. L. Macorley, *IRE*, 49, 67—91, Jan. (1961).
- [8] G. W. Reitwiesner, *IRE. Trans.*, EC-9, 35—38 (1960).
- [9] 石寅, 中国科学院半导体研究所研究生论文, (1986).
- [10] 王玉富, 中国科学院半导体研究所研究生论文, (1981).
- [11] 王守觉、李致洁等, *电子学报*, 11, 9, (1983).

A Multicell-Type Logic (DYL) 12 bit×12 bit Super High Speed Multiplier

Wang Shoujue, Shi Yin and Zhu Ronghua

(Institute of Semiconductors, Academia Sinica)

Abstract

A high speed multiplier has been described by means of Multicell-Type Logic (DYL) Linear AND-OR gate, which reflects the logic speciality of the Linear AND-OR gate. Consequently, it achieves much higher speed than the multiplier of international market. The data by measuring a 12bit×12bit multiplier specimen shows: maximal multiplying time is about 10 ns and its usage can be directly inserted in TTL system.

The feature of the Linear AND-OR gate about both logic and circuit in binary logic is analysed. The synthesis for high speed combination logic with this basic gate is presented. The key of achieving high speed of the basic gate array is also discussed.