

VDMOS 均匀掺杂外延区的优化设计*

何 进 王 新 陈星弼

(电子科技大学微电子所 成都 610054)

摘要 本文通过外延区为均匀掺杂的VDMOS 穿通击穿条件和外延区比导通电阻 R_{on} 的理论分析,首次得到了 R_{on} 随外延区参数、击穿电压变化的简捷普遍关系式。在此基础上提出了VD-MOS 为均匀掺杂外延区时的优化设计理论:对于各种高压VDMOS,只要外延区厚度取为同衬底浓度下突变结击穿时耗尽层宽度的最佳分割长度,即穿通因数 F 的倒数 η 为 0.75 时,就可保证外延区 R_{on} 为最小。凭借此理论,本文首次推出了VDMOS 外延区优化设计的严格理论公式,纠正了一些文献引用经验关系或突变结关系导出的设计公式的不准确性及错误结论。这些理论结果可直接作为功率MOS 等非电导调制器件的设计准则。

EEACC: 256Q, 256OR

1 引言

功率MOS 场效应晶体管是在MOS 集成电路工艺基础上发展起来的新一代电力开关器件。自从 1978 年 IR 公司推出其垂直双扩散VDMOS 新结构以来,电力MOSFET 得到了迅速发展^[1-3]。这种器件采用电压控制方式,具有很大的输入阻抗,极高的开关速度,良好的热稳定性等一系列独特优点,目前已在开关稳压电源、高频加热、计算机接口电路以及功率放大器等方面获得了广泛应用。可以肯定,随着功率电子器件进一步向高压、高频、大电流方向发展,VDMOS 必将显示更广阔的应用前景。

对于VDMOS 等MOS 型功率器件,获得足够高的击穿电压和尽可能低的导通电阻 R_{on} 是设计中需要同时考虑的两个主要方向。对于耐压高的功率MOS 器件, R_{on} 主要由外延区电阻决定。外延层愈厚,电阻率越高,击穿电压也愈高,同时导通电阻也越大。因此,功率MOS 器件存在击穿电压与导通电阻的矛盾,二者都主要取决于外延区参数(厚度和掺杂浓度)。文献[4]通过变量积分法求出了VDMOS 在最优掺杂分布条件下外延区比导通电阻 R_{on} 随击穿电压的 2.5 次幂上升的关系。文献[5]在考虑电流的二维效应后也得出了优化掺杂下 R_{on} 随 V_{br} 称为VDMOS 极限关系的类似结论。采用穿通结构可以去掉VDMOS 外延区不必要

* 国家自然科学基金资助项目(批准号 69776041)

何 进 男,1966 年出生,博士生,目前研究方向为功率半导体器件及半导体材料

王 新 男,1967 年出生,副教授,目前研究方向为新型功率器件及工艺

陈星弼 男,1931 年出生,教授,博士生导师,长期从事新型MOS 功率器件及功率集成电路的研究

1998-07-09 收到,1998-11-29 定稿

的额外欧姆压降,因而减薄外延区厚度 此外,实际功率MOS 大多采用均匀掺杂的外延层材料 在这种情形下, R_{on} 的变化涉及穿通击穿电压 BV_{PT} 、外延区厚度以及掺杂浓度,问题十分复杂 然而在VDMOS 设计中,获知一般情况下 R_{on} 如何随外延区设计参数及击穿电压变化却十分重要 文献[6]使用归一化的方法讨论了这个问题 结论却因推导过程的理论错误而不能使用,后面将证明这一点 本文通过上述结构VDMOS 穿通击穿条件及外延区比导通电阻 R_{on} 的理论分析,首次得到了一般情形下 R_{on} 随外延区参数及击穿电压变化的普遍关系式 在此基础上提出了VDMOS 外延区优化设计理论——最佳分割长度的选取 运用此理论,本文首次推出了VDMOS 外延区优化设计的严格理论公式 其准确性优于文献[7]运用经验关系推出的设计公式和文献[8]不适当地代入突变结关系得出的结果,可直接用于功率MOS 的优化设计.

2 理论

外延区均匀掺杂的穿通型VDMOS 结构如图 1 所示,本文以N 沟道VDMOS 为例 根据文献[9],VDMOS 漏源击穿电压 BV_{PT} 与外延区比导通电阻 R_{on} 可分别表示为

$$BV_{PT} = W_{PT} E_{max(PT)} - \frac{q}{2\epsilon} N W_{PT}^2 \tag{1}$$

$$R_{on} = \frac{W_{PT}}{q\mu N} \tag{2}$$

- 式中 W_{PT} 为VDMOS 外延区厚度,单位 cm;
 $E_{max(PT)}$ 为外延区穿通时最大电场,单位 V/cm;
 N 为外延区掺杂浓度,单位 cm^{-3} ;
 BV_{PT} 为VDMOS 穿通击穿电压,单位 V;
 q 为一个电子电荷量,为 $1.6 \times 10^{-19}C$;
 ϵ 为硅介电常数,为 $1.045 \times 10^{-12}F/cm$;
 μ 为外延区载流子迁移率,电子为 $1360cm^2/(V \cdot s)$,空穴为 $495cm^2/(V \cdot s)$;
 R_{on} 为外延区比导通电阻,单位为 $\Omega \cdot cm^2$.

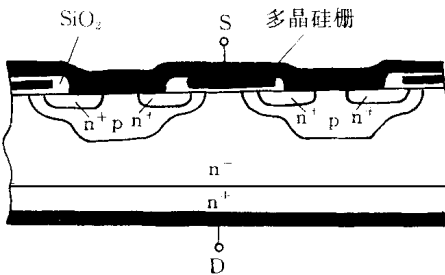


图 1 VDMOS 结构示意图

实际上,VDMOS 截止行为类似一反偏穿通结 穿通结与相同衬底浓度的突变结存在一系列对应关系,图 2 示出了它们之间的联系 从图 2 可以看出,如果略去 p^+ 区及 n^+ 区对耐压的贡献,令 BV_{PT} 与对应突变结击穿电压 BV_{PN} 之比为 x ,穿通因数 F 的倒数为 η 那么由文献[10]有

$$E_{max(PT)} = E_{max(PN)} \tag{3}$$

$$BV_{PT}/BV_{PN} = x, \quad (0 < x < 1) \tag{4}$$

$$W_{PT}/W_{PN} = \eta \quad (0 < \eta < 1) \tag{5}$$

从而有

$$\frac{BV_{PT}}{BV_{PN}} = 2\eta - \eta \tag{6}$$

故

$$\eta = 1 - \sqrt{1 - x} \tag{7}$$

$$x = 1 - (1 - \eta)^2 \tag{8}$$

上式中, $E_{\max(PN)}$ 为对应突变结击穿时最大电场, 单位为 V/cm ;

W_{PN} 为对应突变结击穿时耗尽层宽度, 单位为 cm .

根据文献[11]

$$E_{\max(PN)} = 4010N^{\frac{1}{8}} \tag{9}$$

$$BV_{PN} = 5.34 \times 10^{13} N^{-\frac{3}{4}} \tag{10}$$

将(9)、(10)式代入(1)并结合(7)式, 有

$$BV_{PT} = 5.34 \times 10^{13} (2\eta - \eta^2) N^{-\frac{3}{4}} \tag{11}$$

$$W_{PT} = 2.67 \times 10^{10} \eta^{-\frac{2}{8}} \tag{12}$$

将(11)、(12)代入(2)式, 则

$$R_{on} = \frac{8.1 \times 10^{-6} \eta BV_{PT}^{2.5}}{\mu (2\eta - \eta^2)^{2.5}} \tag{13}$$

对于硅 N-沟道 VDMOS,

$$R_{on} = \frac{5.9 \times 10^{-9} \eta BV_{PT}^{2.5}}{(2\eta - \eta^2)^{2.5}} \tag{14}$$

对于硅 P-沟道 VDMOS,

$$R_{on} = \frac{1.6 \times 10^{-8} \eta BV_{PT}^{2.5}}{(2\eta - \eta^2)^{2.5}} \tag{15}$$

因此, (13)~(15)式成为穿通击穿 VDMOS 外延区比导通电阻 R_{on} 的普遍关系式 从上述诸式可以看出:

(1) 对于满足穿通击穿的任意 VDMOS 设计, R_{on} 均随击穿电压 BV_{PT} 的 2.5 次幂上升, 而与外延区是否优化设计及最佳掺杂分布无关 这推广了文献[4]、[5]只在最优掺杂或优化设计的特殊情形下才得到的 R_{on} 与 BV 关系

(2) 对于一定的击穿电压和外延层参数设计, 选用迁移率高的材料或载流子类型, 可使 R_{on} 得到一定程度的下降

对于 Si 材料, N-沟道 VDMOS 之 R_{on} 比 P-沟道 VDMOS 之 R_{on} 小 63%.

(3) 当击穿电压及迁移率一定时, 外延区设计参数的变化对 R_{on} 的影响可以通过一个参量——穿通因数 F 的倒数 η 很简单地表示出来 R_{on} - η 关系如图 3 从式(13)可看出: η 的取值大小反映了 VDMOS 设计中外延层参数(厚度和掺杂浓度)的一系列选择

当 $\eta = 1$ 时, VDMOS 结构成为临界穿通结构情形(处于突变结和穿通结的过渡点上, 一般称为理想二极管情形). 这时, 对于硅 N-沟道 VDMOS,

$$R_{on}(c) = 5.91 \times 10^{-9} BV_{PT}^{2.5} \tag{16}$$

对于硅 P-沟道 VDMOS,

$$R_{on}(c) = 1.6 \times 10^{-8} BV_{PT}^{2.5} \tag{17}$$

这与文献[12]将突变结击穿参数代入 R_{on} 表达式的结果完全一致

(4) 对于均匀掺杂外延区, 从(13)式可看出, 外延层参数的最佳匹配可使 R_{on} 取得极小

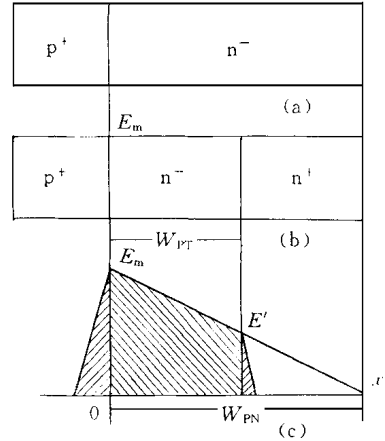


图 2 p⁺-n⁻-n⁺ 穿通结构与同衬底突变结 p⁺-n⁻ 关系 阴影区为 p⁺-n⁻-n⁺ 电场及击穿电压

值 用(13)式 R_{on} 对 η 求导, 可得出 R_{on} 极小值的条件 即令 $\frac{\partial R_{on}}{\partial \eta} = 0$, 结果为

$$\eta = 0.75, \quad \frac{\partial R_{on}}{\partial \eta} = 0, \quad \frac{\partial^2 R_{on}}{\partial \eta^2} > 0 \tag{18}$$

所以, $\eta = 0.75$ 时, W_{PT} 成为同衬底浓度突变结耗尽层宽度的最佳分割长度, R_{on} 取得极小值, VDMOS 外延区为最优设计, 正如图 3 所示

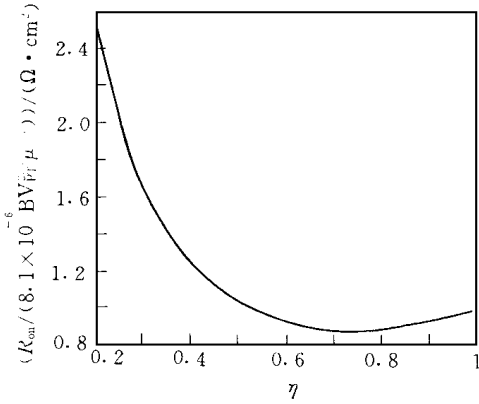


图 3 R_{on} 随 VDMOS 外延区参数表征量 η 的变化规律

此时, 对于 N-沟道 VDMOS

$$R_{on}(\text{m in}) = 5.2 \times 10^{-9} BV_{PT}^{2.5} \tag{19}$$

对于 P-沟道 VDMOS,

$$R_{on}(\text{m in}) = 1.4 \times 10^{-8} BV_{PT}^{2.5} \tag{20}$$

由此可知: VDMOS 优化设计时的 R_{on} 比临界穿透设计的 R_{on} 值有一定程度的下降 经计算, $R_{on}(\text{m in})$ 比 $R_{on}(c)$ 小约 12%. 对于高压 VDMOS 这是一个可观的改善 较之 $\eta < 0.75$ 的穿透设计的 R_{on} 值, $R_{on}(\text{m in})$ 下降比例更大

(5) $\eta = 0.75$, R_{on} 为极小值的物理意义为: 在满足要求的击穿电压 BV_{PT} 下, 当 VDMOS 外延区厚度 W_{PT} 取为同衬底浓度的突变结击穿时耗尽层宽度 W_{PN} 的最佳分割长度, 即 $W_{PT} = 0.75W_{PN}$ 时,

就可保证 VDMOS 外延区实现 R_{on} 为最小的优化设计 此时, 对应 η 的 x_0 之值可计算出来

$$x_0 = \frac{BV_{PT}}{BV_{PN}} = 1 - (1 - \eta)^2 = 0.9375 \tag{21}$$

3 VDMOS 外延区优化设计的公式

采用上述理论, 可由公式(10)~ (21) 求出 VDMOS 外延层优化设计公式 当 VDMOS 击穿电压为 BV_{PT} 时, 由(10)、(11)两式得

$$W_{PT(\text{opt})} = 2.086 \times 10^{-6} BV_{PT}^{7/6} \tag{22}$$

$$N_{(\text{opt})} = 1.873 \times 10^{18} BV_{PT}^{-4/3} \tag{23}$$

$$W_{PT(\text{opt})} = 2.00 \times 10^{10} N_{(\text{opt})}^{-7/6} \tag{24}$$

以 BV_{PT} 为变量, $W_{PT(\text{opt})}$ 及 $N_{(\text{opt})}$ 与 BV_{PT} 关系如图 4 所示 上述设计公式与文献[7]代入 Miller 提出的 E_c 经验关系推出的结果相比, 后者存在严重误差 与文献[8]代入突变结 E_c - BV 关系得出的结论相比, 文献[8]外延层厚度公式误差较大, 而掺杂浓度公式几乎一致

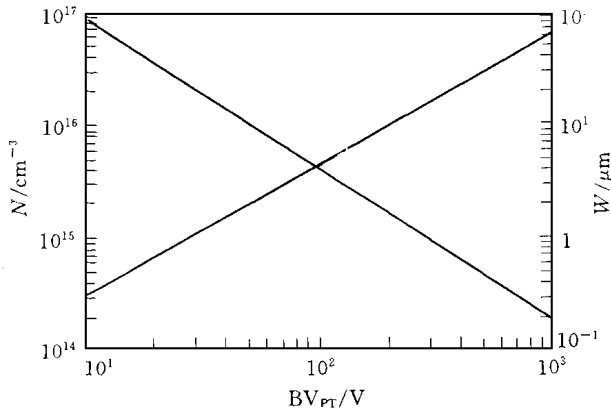
上述 3 式可作为 PT 型 VDMOS 设计外延层的准则 下面讨论优化设计与临界设计-穿透突变结情形参数大小的比较 在临界设计中, $\eta = 1$, 故按文献[10], 有

$$W_{PN(c)} = 2.57 \times 10^{-6} BV_{PT}^{7/6} \tag{25}$$

$$N_{PN(c)} = 2.01 \times 10^{18} BV_{PT}^{-4/3} \tag{26}$$

从而得

$$\frac{W_{PT(\text{opt})}}{W_{PN(c)}} = 81.2\% \tag{27}$$

图 4 VDMOS 外延区优化设计参数与击穿电压 BV_{PT} 的关系

$$\frac{N_{(opt)}}{N_{PN(c)}} = 93.2\% \quad (28)$$

由此可见: VDMOS 外延区优化设计时, 基区厚度仅比平行平面结-突变结设计时基区厚度减少 18.8%, 即大约 20%. 而不是象文献[6]错误的结论那样, 可减少 50%. 此外, 优化设计时的衬底浓度比平行平面结-突变结设计时小 16.8%, 即大约 17%.

4 结论

本文通过高压 VDMOS 穿通击穿条件和均匀掺杂外延区比导通电阻 R_{on} 表达式的理论分析, 首次获得了穿通结构 VDMOS 的 R_{on} 普适表达式, 讨论了击穿电压、载流子迁移率以及满足击穿时外延区参数变化对 R_{on} 的影响规律. 在此基础上提出了 VDMOS 外延区优化设计之理论——最佳分割长度的选取. 其内容为: 在满足击穿电压要求下, 只要外延区厚度取为同衬底浓度突变结击穿时耗尽层宽度的最佳分割长度, 即穿通因数 F 的倒数 η 为 0.75 时, 那么就可保证外延区 R_{on} 为最小. 凭此理论, 本文首次提出了 VDMOS 外延区优化设计的严格理论公式, 纠正了其它文献代入经验或突变结 E_c 关系推出的设计公式的不确定性. 这些结果可以直接作为功率 MOS 等非电导调制功率器件的优化设计准则.

参 考 文 献

- [1] Temple V. A. K., Love R. P., Gray P. V., IEEE Trans Electron Devices, 1980, 27: 343~ 349.
- [2] 陈萍, 李志坚, 刘理天, 半导体学报, 1996, 17(8): 622~ 627.
- [3] 周宝霞, 陈治明, 王守觉, 半导体学报, 1997, 18(1): 32~ 35.
- [4] Hu C., IEEE Trans Electron Devices, 1979, 26: 243~ 244.
- [5] Xing-Bi Chen and Hu C., IEEE Trans Electron Devices, 1982, 29: 2985~ 987.
- [6] B. J. Baliga, Modern Power Semiconductor Devices, John Wiley & sons, New York, (1985): 157~ 159.
- [7] S. G. Sun, J. D. Plummer, IEEE Trans Electron Devices, 1980, 27: 156~ 367.
- [8] Hu C., IEEE Trans Electron Devices, 1984, 31: 1698~ 1700.
- [9] 陈星弼, 功率 MOSFET 与高压集成电路. 南京: 东南大学出版社, (1990), 第 182 页.

- [10] S. K. Ghandni, *Semiconductor Power Devices*, John Wiley & Sons, New York, (1977): 36~ 37.
[11] B. J. Baliga and S. K. Ghandni, *Solid State Electronics*, 1976, **19**(2), 739~ 744.
[12] B. J. Baliga, *Modern Power Semiconductor Devices*, John Wiley & Sons, New York, 1985: 152~ 153.

Optimum Design of Epitaxial Layers With Uniform Doping for VDMOS Transistor

He Jin, Wang Xin, Chen Xingbi

*(Institute of Microelectronics, University of Electrical Science
and Technology of China, Chengdu 610054)*

Received 9 July 1998, revised manuscript received 29 November 1998

Abstract The dominant feature of high-voltage VDMOSFET design is the trade off between the ideal breakdown voltage and the ideal on-resistance R_{on} . On the basis of analysis of the punch-through breakdown and the minimization of R_{on} conditions of VDMOS with the uniform doping epitaxial layers, the common expressing of R_{on} is found and the theory of optimization of the uniform doping epitaxial layers of VDMOS has been developed. The minimization of R_{on} can be achieved by setting the epitaxial thickness W_{PT} to be ηW_{PN} , η being equal to 0.75 (the best design coefficient), W_{PN} being the depletion width of abrupt junctions with the same substrate concentrations at breakdown. By means of the theory results mentioned above, the optimum parameters expression of epitaxial layers for VDMOS have also been obtained, which can directly be used in optimum design of the non-conductivity modulation power semiconductor devices.

EEACC: 2560L, 2560R