第 18 卷第 3 期 半 导 体 学 报 Vol. 18, No. 3
1997 年 3 月 CHINESE JOURNAL OF SEMICONDUCTORS Mar., 1997

一种适用于模/数混合集成电路的新型低噪声电流控制逻辑

缪国清 徐国庆 唐璞山 杨崇和

(复旦大学电子工程系 上海 200433) (贝岭微电子制造有限公司 上海 200233)

摘要 本文给出了一种新型低噪声电流控制逻辑结构，用于在模/数混合集成电路的设计中取代静态 CMOS 逻辑，以减小数字开关噪声通过衬底耦合对模拟电路性能的影响. 在分析了该逻辑的基本工作原理后，本文对电流控制逻辑的逻辑结构，开关特性，噪声特性和功耗及功耗-延迟积等性能与静态 CMOS 逻辑作了比较，并用电路模拟进行了验证. 理论分析和电路模拟的结果都显示，和静态 CMOS 逻辑相比，新型电流控制逻辑的峰值噪声电流下降了近三个数量级. 该逻辑具有很好的设计灵活性和低电压工作性能，并已成功地应用于一个高性能的过采样 A/D 转换电路中.

EEACC：1280，2570D，1265B

1 引言

随着集成电路工艺技术和设计规模的不断增大，单片系统集成已经成为可能. 其中单片模/数混合集成技术已被广泛地应用于通信、数据和信号采集等电路的设计中[1,2]. 由于静态 CMOS 逻辑具有设计方便，高的集成度和可靠性等优点，它是目前模/数混合电路中数字电路设计的主流逻辑. 但在高性能模/数混合电路中，由于模拟电路和数字电路被制作在同一硅衬底上，又由于它们共用电源和地线，来自数字电路的开关噪声已成为限制模拟电路性能的主要因素[3~5]. 为克服数字开关噪声对模拟电路性能的影响，已经提出了多种电路和版图设计方法[6,7]，但由于公用衬底，数字开关噪声仍能通过衬底影响并限制模拟电路的性能.

在静态 CMOS 逻辑电路工作时，电路内部状态的变化以及对结点负载电容的充放电而在电源和地线中产生了数字开关噪声电流[8]. 而在实际电路和版图设计中，为克服电路的锁定效应，公共衬底一般和电源(P 阱工艺)或地线(N 阱工艺)连接，这时数字噪声电流通过衬底以及电源和地线上的寄生电容、电感和电阻耦合到模拟电路，使其内部节点电压发生变化，并通过体效应改变 MOS 管的阈值电压，使模拟电路的性能下降. 本质上噪声电压是由于通过电源和地线的工作电流波动而引起的. 如果能从根本上消除电源和地线上的电流波动，就能避免产生数字开关噪声，为此我们引入了一种新型低噪声电流控制逻辑(简称 CSL

缪国清 男，1966 年生，博士研究生，目前主要从事低噪声模/数混合集成电路设计的研究工作
徐国庆 男，1970 年生，博士研究生，目前主要从事 ICCAD 和集成电路设计的研究工作
唐璞山 男，1934 年生，博士生导师，目前主要从事 ICCAD 和集成电路设计的研究工作
1996 年 2 月 1 日收到初稿，1996 年 6 月 10 日收到修改稿

逻辑)，用于在混合集成电路设计中取代静态 CMOS 逻辑. 电流控制逻辑在恒定偏置电流下工作，它通过控制偏置电流的不同流向产生两个逻辑电平，避免了静态 CMOS 逻辑工作时引入的开关噪声电流.

本文首先给出电流控制逻辑的基本电路结构并分析其工作原理，获得该逻辑的输入输出传输特性及其延迟特性关系表达式. 通过与静态 CMOS 逻辑的比较，本文逐项分析了电流控制逻辑的电路结构，开关特性，噪声特性和功耗及功耗-延迟积等性能，最后给出一个电路实例的测试结果.

2　电流控制逻辑(CSL)的基本逻辑结构和工作原理

图 1 为采用电流控制逻辑实现的基本倒相器电路，它由输入 NMOS 管 M_1、栅漏短接的输出管 M_2 和提供固定偏置电流 I_B 的 PMOS 管 M_3 组成. 工作时，信号从 M_1 管的栅极输入，从 M_2 管的栅漏端输出.

当输入 V_{in}为一低电平电压时，M_1 管截止，偏置电流流入 M_2，在电路的输出端产生的高电平电压为

$$V_{OH} = V_{tn} + V_{dsatM2} \tag{1}$$

其中　V_{tn}是 NMOS 管的阈值电压；V_{dsatM2}定义为

$$V_{dsatM2} = \sqrt{\frac{2I_B}{k'_n}(\frac{L}{W})_2} \tag{2}$$

其中　k'_n 为 NMOS 管的本征导电因子. 当(1)式的高电平电压 V_{OH}加在倒相器的输入端时，M_1 管导通，引导偏置电流 I_B 流入 M_1，使输出为低电平，相应的输出低电平电压为

$$V_{OL} = V_{dsatM2}\left[1 - \sqrt{\frac{(W/L)_1 - (W/L)_2}{(W/L)_1}}\right] \tag{3}$$

由(3)式可知，为保证图 1 所示的倒相器电路正常工作，必须满足条件$(W/L)_1 > (W/L)_2$，这表明电流控制逻辑是一种有比逻辑. 图 1 倒相器电路的输出摆幅为

$$\Delta V_L = V_{OH} - V_{OL} = V_{tn} + V_{dsatM2}\sqrt{\frac{(W/L)_1 - (W/L)_2}{(W/L)_1}} \tag{4}$$

由(4)式可知，电流控制逻辑的输出摆幅可以设计得很低，通常为 1.0～1.5V 左右.

进一步分析图 1 电路的直流工作特性，我们还可以得到图 2 所示的电流控制逻辑倒相器的输入输出关系曲线，从中可以获得其高电平和低电平噪声容限分别为

$$V_{NMH} = V_{OH} - V_{IH} = V_{dsatM2}\left[1 - \frac{2}{\sqrt{3}}\sqrt{\frac{(W/L)_2}{(W/L)_1}}\right] \tag{5}$$

$$V_{NML} = V_{IL} - V_{OL} = V_{tn} + V_{dsatM2}\left[\sqrt{\frac{(W/L)_2}{(W/L)_1}}\sqrt{\frac{(W/L)_2}{(W/L)_1 + (W/L)_2}} + \sqrt{\frac{(W/L)_1 - (W/L)_2}{(W/L)_1}} - 1\right] \tag{6}$$

如图 2 所示，(5)和(6)式中的 V_{IH}和 V_{IL}分别定义为当 $dV_{out}/dV_{in} = -1$ 时的输入电压值. 分析以上二式可知，$V_{NMH} < V_{NML}$，在实际电路设计中，为保证电路的高电平噪声容限要求，应使$(W/L)_1 > (W/L)_2$，这和(2)式的要求一致.

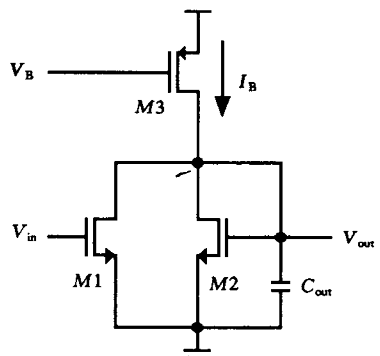

图 1　CSL 倒相器电路

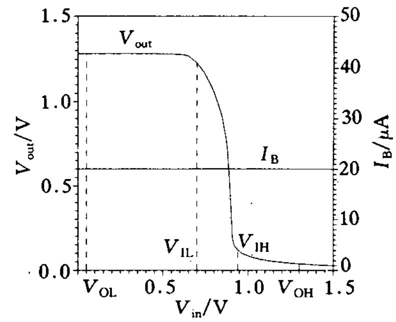

图 2　CSL 倒相器的转移特性曲线

3　电流控制逻辑电路的瞬态特性

当图 1 倒相器电路的输入端由高电平 V_{OH}跳变至低电平 V_{OL}时，根据输出管 M_2 不同的工作状态，电路的上升延迟时间由二部分组成.

在输出电压上升至 V_{tn}之前，M_2 截止，偏置电流都用于对负载电容充电，这时有

$$t_{r1} = \frac{C_{out}(V_{tn} - 0.9V_{OL} - 0.1V_{OH})}{I_B} \tag{7}$$

当输出电压达到 V_{tn}之后，M_2 进入饱和态，这时它对偏置电流有一泄放支路，这部分上升时间为

$$t_{r2} = \frac{C_{out}V_{dsatM2}}{I_B}\ln\left(\frac{V_{dsatM2} - V_{tn} + 0.9V_{OH} + 0.1V_{OL}}{V_{dsatM2} + V_{tn} - 0.9V_{OH} - 0.1V_{OL}}\right) \tag{8}$$

图 1 电路总的上升时间为以上两式之和.

同样地，在输入信号由低电平 V_{OL}跳变到高电平 V_{OH}的过程中，根据 M_1 和 M_2 的不同工作状态，电路的下降时间可由三部分组成.

在输出电压下降至 V_{tn}之前，M_1 和 M_2 都在饱和区，这部分下降时间为

$$t_{f1} = \frac{C_{out}V_{dsatM2}}{I_B}\sqrt{\frac{(W/L)_2}{(W/L)_1 - (W/L)_2}}\operatorname{arcth}\sqrt{\frac{(W/L)_2}{(W/L)_1 - (W/L)_2}} \tag{9}$$

在输出电压从 V_{tn}下降至 $V_{OH}-V_{tn}$时(考虑 $V_{OH}<2V_{tn}$)，M_2 截止，M_1 饱和，这部分下降时间为

$$t_{f2} = \frac{C_{out}(V_{tn} - V_{dsatM2})(W/L)_2}{I_B[(W/L)_1 - (W/L)_2]} \tag{10}$$

随着输出电压的进一步下降，M_1 进入线性区，这部分下降时间为

$$t_{f3} = \frac{C_{out}V_{dsatM2}}{2I_B\dfrac{(W/L)_1}{(W/L)_2}\sqrt{\dfrac{(W/L)_1 - (W/L)_2}{(W/L)_1}}} \ln\left[\frac{V_{dsatM2}\left(\sqrt{\dfrac{(W/L)_1 - (W/L)_2}{(W/L)_2}} + 1\right) - 0.9V_{OL} - 0.1V_{OH}}{V_{dsatM2}\left(\sqrt{\dfrac{(W/L)_1 - (W/L)_2}{(W/L)_2}} - 1\right) + 0.9V_{OL} + 0.1V_{OH}}\right] \tag{11}$$

电路总的下降时间为以上三部分之和，而当 $V_{OH}>2V_{tn}$时，电路的总下降时间为(9)和(11)之和.

4　电流控制逻辑和静态 CMOS 逻辑的性能比较

为进一步分析电流控制逻辑的性能，我们分别对该逻辑的逻辑结构、开关特性、噪声特性和功耗特性等与静态 CMOS 逻辑作了比较，具体采用理论分析和实际电路模拟相结合的方法. 在实际电路模拟时，我们采用了 P 阱 1.2μmCMOS 工艺条件(主要参数为：$V_{tp}=-1.02V$，$V_{tn}=0.78V$，$\mu_p=185cm^2/(V\cdot s)$，$\mu_n=565cm^2/(V\cdot s)$). 对电流控制逻辑，电路的输出电压摆幅设计为 1.2V，根据不同的偏置电流值，由公式(1)获得图 1 电路中输出管 M_2 的尺寸，并使输入输出管尺寸比为 2，即在图 1 中有$(W/L)_1=2(W/L)_2$；在设计和电流控制逻辑尺寸相对应的静态 CMOS 倒相器时，使其下拉管(NMOS)尺寸和电流控制逻辑的输入管尺寸相同，而上拉管(PMOS)尺寸为下拉管尺寸的 3 倍，即$(W/L)_p=3(W/L)_n$，所有 MOS 管的沟道长度都取最小尺寸. 通过分析在不同工作条件下电流控制逻辑和相应尺寸的静态 CMOS 逻辑的特性和电路模拟结果，来进一步验证和比较这两种逻辑的性能.

4.1　逻辑结构

和静态 CMOS 逻辑不同，电流控制逻辑是一种有比逻辑，它在恒定偏置电流下工作，通过控制偏置电流的不同流向形成两个不同的输出逻辑电平，且该逻辑的高低电平和电路中输入输出 MOS 管的尺寸及偏置电流的大小有关. 由图 1 的电路结构可知，电流控制逻辑便于实现各种或非功能，在将各输入支路扩展为适当的串联结构后，可以实现复杂的组合和时序逻辑功能. 图 3 是采用以上方法实现的一位全加器路，其输出进位($\overline{CARRY}$)与和($\overline{SUM}$)信号都为反变量输出. 和静态 CMOS 逻辑的互补结构不同，由于电流控制逻辑只采用 NMOS 输入结构，在实现复杂逻辑功能时，其电路结构比静态 CMOS 逻辑更简单. 表 1 给出了几种常用逻辑单元采用电流控制逻辑和静态 CMOS 逻辑实现的 MOS 管数目.

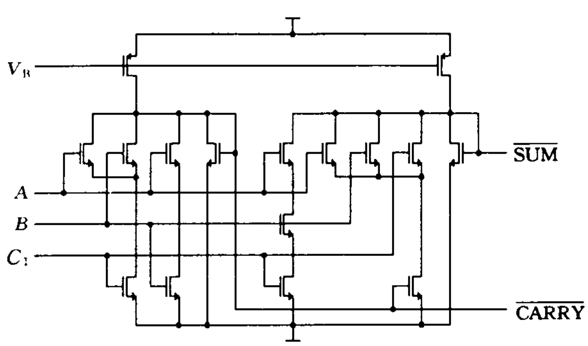

图 3　采用 CSL 逻辑实现的一位全加器电路

表 1　CSL 和 CMOS 逻辑的管子数目比较

MOS 管数目	电流控制逻辑	静态 CMOS
倒相器	3	2
异或门	9	8
2-2 与或非	6	8
全加器	16	24
D 锁存器	9	8
D 触发器(置位复位)	22	24

4.2　开关特性

由静态 CMOS 逻辑的基本工作原理可知，在普通工艺和工作条件下($V_{DD}=3\sim5V$，$V_{tn}=|V_{tp}|=0.5\sim1V$)，一个 CMOS 倒相器电路的上升时间和下降时间可以分别近似表示

为[8]

$$t_{\mathrm{r(CMOS)}} \approx \eta \frac{C_{\mathrm{out}}}{k'_{\mathrm{p}}(W/L)_{\mathrm{p}}V_{\mathrm{DD}}} \tag{12}$$

$$t_{\mathrm{f(CMOS)}} \approx \eta \frac{C_{\mathrm{out}}}{k'_{\mathrm{n}}(W/L)_{\mathrm{n}}V_{\mathrm{DD}}} \tag{13}$$

其中 η 是一个和工艺有关的常数，其值在 3～4 之间. 由以上二式可得静态 CMOS 逻辑的延迟时间为[10]

$$t_{\mathrm{d(CMOS)}} = \frac{t_{\mathrm{r(CMOS)}} + t_{\mathrm{f(CMOS)}}}{4} = \frac{\eta C_{\mathrm{out}}}{4V_{\mathrm{DD}}}\left(\frac{1}{k'_{\mathrm{p}}(W/L)_{\mathrm{p}}} + \frac{1}{k'_{\mathrm{n}}(W/L)_{\mathrm{n}}}\right) \tag{14}$$

对于电流控制逻辑，分析(7)～(11)式可知，和静态 CMOS 逻辑一样，降低该逻辑的输出摆幅能够提高其瞬态工作性能，在实际逻辑设计中，依据不同的阈值电压，通常将电流控制逻辑的输出摆幅设计在一个较小的范围内，一般为 1.0～1.5V. 采用电流控制逻辑电路的一般设计条件，即 $V_{\mathrm{dsatM2}}=0.3\sim0.5\mathrm{V}$，$V_{\mathrm{OL}}=0.1\sim0.2\mathrm{V}$，$(W/L)_1=2\sim3(W/L)_2$，在普通工艺条件下，公式(7)和(10)可以进一步简化近似为

$$t_{\mathrm{r(CSL)}} = \alpha \frac{C_{\mathrm{out}}}{I_{\mathrm{B}}} \tag{15}$$

$$t_{\mathrm{f(CSL)}} = \beta \frac{C_{\mathrm{out}}}{I_{\mathrm{B}}} \tag{16}$$

其中 α 和 β 为常数，在以上设计条件下有 $\alpha=0.9\sim2.6\mathrm{V}$，$\beta=0.3\sim1.1\mathrm{V}$ 左右. 相应的延迟时间为

$$t_{\mathrm{d(CSL)}} = \frac{t_{\mathrm{r(CSL)}} + t_{\mathrm{f(CSL)}}}{4} = \frac{(\alpha+\beta)C_{\mathrm{out}}}{4I_{\mathrm{B}}} \tag{17}$$

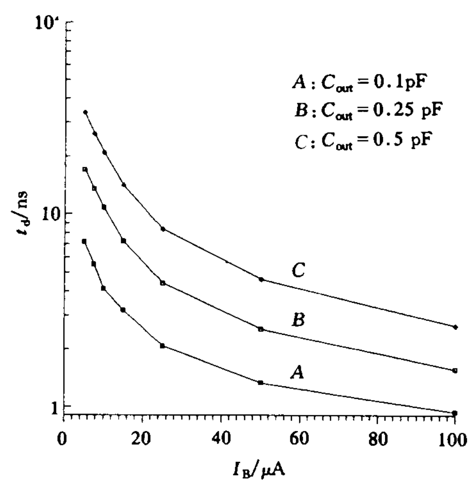

图 4 不同负载下 CSL 倒相器延迟时间与偏置电流间的关系

比较(14)和(17)式可知，一方面，和静态 CMOS 逻辑一样，电流控制逻辑的延迟时间和负载电容成正比，这表明随着 IC 工艺水平的提高和器件特征尺寸的减小，电流控制逻辑的瞬态工作性能也能相应地提高，而且由于电流控制逻辑只驱动 NMOS 负载，其输出电容约比静态 CMOS 逻辑减小了一半左右，使该逻辑更适合于高速电路设计；另一方面，和静态 CMOS 逻辑不同，电流控制逻辑的瞬态特性和该逻辑门的偏置电流成反比，在实际电路设计中，可以通过调节偏置电流值的方法满足电路的工作速度要求，从而提高了该逻辑的设计灵活性. 图 4 给出了在 5V 工作电压下，对一个由 15 级电流控制逻辑倒相器组成的环形振荡器电路模拟获得的倒相器延迟时间与偏置电流间的关系曲线. 由电路模拟的结果可知，在不同的负载下，偏置电流增大 10 倍，倒相器的延迟时间下降了约 7 倍. 随着偏置电流的增大，为保证电路的输出逻辑摆幅恒定，输入输出 MOS 管的尺寸也有所增大，这也增大了负载电容的值，使电路模拟值部分偏离了理论分析的结果，但模拟结果显示，调

节偏置电流可以有效地控制电路的延迟时间.

从(14)式可知,静态 CMOS 逻辑的延迟时间和电源电压成反比,降低电源电压也将降低该逻辑的工作速度,而对于电流控制逻辑,其延迟时间和电源电压无关,表明电流控制逻辑比静态 CMOS 逻辑有更好的低电压工作性能. 图 5(见图版 I)是分别对采用电流控制逻辑和静态 CMOS 逻辑实现的 15 级环形振荡器电路的模拟结果,图中分别给出了两种不同偏置电流下的电流控制逻辑倒相器和对应尺寸的静态 CMOS 倒相器的延迟时间和电源电压间的关系,其中小尺寸 CMOS 倒相器对应于偏置电流为 5μA 的 CSL 倒相器(下拉管尺寸相同),大尺寸 CMOS 倒相器对应于偏置电流为 50μA 的 CSL 倒相器. 由图 5 可知,在低电源电压工作时,CMOS 倒相器的延迟时间迅速上升,而 CSL 倒相器的延迟时间基本不变.

4.3 噪声特性

在静态 CMOS 逻辑中,对负载电容的充放电是产生开关噪声电流的主要原因[9],其中充电电流影响电源线,放电电流流入地线. 对静态 CMOS 倒相器,当输出电平由低变高时,在输出上升时间 $0<t<t_{r(CMOS)}$ 内通过电源的开关噪声电流可以表示为

$$i_{V_{DD}}(t)\,|_{CMOS} = \frac{k'_p}{2}(W/L)_p\left(\frac{V_{DD}}{t_{f(CMOS)}}t - |V_{tp}|\right)^2\left(1 + \lambda_p V_{DD} - \frac{\lambda_p V_{DD}}{t_{r(CMOS)}}t\right) \tag{18}$$

同样,在输出下降时间 $0<t<t_{f(CMOS)}$ 内通过地线的开关噪声电流为

$$i_{GND}(t)\,|_{CMOS} = \frac{k'_n}{2}(W/L)_n\left(\frac{V_{DD}}{t_{f(CMOS)}}t - V_{tn}\right)^2\left(1 + \lambda_n V_{DD} - \frac{\lambda_n V_{DD}}{t_{f(CMOS)}}t\right) \tag{19}$$

在(18)和(19)式中,λ_P 和 λ_N 分别为 PMOS 和 NMOS 管的沟道调制因子,并分别对输入信号的上升(下降)过程作了线性近似. 在输出状态稳定后,静态 CMOS 逻辑的开关噪声电流下降为零.

和静态 CMOS 逻辑不同,对于图 1 的电流控制逻辑结构,由于电源对负载电容的充电电流恒定,在输出状态发生变化时电源端的开关噪声电流主要是由电路的非理想效应引起的,其中主要包括恒流偏制管 M_3 的沟道调制效应和输出端与电源间的寄生电容 C_{dd} 的影响. 图 1 电路在电源端产生的开关噪声电流可表示为

$$i_{V_{DD}}(t)\,|_{CSL} = \lambda_p I_B \frac{\Delta V_L}{t_{r(CSL)}}t + \frac{C_{dd}}{C_{out}}I_B \qquad \text{其中},0 < t < t_{r(CSL)} \tag{20}$$

增大偏置管的沟道长度或采用高性能的偏置电路可以有效地减小上式中的第一项. 另外,由于一般有 $C_{dd} \ll C_{out}$,图 1 结构的电流控制逻辑在电源端产生的开关噪声电流远小于静态 CMOS 逻辑. 图 6(见图版 I)给出了在不同的负载下,模拟获得的两种逻辑结构的倒相器在电源端的峰值噪声电流与管子尺寸间的关系曲线. 由图 6 的结果中可知,在相同的管子尺寸下,图 1 结构的电流控制逻辑在电源端产生的峰值噪声电流约比静态 CMOS 逻辑小三个数量级.

图 1 电路在地端产生的开关噪声特性和静态 CMOS 逻辑相同,峰值噪声电流也可表示为(19)式形式,但由于电流控制逻辑的输出电压摆幅较小,因而产生的峰值噪声电流也比静态 CMOS 逻辑小. 这一结果表明,图 1 结构的电流控制逻辑(PMOS 提供偏置电流,NMOS 作为输入输出管)非常适合于采用 P 阱工艺的模/数混合电路中数字逻辑的设计,它能够有效地消除通过衬地影响模拟电路性能的数字开关噪声. 同样地,在 N 阱工艺中,可以采用 NMOS 管提供偏置电流而用 PMOS 作为输入和输出管的电路结构,这也能避免衬底的噪

声电流(来自地端)对模拟电路的影响.

4.4 功耗及功耗-延迟积

对于静态CMOS逻辑,电路总的功耗由三部分组成,即有

$$P_{t(CMOS)} = C_{out}V_{DD}^2 f_{clk} + I_{sc}V_{DD} + I_{leakage}V_{DD} \tag{21}$$

其中 f_{clk}为电路工作时的时钟频率;I_{sc}为在输出状态变化时,由于PMOS管和NMOS管都导通而从电源直接流入地的电流;$I_{leakage}$为漏电流.上式中第一项即为电路工作时产生的动态功耗,它是静态CMOS逻辑的主要功耗[9],且随着电路工作频率的提高线性增大.结合(14)式,可得静态CMOS逻辑的功耗-延迟积为

$$PDP_{CMOS} = P_{t(CMOS)}t_{d(CMOS)} \approx \frac{\eta}{4}V_{DD}C_{out}^2 f_{clk}\left(\frac{1}{k'_p(W/L)_p} + \frac{1}{k'_n(W/L)_n}\right) \tag{22}$$

电流控制逻辑工作时总的功耗也由三部分组成,它们分别是电路的直流功耗 P_s,动态功耗 P_d 和由于漏电流引起的功耗 $P_{leakage}$,由上节的结果已知,P_s 是电流控制逻辑的主要功耗,这样近似可得

$$P_{t(CSL)} = P_s + P_d + P_{leakage} \approx I_B V_{DD} \tag{23}$$

以上结果表明,和静态CMOS逻辑不同,电流控制逻辑存在直流功耗,这是由该逻辑的直流偏置工作条件引入的.在实际电路设计中,通常根据电路的工作速度要求,获得其相应的偏置电流值,这样可以使各部分电流控制逻辑电路都在其极限速度下工作,以进一步减小电路功耗.由(17)和(23)式可得电流控制逻辑的功耗-延迟积为

$$PDP_{CSL} = P_{t(CSL)}t_{d(CSL)} = \frac{(\alpha+\beta)}{4}V_{DD}C_{out} \tag{24}$$

比较(22)和(24)式可知,电流控制逻辑的功耗-延迟积与电源电压和负载电容成正比,而静态CMOS逻辑的功耗-延迟积除与电源电压和负载电容的平方成正比外,还与电路的工作频率成正比.在5V工作电压下,分别对采用电流控制逻辑和对应尺寸的静态CMOS逻辑实现的环形振荡器电路在不同的振荡频率下进行电路模拟,可以获得图7(见图版I)的倒相器的功耗-延迟积与其工作频率间的关系曲线.(22)和(24)式及图7的结果都显示,电流控制逻辑的功耗-延迟积和电路的工作频率无关,而静态CMOS电路的功耗-延迟积随工作频率上升迅速增大,在高频工作条件下,电流控制逻辑比静态CMOS具有更小的功耗-延迟积.

5 设计实例

为进一步比较电流控制逻辑和静态CMOS逻辑的噪声特性及其对模/数混合电路性能的影响,我们采用3μmCMOS工艺设计实现了一个双通道过采样A/D电路[10].其中模拟电路部分采用了相同的结构和电路形式,数字电路部分则分别采用了电流控制逻辑和静态CMOS逻辑,图8为芯片照片(见图版I).电路的主要测试结果如表2所示,和静态CMOS逻辑相比,采用电流控制逻辑后,过采样A/D电路的输出总谐波功率下降了6dB,动态范围上升了4.5dB,最大信噪比提高了3.5dB,这表明电流控制逻辑有效地降低了数字开关噪声对模拟电路的影响.

表 2　一个双通道过采样 A/D 电路的测试结果

	通道 1(CMOS)	通道 2(CSL)
输出最大信噪比/dB	81.5	85
输出动态范围/dB	84.5	89
输出总谐波功率/dB	−85.3	−91.4

6　结论和讨论

为克服模/数混合集成电路中数字开关噪声对模拟电路的影响，进一步提高系统的性能，本文提出了用一种新型低噪声电流控制逻辑取代目前被广泛采用的静态 CMOS 逻辑．该逻辑在恒定偏置电流下工作，它通过控制偏置电流的流向产生不同的逻辑电平，因而从根本上消除了静态 CMOS 逻辑引入的开关噪声通过衬底对模拟电路的影响．本文在分析了电流控制逻辑的基本电路结构和工作原理后，对该逻辑的电路结构，开关特性，噪声特性和功耗及功耗-延迟积等性能与静态 CMOS 逻辑作了逐一分析比较，并用实际电路的模拟结果验证了理论分析的结果．和静态 CMOS 逻辑相比，在相同尺寸下电流控制逻辑引入的峰值噪声电流下降了近三个数量级．对一个双通道过采样 A/D 电路的测试结果表明，采用电流控制逻辑可以降低信号的谐波失调，提高电路的输出动态范围和最大输出信杂噪比，从而有效地改善了模/数混合电路的性能．

参　考　文　献

[1] R. Batruni *et al.*, IEEE Journal of Solid-State Circuits, 1990, **25**(6): 1414～1425.

[2] R. Tapani *et al.*, IEEE Journal of Solid-State Circuits, 1994, **29**(12): 1514～1523.

[3] D. K. Su *et al.*, IEEE Journal of Solid-State Circuits, 1993, **28**(4): 420～429.

[4] B. R. Stanisic *et al.*, IEEE Journal of Solid-State Circuits, 1994, **29**(3): 226～238.

[5] T. Blalack, B. A. Wooley, ISSCC Digest of Technical Papers, 1995:200～201.

[6] E. A. Vittoz, IEEE Journal of Solid-State Circutts, 1985, **20**(3): 657～665.

[7] B. J. Hosticka and W. Brockherde, Proc. International Symposium on Circuits and Systems, 1990: 1347～1350.

[8] N. H. E. Weste, K. Eshraghian, Principles of CMOS VLSI Design: A System's Perspective. Second Ed., Addison-Wesley, 1993.

[9] H. J. M. Veendrick, IEEE Journal of Solid-State Circuits, 1984, **19**(4): 468～473.

[10] 缪国清，高精度过采样模/数转换器的分析与设计，复旦大学博士论文，1996，6.

Novel Low Noise Current-Steering Logic and Its Comparison With CMOS Static Logic for Mixed-Mode ICs

Miao Guoqing[1], Xu Guoqing[1], Tang Pushan[1] and Howard C. Yang[2]

(1 *Department of Electronic Engineering, Fudan University, Shanghai* 200433)

(2 *Shanghai Belling Microelectronics Mfg Co. Ltd, Shanghai* 200233)

Received 1 February 1996, revised manuscript received 10 June 1996

Abstract A novel low noise current-steering logic structure is presented in this paper to replace the conventional CMOS static logic in Mixed-Mode ICs to reduce the impact of digital switching noise on the performance of analog circuits. After the presentation of its operation principle, comparison results are given between this new logic and CMOS static logic in the aspects of logic structure, switching characteristics, noise and power dissipation properties. Circuits simulations are used to verify the theoretical results. All these results show that, compared with CMOS static logic, the current steering logic has a better low power supply property and is easy of design optimization, its peak power supply current spikes are about three orders of magnitude smaller than those generated in static CMOS. This logic has been successfully applied in a dual-channel oversampled A/D converter.

EEACC: 1280, 2570D, 1265B