第 18 卷第 3 期　　半 导 体 学 报　　Vol. 18, No. 3
1997 年 3 月　　CHINESE JOURNAL OF SEMICONDUCTORS　　Mar., 1997

适用于 0.8μmCMOS VLSI 的双层金属布线技术研究

徐秋霞　海潮和　陈焕章　赵玉印　李建勋

（中国科学院微电子中心研究部　北京　100029）

摘要　多层金属布线互连技术是 VLSI 工艺中最重要和关键的技术之一. 本文系统地研究了用於 0.8μm CMOS VLSI 的双层金属布线工艺技术，特别是对双层金属布线层间介质的平坦化、接触孔和通孔的低阻欧姆接触及可靠的金属互连等关键工艺进行了分析讨论. 这套技术已成功地应用於“0.8μm 双层金属布线 CMOS 计算机主板时钟产生器专用集成电路”的研制，并获得较好芯片成品率.

EEACC: 2560, 2550G, 2550B, 2550F

1　引言

随着器件高集成化、高速化和高功能化，器件的微细化、复杂化和结构的三维化日趋提高. 多层布线互连技术是 VLSI 工艺中最重要和关键的技术之一，特别是特征尺寸进入亚微米以后更是如此. 多层布线工艺复杂，技术要求高，要考虑和兼顾的工艺参量很多. 例如：层间绝缘膜质量、厚度；通孔的成开形其剖面控制；台阶覆盖；接触电阻；微细线条复合金属层的光刻和腐蚀及其对承受电流密度和抗电迁移的能力；特别是金属布线层间介质的平坦化问题更是一项非常重要的课题. 这是因为器件横向尺寸不断下降而纵向尺寸却下降甚少，致使器件表面台阶越来越陡，刻蚀图形的深度与宽度的纵横尺寸比越来越大，图形间距越来越窄，这些都给 VLSI 的制造带来诸多问题. 例如：在非常凹凸不平的表面上形成电路图形时，由于聚焦深度不一致，台阶上的线条会变细，腐蚀工艺会在图形台阶侧壁造成腐蚀残留，高纵横比、窄间距线条间的介质内易形成空洞等等.

为解决这些问题，人们开发了多种金属层间介质平坦化技术[1~3]，如：沉积/腐蚀/沉积、有机膜涂敷法、SOG 法、高密度等离子 CVD 法和 TEOS/O_3 技术等，竞争激烈，各有特色.

本文系统地研究了用於 0.8μm CMOS VLSI 的双层金属布线工艺技术，特别是对双层金属布线层间介质的平坦化、接触孔和通孔的低阻欧姆接触及可靠的金属互连等关键工艺

徐秋霞　女，1942 年生，研究员，从事超大规模集成电路工艺的基础性研究和产品开发
海潮和　男，1942 年生，研究员，从事超大规模集成电路工艺的基础性研究和产品开发
1996 年 2 月 5 日收到初稿，1996 年 4 月 21 日收到修改稿

进行了分析讨论.这套双层布线技术已成功地应用于 0.8μm CMOS 计算机时钟产生器专用集成电路的研制,最高芯片成品率达 90%.

2　双层金属布线设计规则和关键工艺流程

表 1 给出了我们 0.8μm 工艺中双层布线互连系统的设计规则.

表 1　0.8μm 双层金属布线互连系统设计规则

	宽、间距/μm	面积/μm^2
接触孔		1.0×1.0
金属-1	1.6/1.2	
通　孔		1.0×1.0
金属-2	1.6/1.2	
金属覆盖接触孔和通孔	0.6(两边相加)	

根据设计规则,经优化后的工艺流程如下:

①BPSG 淀积及回流;②接触孔光刻和腐蚀;③溅射金属-1(TiN/Al-Si-Cu/TiN/Ti);④光刻和腐蚀金属-1;⑤PECVD-SiO_2-1 淀积;⑥SOG 涂敷;⑦热处理转换;⑧ETCHBACK;⑨PECVD SiO_2-2 淀积;⑩通孔光刻;⑪通孔腐蚀;⑫溅射金属-2(TiN/Al-Si-Cu/Ti);⑬光刻和腐蚀金属-2;⑭合金.

3　分析与讨论

上述 0.8μm 双层金属布线技术的工艺及流程是经过了一系列的研究优化后得到的,它的成功应用需要解决好几个关键问题,下面分别来分析讨论这些问题.

3.1　SOG 平坦化

3.1.1　工艺结构

SOG 作为金属层间平坦化和布线间间隙的填充介质采用了夹层结构,即 PECVDSiO_2-1/SOG/PECVD-SiO_2-2 三层结构.SOG 平坦化的工艺通常有"部分 ETCHBACK"和"不 ETCHBACK"两种,我们采用了"部份 ETCHBACK"的工艺,即对位於金属-1 顶层的 SOG 膜及其下层的部份 PECVD-SiO_2-2 膜采用 RIE 各向异性的腐蚀方法 ETCHBACK 掉,并使两者具有相同的腐蚀速率,使 SOG 膜全被掩埋在金属-1 布线的沟槽内,达到了平坦化的目的.SOG 保留在金属-1 布线间的沟槽内的量则取决于金属-1 的"间距与高度比"及 CVD SiO_2-1 的初始厚度和 ETCHBACK 过腐蚀的程度.涂敷 SOG 前,在金属-1 上淀积一层 PECVD SiO_2-1 是为了防止在 ETCHBACK 掉宽金属-1 条上较厚的 SOG 膜时曝露出窄金属-1 条.我们在工艺中把位于金属-1 顶层通孔区域的 SOG 夹层全部 ETCHBACK 掉有利于保证通孔的质量.

3.1.2 SOG 膜的特性

SOG 膜涂敷后要经热转换(400℃,40min N_2)成为 SiO_2 膜并去除可能存在的有害成分才能保证电路芯片的高可靠性. 为此我们应用红外吸收光谱对膜进行分析验证. 实验中所用的 SOG 为 Allied Signal Inc. 的 Accuglass 311. 采用 DIO-RAD 公司的 QS-100 红外光谱仪对热处理后的 SOG 膜进行了红外吸收光谱分析. 图 1(a)给出了分析结果. 由图可见,在波数为 1045cm^{-1}处有一强的 Si-O 吸收峰,表明 SOG 经热处理后已转换为 SiO_2 膜. 同时在波数为 1272cm^{-1}和 2976cm^{-1}处各有$-CH_3$ 小吸收峰. 图 1(b)给出了对上述膜经 O_2 等离子体处理后的红外吸收光谱,两个$-CH_3$ 吸收峰都已消失,Si-O 吸收峰的波数在 1072cm^{-1}处,且幅度增强. 表明 O_2 等离子体处理后膜质得到改善,图中与 OH 相关的小吸收峰在紧接着的 PECVD-SiO_2 淀积的预热处理工艺过程中能进一步降低.

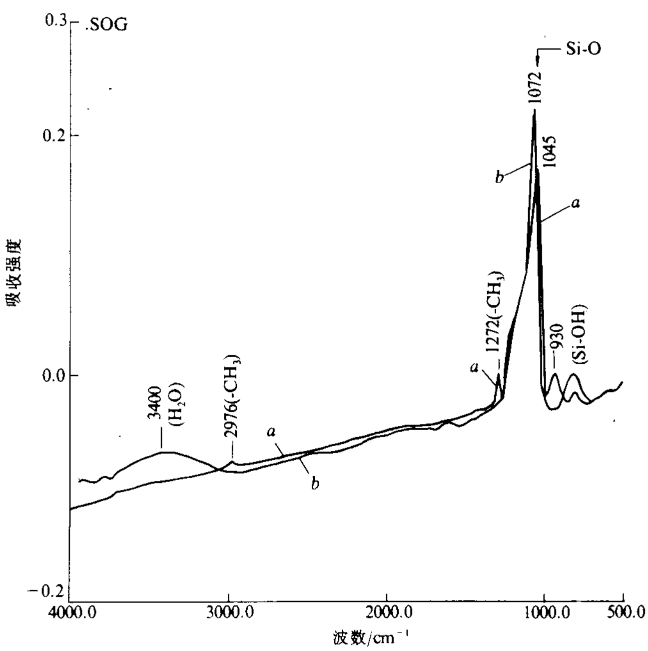

图 1 SOG 膜的红外吸收光谱

曲线 a 热处理后;

曲线 b 热处理后又 O_2 等离子处理.

用 Nanometrics 测量了 SOG 膜在热处理前后的厚度,表明热处理后膜的收缩率平均为 17%左右,膜的折射率用椭圆仪测量为 1.44,它的干法腐蚀速率与 PECVD SiO_2 相当,在 BHF 溶液中的腐蚀速率比 PECVD SiO_2 高 1 倍,其介电强度为 3×10^6V/cm.

3.1.3 SOG 膜的平坦化特性

我们的研究表明,采用 Accuglass 311 SOG,经优化的工艺处理后获得了良好的平坦化效果.

图 2(见图版 I)给出了 SOG 膜作为金属层间沟槽填充介质和平坦化的一组样品的 SEM 照片. 图 2(a)是 SOG 涂敷前的 SEM 照片,金属-1 层厚为 750nm,其上层的 PECVD SiO_2-1 为 400nm,侧壁为 300nm,金属-1 布线间距上窄,下略宽,约为 1.2～1.4μm;图 2(b)为 SOG 涂敷后经热处理和 ETCHBACK 后又长一层 PECVD SiO_2-2 的 SEM 照片. 由图 2(b)可见,SOG 膜已被掩埋在金属-1 布线间的沟槽内,获得了良好的平坦化表面;图 2(c)为"涂敷 SOG-热处理-ETCHBACK"这一过程反复进行二次后又长一层 PECVD-SiO_2-2 的 SEM 剖面,沟槽内的 SOG 膜已被填充得更满,使台阶更为平坦,台阶的高度差由原金属-1 的 750nm 降到 120nm. 高倍显微镜观察样品表面形貌光滑,无龟裂发生. 图 3(见图版 I)给出了实际电路的 SOG 平坦化的 SEM 剖面局部照片,这里 SOG 只涂敷一次.

作为比较,我们分析了国产乳胶 SiO_2 源用作平坦化介质的性能,图 4(a)(见图版 I)为涂敷一次乳胶 SiO_2 源经热处理的 SEM 剖面,图 4(b)(见图版 I)为 ETCHBACK 一次乳胶 SiO_2 膜后又重复一次乳胶涂敷和热处理后的 SEM 剖面. 由图 4 可见,乳胶 SiO_2 源填充沟槽

和平坦化的效果也很不错，但它多颗粒，且易产生龟裂，要代替进口的SOG还得作很大改进.

3.2 互连金属

0.8μm工艺中的双层布线金属采用了多层金属的复合结构. 金属-1层为TiN(顶层)/Al-Si-Cu/TiN/Ti四层结构，其中TiN/Ti为势垒阻挡层，以防止Al-Si互扩散造成0.2μm浅结漏电甚至穿通的问题，TiN/Ti具有低电阻率，与硅能形成低的接触电阻，并有良好的台阶覆盖和抗电迁移性能，同时与Al-Si-Cu合金有相容的腐蚀特性. 研究表明底层的TiN膜的厚度选择对阻挡作用强度的发挥十分重要，其下层Ti对硅表面氧(自然氧化物)的萃取有利於低阻接触. 金属-1顶层的TiN层是抗反射层. 它的厚度选择是关键所在. 这是因为它的反射率与膜的厚度密切相关. 实验表明对G-line Stepper在TiN膜厚度为40nm时，其具有极低的反射率. 这是由光干涉原理和它的强吸收性能所致[4]，它的采用保证了光刻金属-1细线条的尺寸控制和边缘光滑平直，没有因硅片表面不平易产生的V字形凹口存在.

金属-2层由TiN(顶层)/Al-Si-Cu/Ti复合结构组成. 其顶层TiN层的作用如上所述，其下层的Ti的采用主要是考虑到其优良的台阶覆盖性能，使Al-Si-Cu在通孔侧壁上的Ti层上填充的厚度增加. 这是降低通孔接触电阻的关键.

3.3 接触孔和通孔

接触孔和通孔的成形采用先在BHF溶液中轻腐蚀后再结合在$CHF_3/CF_4/He$的混合气体源中的RIE刻蚀来完成，两步腐蚀使孔的侧壁倾斜，有利於溅射金属层在台阶上的覆盖.

金属-1顶层的TiN层也能减少通孔腐蚀过程中聚合物的形成. 聚合物是通孔腐蚀中最忌讳的问题. 我们知道胶和氟基气体是聚合物的来源. 而Al及其化合物(Al_2O_3和AlF_3)相当于聚合物形成的催化剂，它增大了活性基的分子量，易在通孔腐蚀过程中沿侧壁堆积. 而TiN抗反射层用于金属-1顶层，使在通孔过腐蚀过程中只有较少的Al被高能离子轰击溅射出来，结果减少了聚合物在通孔中的形成，有利於金属间的接触.

由上述可见，这一金属互连系统的通孔结构为TiN/Al-Si-Cu/Ti/Al-Si-Cu/TiN/Ti组成，对於孔径为1.0μm的通孔，优化条件下的平均接触电阻为0.5Ω/每通孔. 图4(见图版Ⅰ)给出了实际电路的接触孔和通孔的SEM剖面.

4 电路应用

本双层金属布线全套工艺技术应用於0.8μm CMOS VLSI的研制，研制成功的0.8μm双层金属布线CMOS计算机时钟产生器专用集成电路的最高芯片成品率可达90%.

5 结束语

本文系统地研究了适用於0.8μm CMOS VLSI双层金属布线技术，着重对双层金属布线层间介质的平坦化、接触孔和通孔的低阻欧姆接触及可靠的金属互连等工艺技术进行了较深入研究. 该双层金属布线技术已成功地应用于0.8μm CMOS计算机时钟产生器专用集

成电路的研制,芯片最高成品率达 90%,表明此项技术已达到了实用化水平.

参 考 文 献

[1] J. S. Mercier, H. M. Naguib *et al.*, J. Electrochem. Soc., 1985, **135**:1219.
[2] Yu Sun, Nader Radjy *et al.*, VMIC Conf., 1991, 51.
[3] 松浦正纯,林出吉生, Semiconductor World (日),1992, **11**:47.
[4] T. R. Pampalone, M. Camacho *et al.*, J. Electrochem. Soc., 1989, **136**:1181.

Investigation of Doublelevel Metallization Technology for 0.8μm CMOS VLSI Application

Xu Qiuxia, Hai Chaohe, Chen Huanzhang, Zhao Yuyin and Li Jianxun

(*Research and Development Center of Microelectronics, The Chinese Academy of Sciences, Beijing* 100029)

Received 5 February 1996, revised manuscript received 21 April 1996

Abstract Multilevel metallization is one of the most important and key technologies in VLSI. This paper has investigated doublelevel metallization technology used for 0.8μm CMOS VLSI systematically. In particular, key technologies of dielectric planarization techniques for doublelevel metallization, and low contact resistance of contact window and via, as well as reliable metal interconnection system etc., have been analyzed and discussed. This set of technology has been applied successfully to developing 0.8μm doublelevel metallization CMOS clock generator ASIC of PC main board, and good yield of chip is obtained.

EEACC: 2560, 2550G, 2550B, 2550F