

CMOS 工艺中横向双极型晶体管的 直流与交流电学特性

马槐楠 Eric A. Vittoz* 徐葭生

(清华大学微电子学研究所,北京,100084)

*(CSEM 瑞士电子与微技术研究与发展中心)

1990年9月28日收到

在 CMOS 工艺结构中,将位于阱中的 MOS 器件加适当的偏置,可以使其变为体内器件、以横向双极管的模式工作。本文利用 $3\mu\text{m}$ P-well 和 $2\mu\text{m}$ N-well 两种 CMOS 工艺设计了这种横向双极器件,分析讨论了这种器件的工作原理和特点,并给出其典型的直流和交流参数的实验数据。这些分析和实验数据将有助于电路设计者了解和掌握该器件的电流、频率工作范围及特性,以便在 CMOS 电路中充分发挥其特长。

一、引言

无论在数字还是在模拟集成电路领域,CMOS 工艺均已占据了重要的地位。虽然 CMOS 器件具有功耗低和集成度高的突出优点,但其失调、匹配、噪音、跨导及电流驱动能力等性能远不如双极型器件优越。近年来发展的 BiCMOS 工艺在 VLSI 电路和系统中能够同时利用 CMOS 和双极器件各自的长处,因而显示了广阔的应用前景^[1]。BiCMOS 工艺的目的是将 MOS 和双极器件集成在同一芯片上。为获得高速度的双极器件(如 $f_T > 1\text{GHz}$),工艺的步骤、难度和成本都相应地增加了。但在许多应用场合,并非一定都需要 $f_T > 1\text{GHz}$ 的双极器件。利用现有的、常规纯 CMOS 工艺,经过适当的电路和版图设计,仍能获得性能很好并满足需求的双极器件。CMOS 工艺中存在着两种结构的双极器件:一种是纵向结构的衬底双极管,其基区是阱区,收集极是衬底。衬底双极管可用于 CMOS 模拟电路的基准电压电路^[2,3],或作为射极跟随器用来驱动负载^[4]。该器件的最大弱点是由于其固定的衬底电位而不能在电路中随意联接,应用范围受到严格的限制;另一种是横向双极器件,即把位于阱中的 MOS 器件加适当的偏置,阱区充当基区,源区和漏区分别充当发射区和收集区,使其以双极模式工作^[5]。由于这种横向双极器件在电路中能够自由联接、比 MOS 器件具有突出的模拟性能、大大地改善了 CMOS 模拟电路的性能,且不增加任何工艺步骤、难度和费用,因此得到了相当广泛的应用^[5-12]。其中有精密电流镜、低噪声放大器、电压基准等单元电路,也有用于 CMOS 助听系统的控制电路和长途通信系统的前置可变增益放大电路。由于这种横向器件所具有的突出优点,用其组成的 CMOS 基本模拟电路单元已经被收集到 CAD 单元库中,在模拟电路自动化设计中得到了广泛的推广和运用^[10,11]。

尽管对这种横向双极管的一些直流和交流特性有过一些报道^[5,11-13], 但不够完整详细, 尤其是缺乏对该器件的交流参数的报道和对 $2\mu\text{m}$ N-well 横向器件交直流参数的报道。本文利用当今工业化生产的 $3\mu\text{m}$ P-well 和 $2\mu\text{m}$ N-well 两种 CMOS 工艺, 对这种横向双极器件进行了较为细致的分析和测试, 得到了揭示其直流和交流特性的实验结果。这些分析与实验结果对于电路设计者了解和掌握该器件的电流、频率工作范围及其特性、以便能在 CMOS 电路中充分发挥其特长具有积极的指导意义。

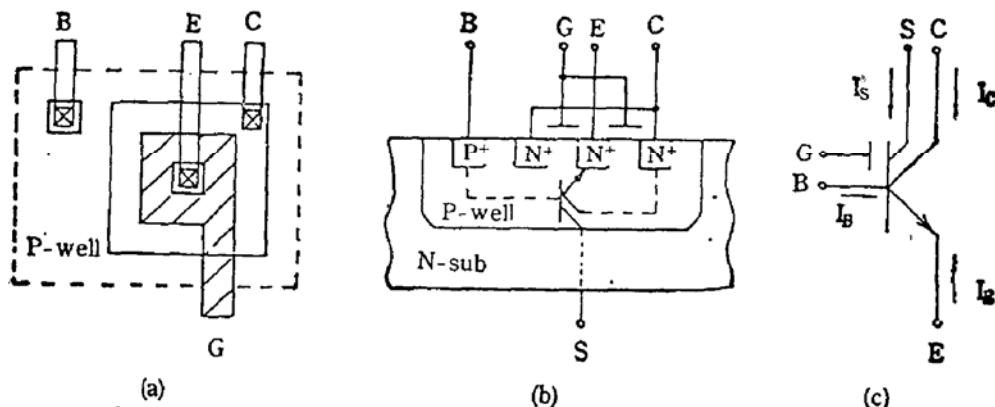


图 1 P 阵 CMOS 工艺中 CLBT 的版图 (a)、截面图 (b) 和电路符号 (c)

二、兼容横向双极管的结构、工作原理及特点

为叙述方便, 将“与 CMOS 兼容的横向双极晶体管”简称为 CLBT (CMOS Compatible Lateral Bipolar Transistor)。以 P-Well CMOS 为例, CLBT 的版图、截面图和电路符号由图 1 所示。CLBT 的版图形状实际上是一个位于阱中的具有环形栅结构的 MOSFET, 源区位于中心, 漏区包围着源区。如 pn 结均加反向偏置 (P-well 为电位参考点)、 V_G 大于 NMOS 阈值电压 V_{TN} 时, CLBT 实质上就是一个 NMOSFET; 但当 V_G 小于 NMOS 平带电压 V_{FB} 时, 栅氧化层下面的硅表面处于积累状态, 若此时给源端 pn 结加正偏, 源区(发射区)即向阱区(基区)注入少子电子, 少子除很少一部分被复合外, 绝大部分被反偏的漏和衬底 pn 结收集。虽然衬底只能接电路的最高电位, 但 pn 结的隔离作用使基极和横向收集极在电路中可灵活地联接。衬底电流只起了增加直流功耗的作用。和常规双极工艺中的横向双极管相比, CLBT 的有效基区宽度由 CMOS 工艺的特征尺寸来确定; 和 MOSFET 相比, CLBT 已不再是表面器件, 而是体内器件了。硅表面的积累层起到了屏蔽界面缺陷影响的作用, 硅表面能带弯曲形成的势垒使注入的少子离开了表面在积累层下面向收集区运动。和相同版图结构的 MOSFET 相比, CLBT 在匹配性能和低噪音方面有显著的优势: $3\mu\text{m}$ P-well 工艺的 CLBT 在用作电流镜时, 在 $I_C = 1\text{nA} - 100\mu\text{A}$ 的范围内, 相对误差的标准偏差均小于 1%^[12,13], 而 MOSFET 的标准偏差则大一个量级, 电流越小, 情况越糟; 文献 [5] 报道, CLBT 的 $1/f$ 噪音可以比 MOSFET 的小两个量级。这些特点使 CLBT 特别适用于微功耗、低噪音、高精度的模拟电路, 也使得 CLBT 在 CMOS 模拟电路中占据了一席重要的位置。

三、CLBT 的主要交直流特性

我们研究了两种 CMOS 工艺的 CLBT 特性，两种工艺的主要参数由表 1 给出。除了设计单个最小尺寸的样品外，还设计了多个（56 和 400）最小尺寸 CLBT 并联的大样品，以获得交直流参数的统计平均值和降低管脚寄生电容对交流参数测试的影响。除此之外，还做了专门的校正标准器件以进一步降低寄生参数对交流测试的影响^[15]。直流参数由 HP-4145A 半导体直流特性分析仪获得，交流参数由 HP-8753A 网络分析仪及 HP-85046A S 参数测试仪获得。

表 1

CMOS 工艺	$3\mu\text{m}$ P-well	$2\mu\text{m}$ N-well
CLBT 极性	NPN	PNP
阱深 (μm)	4.5	4.0
有效沟道长度 L_{eff} (μm)	2.0	1.6
阱内源漏结深 x_j (μm)	0.43	0.40
发射区版图最小设计面积 (μm^2)	3×3	5×5
发射极接触孔面积 (μm^2)	3×3	2×2
栅氧厚度 t_{ox} (μm)	50	40

1. I-V 直流特性

图 2 分别是两种工艺的单个最小面积设计规则的 CLBT (P-well 的 NPN 和 N-well 的 PNP) 在正向有源工作区的典型的 I-V 特性实验曲线 (Gummel 曲线)。由于 CMOS 阵表面掺杂浓度较低 ($\sim 10^{16}\text{cm}^{-3}$)，比常规双极工艺基区掺杂浓度 ($\sim 10^{17}\text{cm}^{-3}$) 小一个量级，因此 CLBT 的大电流效应发生得比较早。 $V_{BE} > 0.6\text{V}$ 后，图 2(a) 中的 I_c 偏离指数规律；图 2(b) 中，由于本文的 N-well 工艺在调整 PMOS 的阈值电压 V_{TP}

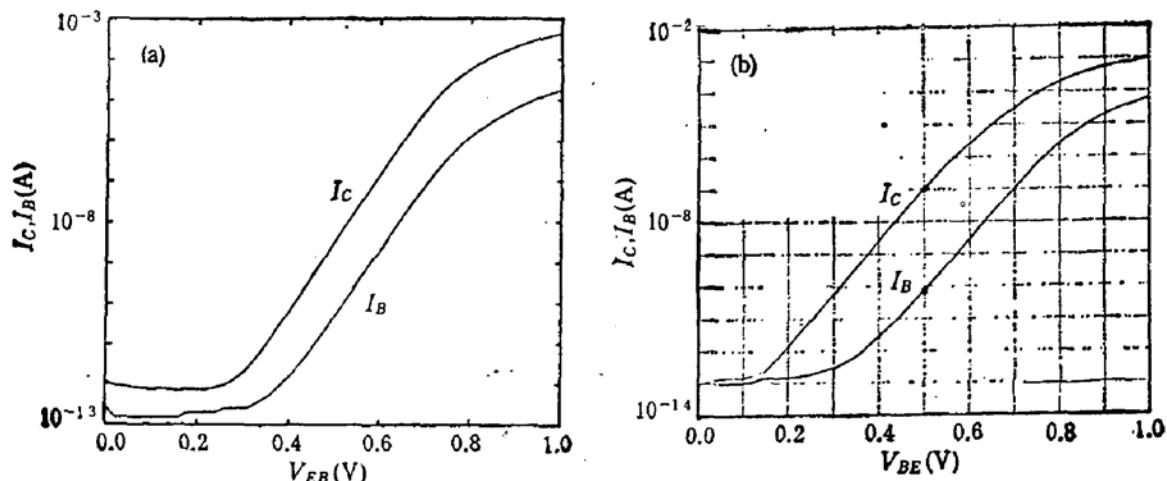


图 2 $3\mu\text{m}$ NPN (a) 和 $2\mu\text{m}$ PNP (b) CLBT 的 $I_C, I_B - V_{BE}$ 实验曲线
(a) 中 $V_{BB} = 0.0\text{V}$, $V_{CB} = 0.0\text{V}$, $V_{SB} = 0.0\text{V}$, $V_{GB} = -1.5\text{V}$
(b) 中 $V_{BB} = 0.0\text{V}$, $V_{CB} = 0.0\text{V}$, $V_{SB} = 0.0\text{V}$, $V_{GB} = 1.5\text{V}$

时采用了全片(通片)注入 B^+ 离子工艺, B^+ 离子的补偿作用使阱表面浓度进一步降低, 致使 PNP 的大电流效应发生得更早, $V_{EB} > 0.5V$ 后 I_c 即偏离指数规律。如果调整阈值 V_{TP} 的注入不是全片注入, 可在做 CLBT 的地方遮挡, 以提高 PNP 的大电流特性。

2. 电流增益 β_c 与横向收集效率 α_c

在 CLBT 结构中, 横向和纵向双极管均处于正向工作状态, 且两者共用一个发射极和基极。由于衬底管的分流作用, 两者的共基极电流增益 $\alpha_c (= |I_c/I_E|)$ 和 $\alpha_s (= |I_s/I_E|)$ 均明显小于 1。 $\alpha_c(\alpha_s)$ 相当于 $I_c(I_s)$ 和注入电流之比, 即对基区少子的收集效率, 且 $\alpha_c + \alpha_s \approx 1$ (这里假设了 $I_E \gg I_B$)。CLBT 的共发射极电流增益 $\beta_c (= I_c/I_B)$ 和 α_c 的关系为: $\beta_c = \alpha_c \cdot \beta_{cs}$ ($\beta_{cs} \approx |I_E/I_B|$)。在没有粘污的工艺中, 少子的复合率很低且发射极具有很高的注入效率, $\beta_{cs} \gg 1$, β_c 仍具有很高的数值。图 3 是两种 CLBT 典型的 $\beta_c, \alpha_c \sim I_c$ 实验值。 $3\mu m$ NPN 的 β_c 峰值均大于 60, $2\mu m$ PNP 的 β_c 峰值已在 1000 量级。 α_c 反应了 I_c 和 I_s 之间定量的关系, 是 CLBT 一个重要的交直流参数。 α_c 的值决定于诸多的物理参数, 应作三维分析。一维简化的定性讨论表明^[15]:

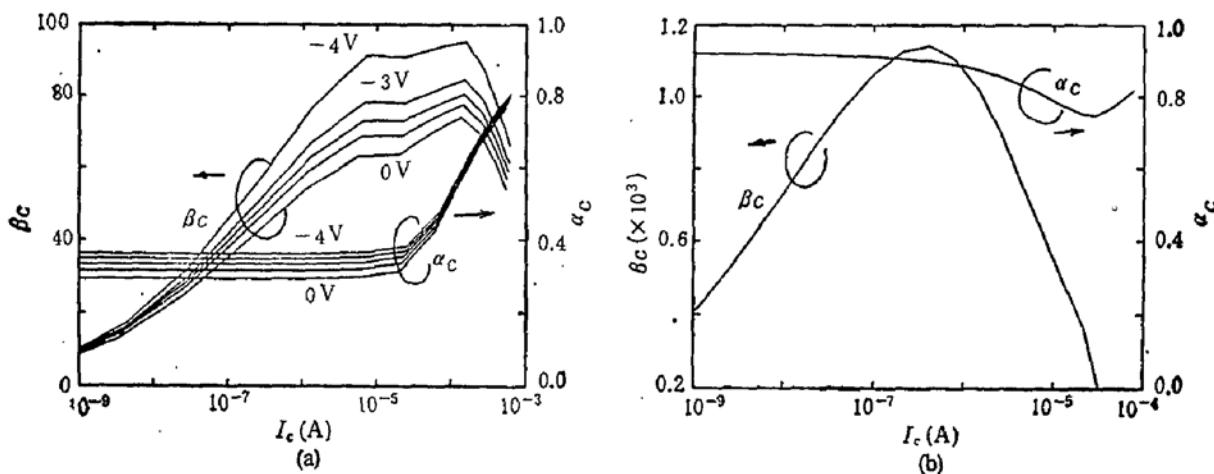


图 3 $3\mu m$ NPN (a) 和 $2\mu m$ PNP(b) CLBT 的 $\beta_c, \alpha_c \sim I_c$ 实验曲线

(a) 中 $V_{BC} = 0, -1, -2, -3, -4V$, $V_{BS} = 0.0V$, $V_{GB} = -1.5V$

(b) 中 $V_{BC} = 0.0V$, $V_{BS} = 0.0V$, $V_{GB} = 1.5V$

$$\alpha_c \approx \frac{I_c}{I_c + I_s} = \frac{1}{1 + I_s/I_c} = \left(1 + \frac{A_{ES}}{A_{EC}} \cdot \frac{D_s}{D_c} \cdot \frac{G_{BC}}{G_{BS}}\right)^{-1}, \quad (1)$$

其中 A_{EC} 、 A_{ES} 、 D_c 、 D_s 、 G_{BC} 、 G_{BS} 分别为横向和衬底管的等效发射面积、扩散系数和 Gummel 数 ($G_B = \int_0^{W_B} N(x) dx$, 基区单位面积内的多子数)。为提高 α_c 、增加 β_c , 可采取三条措施: (1) 降低 A_{ES}/A_{EC} , 在版图设计上提高发射极的周长面积比, 采用最小发射区面积设计规则; (2) 降低 D_s/D_c , 在基区施加横向加速电场, 增加横向漂移电流, 这可等效为 D_c 的增加^[16, 17]。但这样做增加了电路设计的难度及复杂性; (3) 降低 G_{BC}/G_{BS} 。改变栅压 V_{GB} 调制基区表面多子分布, 可改变 G_{BC} , 减小 G_{BC} 可提高 α_c 和 β_c , 但大电流特性变坏。相比之下, 措施 (1) 较易实施且不增加副作用。图 3(b) 中, 基区表面杂质的严重补偿使 G_{BC} 远小于 G_{BS} , 这是造成 PNP 的 α_c 较高的主要原因之一, $\alpha_c \approx 0.9$ 。而 NPN 的 α_c 约在 0.3—0.4 之间。在中小电流段, α_c 不随电流变化, 大注入发生后, 发

射极电流集边效应使得等效发射极面积之比 A_{ES}/A_{EC} 发生变化,由此引起 α_c 相应地变化。

3. 栅电压 V_{GB} 的影响和利用

改变 V_{GB} 将调制基区表面多子分布从而改变 G_{BC} 、影响 I_c ($I_c \propto 1/G_{BC}$)。以 P-well 为例,当 V_{GB} 大于平带电压 V_{FB} ($\approx -1.0V$), 小于 $V_{FB} + \phi_p$ [ϕ_p 为费米势 $U_T \ln(N_A/n_i)$]时, 表面处于耗尽状态, G_{BC} 远小于 G_{BS} , 发射极侧壁注射效率大于底部注射效率, 表面能带弯曲形成的势井使注入的电子更易趋于靠近表面向收集区运动, 横向收集效率 α_c 的增加引起 β_c 的增加, 见图 4(a); 当 V_{GB} 向小于 V_{FB} 的方向变化时, G_{BC} 增加, 靠近表面的注射效率下降, 表面能带弯曲形成的势垒使电子离开表面一定距离经体内向收集极运动, α_c 的下降造成 β_c 的下降。积累层的屏蔽作用使得 V_{GB} 的影响迅速减

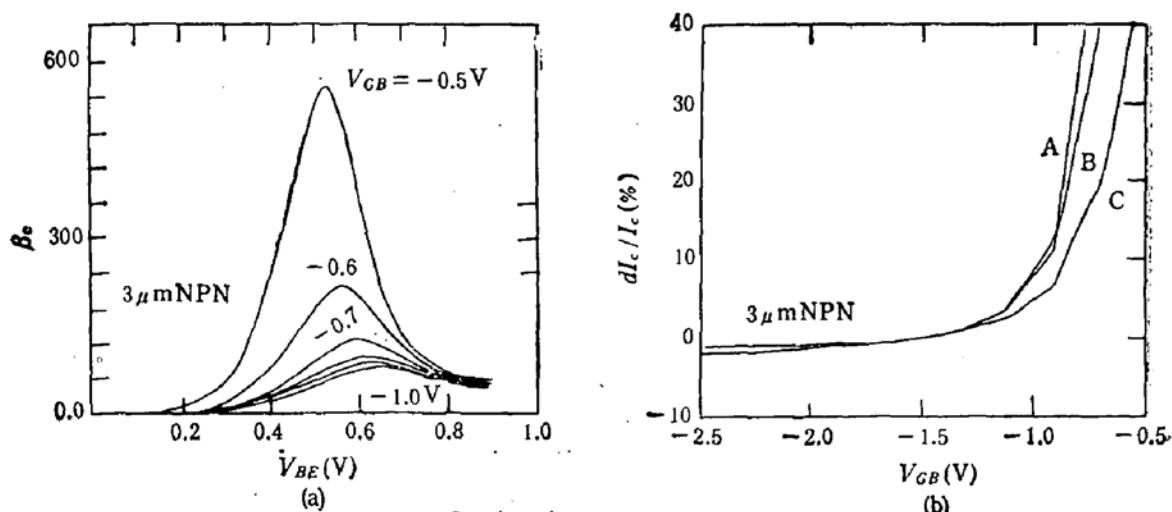


图 4 V_{GB} 对 β_c (a) 及 V_{GB} 对 $\Delta I_c/I_c$ (b) 的影响
 (a) 中 $V_{FB} = 5V$, $V_{CB} = 0V$, $V_{BB} = 0V$, $\Delta V_{GB} = -0.1V$
 (b) 中 A: $V_{BB} = 0.55V$, B: $V_{BB} = 0.65V$, C: $V_{BB} = 0.75V$

弱, 见图 4(b)(图中 $V_{GB} = -1.5V$ 的 I_c 的相对变化 $\Delta I_c/I_c$ 定义为 0); V_{GB} 不应大于 $V_{FB} + \phi_p$, 否则表面反型后 CLBT 变为一个 MOSFET 同时并联一个双极管的复合器件, 将失去体内器件的优点。实验表明, V_{GB} 对 I_B 、 I_S 的影响相对于 I_c 来说可以忽略; V_{GB} 对 I_c 影响的强弱程度与 I_c 大小有关, 中小电流段较大, 随着 I_c (即 V_{BE}) 增加其影响渐弱, 大电流段影响很小, 因为此时基区多子分布已主要决定于注入的少子。

在多数应用场合, CLBT 并不处在共基联接状态, 我们不希望 V_{GB} 的调制作用对电路有所影响。为减小 V_{GB} 的调制影响, 有两种加栅压的方式: 一是给 V_{GB} 加尽可能负的偏压(对 P-well 工艺), 强积累层的出现使 V_{GB} 对 I_c 的影响可以忽略, 见图 4(b), 对 N-well 工艺则反之; 另一种是采用浮栅方式, 用雪崩方法向栅上注入一定的负电荷达到预定 V_{GB} 后让栅悬浮^[14], 这样保持 V_{GB} 为常数, 不产生调制作用。

栅的调制效应是 CLBT 的一个特点, 可有意地被用来补偿 CLBT 的失调, 进一步提高精度, 文献 [14] 报道, 采用该技术, 电流镜的精度在 -50 — $+50^\circ\text{C}$ 温度范围内可做到 $\pm 0.3\%$, 低噪音前置放大器差分输入的失调可降为 0。改变浮栅电位可采用雪崩或任何其他不挥发存贮器的技术来实现。

4. 电流增益带宽积 f_T

f_T 参数是由实测 S 参数经换算而得到的。图 5 是 $3\mu\text{m}$ NPN 和 $2\mu\text{m}$ PNP CLBT 的 f_T 随电流 I_C 变化的实验曲线。 f_T 是电流和偏置电压的函数, 可近似表示为^[13]:

$$\frac{1}{2\pi f_T} = \tau_B + \frac{U_T}{I_C} (C_{EB} + C_{CB} + C_{SB} + C_{ox}), \quad (2)$$

式中 τ_B 为等效基区渡越时间, U_T 为热电压, C_{EB}, C_{CB}, C_{SB} 为各结电容, C_{ox} 为栅电容。在小电流段, 上式右端第二项起主要作用, f_T 为 I_C 的增函数; 随着 I_C 的增加, τ_B 逐渐

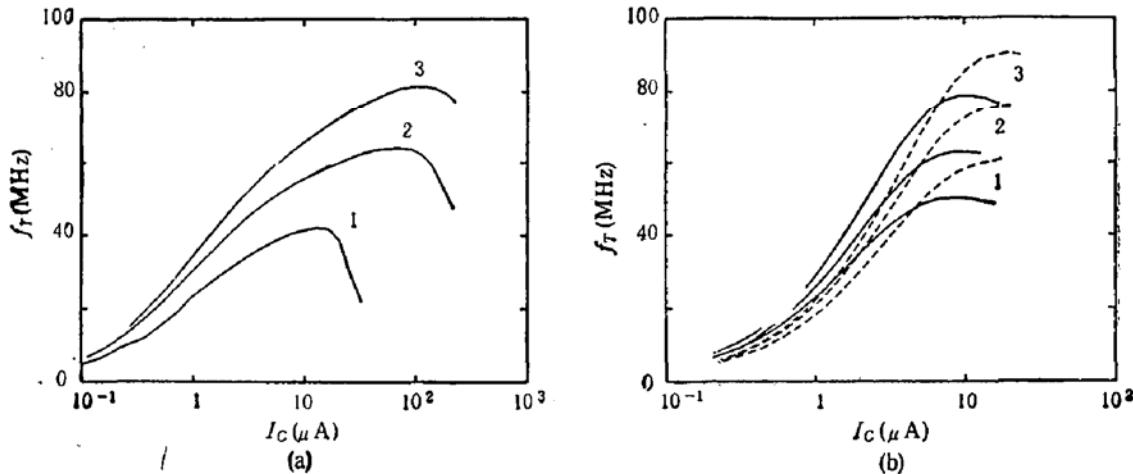


图 5 $3\mu\text{m}$ NPN(a) 和 $2\mu\text{m}$ PNP (b) 的 $f_T \sim I_C$ 实验曲线

(a) 中 1: $V_{BC} = V_{BS} = 0.0\text{V}$, 2: $V_{BC} = V_{BS} = -2.0\text{V}$, 3: $V_{BC} = V_{BS} = -4.0\text{V}$, $V_{GB} = -1.5\text{V}$
(b) 中 1: $V_{BC} = V_{BS} = 1.0\text{V}$, 2: $V_{BC} = V_{BS} = 2.0\text{V}$, 3: $V_{BC} = V_{BS} = 3.0\text{V}$, $V_{GB} = 1.5\text{V}$

起主要作用; 在大注入时 f_T 由 τ_B 决定, 大注入效应引起 τ_B 增加造成 f_T 的下降。采用向心对称版图结构(基极接触扩散区包围着源漏区, 具有最小的基极串联电阻)的 CLBT 在大注入时, 因其对称性较好具有较小的 τ_B , 因而 f_T 较高, 见图 5b 中的虚线。在通常偏置状态下 ($|V_{BC}|, |V_{BS}| = 3-5\text{V}$), 两种工艺的 CLBT 的 f_T 峰值约 $80-100\text{MHz}$,

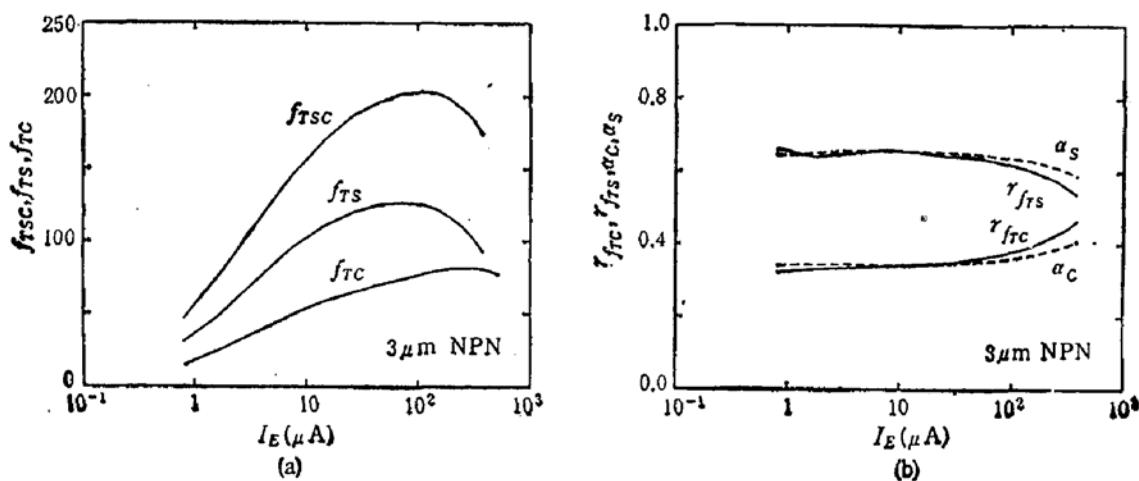


图 6 (a) $f_{TSC}, f_{TC}, f_{TS} \sim I_E$ 和 (b) $r_{f_{TC}}, r_{f_{TS}}, \alpha_C, \alpha_S \sim I_E$ 曲线

$r_{f_{TC}}, r_{f_{TS}}:$ ——
 $\alpha_C, \alpha_S:$ - - -

对应的 $3\mu\text{m}$ NPN CLBT 的 $I_c \approx 100\mu\text{A}$, $2\mu\text{m}$ PNP CLBT 的 $I_c \approx 10\mu\text{A}$.

CLBT 的 f_T 不仅决定于横向尺寸, 还决定于纵向衬底管的尺寸。定义 $\beta_s (= I_s / I_B)$ 和 $\beta_{cs} [= (I_c + I_s) / I_B]$ 的模下降到 1 的频率分别为特征频率 f_{Ts} 和 f_{Tcs} , $f_{Tc} = f_T$, 分析^[15]和实验都表明, f_{Tc} , f_{Ts} 和 f_{Tcs} 存在下列的比例关系:

$$\frac{f_{Tc}}{f_{Tcs}} = r_{f_{Tc}} = \alpha_c, \quad (3)$$

$$\frac{f_{Ts}}{f_{Tcs}} = r_{f_{Ts}} = \alpha_s. \quad (4)$$

见图 6 实验曲线。(3) 式说明, f_T (即 f_{Tc}) $= \alpha_c \cdot f_{Tcs}$. 即提高 f_T 有两个途径: 一是提高 α_c , 但 α_c 不会大于等于 1, 所以 f_T 不会高于 f_{Tcs} ; 二是提高 f_{Tcs} , 而 f_{Tcs} 是由横向及衬底管的特性共同决定的, 因此只有横向尺寸的缩小而没有纵向阱深的缩小, 不可能指望 f_T 有量级上的提高。

5. pn 结电容

CLBT 有三个 pn 结电容: 发射结电容 C_{EB} 、收集结电容 C_{CB} 和衬底结电容 C_{SB} 。它们均是面积与反偏电压 V_{RV} 的函数, 见图 7. 图中 C_{SB1} 和 C_{SB2} 分别代表最小面积版图结构和向心对称版图结构(具有最小基极串联电阻)的衬底结电容。 C_{SB} 一般大于 C_{CB} , 尽管 C_{SB} 最大, 但因衬底电位固定, C_{SB} 在电路中不会有 Miller 电容的作用。为提高 CLBT 的工作电流, 可将若干最小发射面积的 CLBT 并联放在同一个阱中(共用一个基区), 这样可以相对地降低衬底结电容 C_{SB} 的影响。

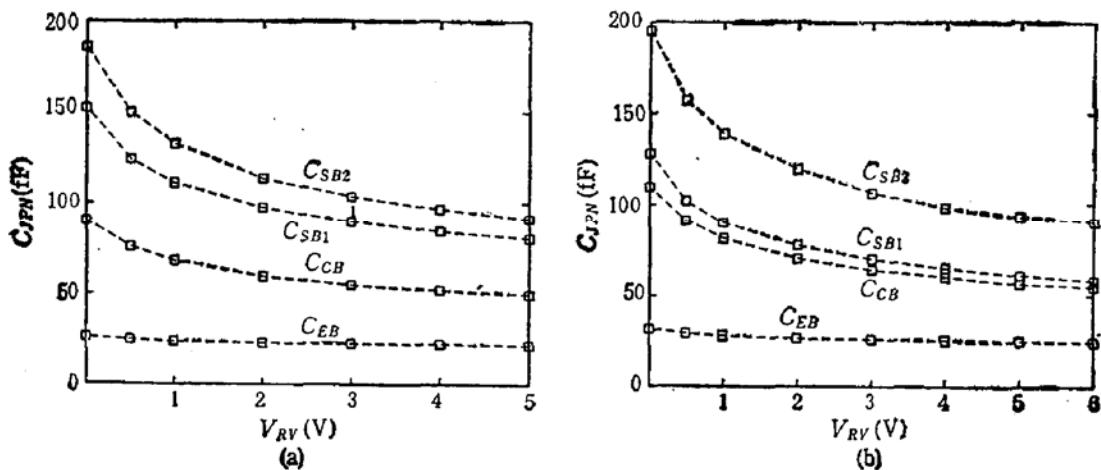


图 7 $3\mu\text{m}$ NPN (a) 和 $2\mu\text{m}$ PNP (b) CLBT 结电容 $C_{JPN} \sim V_{RV}$ 实验值

6. Early 电压 V_A 及串联电阻

CLBT 的收集极为重掺杂、基区为轻掺杂, 这使得 CB 结耗尽区几乎全部降落在基区内, 基区宽度调制效应较严重, Early 电压 V_A 较低。实测表明, 其动态 V_A ($= I_c \cdot \Delta V_{CB} / \Delta I_c$) 的取值范围在 10—25V 之间。CLBT 的 V_A 较低, 其输出阻抗也较低, 这是 CLBT 的弱点。为克服这一弱点, 通常都在 CLBT 的输出端增加一个 MOSFET, 采用 Cascode 输出结构^[5, 9, 10, 12], 见图 8. Cascode 电路结构可使其等效 V_A 增加三个数量级^[9]。

串联电阻 r'_e 和 r'_b 的取值分布范围较大, 受工艺影响较大。根据报道^[12]及实验结果, 对只有一个引线接触孔的最小面积发射极(接触孔为 $3 \times 3 \mu\text{m}^2$ 或 $2 \times 2 \mu\text{m}^2$), r'_e 分布范围为 $25-100 \Omega$, r'_b 分布范围为 $1-15 \text{k}\Omega$ 。这样的阻值对于微功耗电路的影响(如 $I_E = 1 \mu\text{A}$)可以忽略。将 n 个最小面积 CLBT 并联使用, 可望增大工作电流 n 倍, 同时降低 r'_e 和 r'_b n 倍。

四、结 论

1. CLBT 实质上是将 CMOS 阵中的 MOSFET 加适当偏置、使之成为以双极模式工作的体内器件。表面缺陷影响的减弱使 CLBT 的匹配性能及低频噪音特性比表面器件有数量级上的提高。CLBT 是提高 CMOS 模拟电路精度的一个很好的器件。

2. P-well $3 \mu\text{m}$ NPN 的 β_c 大于 60, N-well $2 \mu\text{m}$ PNP 的 β_c 可达 1000。两者 f_T 的峰值在 80—100MHz 范围, 对应 f_T 峰值的工作电流 I_C : $3 \mu\text{m}$ NPN 为 $100 \mu\text{A}$, $2 \mu\text{m}$ PNP 为 $10 \mu\text{A}$; 提高 α_c 可以提高 β_c 和 f_T , 提高发射区周长面积比是提高 α_c 的简易而有效的措施。

3. 栅压的变化会调制基区表面多子分布从而影响 CLBT 的电流特性。为减小其影响可采用浮栅技术或使表面强积累以屏蔽栅压对电流的调制作用。栅压的作用可以有意地用来消除 CLBT 的失调、进一步提高电路精度。

4. CLBT 的大电流效应发生得较早, 采用多个 CLBT 并联方式可以提高工作电流。CLBT 的 Early 电压 V_A 较低, 采用 Cascode 电路结构可使其等效的 V_A 有数量级的增加。

参 考 文 献

- [1] M. Kabo et al., *IEEE J. Solid-State Circuits*, SC-23, 5(1988).
- [2] Y. P. Tsividis and R. W. Ulmer, *IEEE J. Solid-State Circuits*, SC-13, 774(1978).
- [3] E. Vittoz and O. Neyroud, *IEEE J. Solid-State Circuits*, SC-14, 573(1979).
- [4] O. Minato et al., *IEEE Trans. Electron Devices*, ED-26, 882(1979).
- [5] E. A. Vittoz, *IEEE J. Solid-State Circuits*, SC-18, 273(1983).
- [6] E. A. Vittoz, *IEEE J. Solid-State Circuits*, SC-20, 657(1985).
- [7] Z. Hong and H. Melchior, *Electronics Letters*, 21(2), 72(1985).
- [8] M. G. Degrauw et al., *IEEE J. Solid-State Circuits*, SC-20, 1151(1985).
- [9] X. Arreguit, E. A. Vittoz and M. Merz, *IEEE J. Solid-State Circuits*, SC-22, 442(1987).
- [10] C. A. Laber et al., *IEEE J. Solid-State Circuits*, SC-22, 181(1987).
- [11] M. G. Degrauw et al., *IEEE J. Solid-State Circuits*, SC-22, 1106(1987).
- [12] T. W. Pan and A. A. Abidi, *IEEE J. Solid-State Circuits*, SC-24, 951(1989).
- [13] A. A. Abidi et al., Proc. Bipolar Circuits Tech. Meeting (Minneapolis, MN), 90(1987).
- [14] X. Arreguit and E. A. Vittoz, 14th European Solid-State Circuits Conference, Manchester, 21(1988).
- [15] 马槐楠. CMOS 工艺结构中横向双极型晶体管的特性与模型, 清华大学博士学位论文, 1990.3.
- [16] H. K. Gummel, *Bell Syst. Tec. J.* 49, 115(1970).
- [17] H. K. Gummel, and H. C. Poon, *Bell Syst. Tec. J.*, 49, 827(1970).

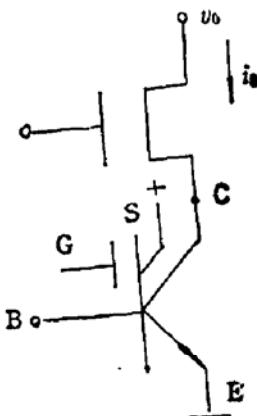


图 8 CLBT Cascode
接法示意图

DC and AC Characteristics of Lateral Bipolar Transistors Compatible with CMOS Technology

Ma Huainan, Eric A. Vittoz* and Xu Jiasheng

(Institute of Microelectronics, Tsinghua University, Beijing 100084, * Center Suisse D'Electronique Et De
Microtechnique (CSEM), Switzerland)

Abstract

In CMOS technology, the MOSFET located in a well can become a bulk device and operate in the lateral bipolar mode when suitable bias is applied. Two production CMOS processes, a $3\mu m$ P-well CMOS and a $2\mu m$ N-well CMOS, are used to fabricate the CMOS compatible lateral bipolars. The property of the device is analyzed and discussed. Typical experimental data of DC and AC parameters are presented. The analysis and data are very helpful for the IC designers who want to know the range of operating current and frequency of the device and want to make a full use of the advantage of the device for improving their CMOS integrated circuits.