

# SOI 栅控混合管(GCHT) 集电极电流的分区模型

黄 如 王阳元 韩汝琦

(北京大学微电子所 北京 100871)

**摘要** 本文提出了栅控混合管(GCHT)集电极电流的分区模型. 在不同的基极电压范围对器件输出特性进行了讨论. 与以前提出的精确全区模型<sup>[10]</sup>相比, 分区模型将端电流与端电压联系起来, 物理意义更为清晰, 在计算效率得到提高的同时, 也便于快速参数提取. 本模型计算结果与全区模型计算结果及实验结果吻合较好.

EEACC: 2560Z, 2520M

## 1 引言

随着集成电路的迅速发展, 高速低功耗器件的开发研究日显重要. BiCMOS 思想<sup>[1]</sup>正是结合双极器件高速、高跨导等优点及 CMOS 器件低功耗、高封装密度等优点而提出的. 然而体硅 BiCMOS 技术由于需要埋层及外延工艺, 制备成本过高, 成为制约 BiCMOS 电路发展的一大瓶颈问题. 近年来提出的栅控混合管(GCHT)<sup>[2~4]</sup>作为一种横向器件, 由于其工艺与 CMOS 工艺的兼容性, 可望降低 BiCMOS 数字/模拟集成系统的成本. 而且其本身也是一种可作低压低功耗应用的器件, 其已经从实验上体现出了许多新的特点, 如大电流驱动能力、高跨导、低导通电压及理想的双极关态特性等. 因此有望在纯高速电路及模拟电路方面得到广泛应用. 采用 SOI 材料制备 GCHT, 不仅可以简化工艺, 还能消除体硅器件普遍存在的纵向管效应及部分耗尽 SOI/MOSFET 中的浮体效应. 随着寄生效应的减小, 速度有望进一步提高.

目前关于横向双极晶体管的解析及数值模型<sup>[5,6]</sup>中均未考虑栅极对集电极电流的影响, 而有关 MOSFET 的模型公式仅考虑源衬结零偏或反偏情况. 因此对于栅体相连, 源体结正偏的 GCHT 器件, 上述模型都不能从物理上准确地模拟其工作机制. 目前有关 GCHT 的定量分析报道很少, Huang<sup>[7]</sup>、Joardar<sup>[8]</sup>及 Chen<sup>[9]</sup>等人曾提出不同的与 GCHT 类似的体硅器件模型, 然而 Huang 及 Chen 的模型中包含了若干拟合参数, Joardar 的模型中包含复杂的

黄 如 女, 1969 年生, 博士生, 主要从事 SOI 新器件及电路等方面的研究

王阳元 男, 1935 年生, 中国科学院院士, 主要从事 VLSI 新工艺、新器件和新结构的研究

韩汝琦 男, 1938 年生, 博士生导师, 主要从事半导体器件物理、高温超导、微米纳米器件及介观物理方面的研究  
1996 年 10 月 29 日收到初稿, 1996 年 12 月 31 日收到修改稿

数值积分,而且三者未考虑外加基极电压对表面势的影响. 在分析 GCHT 器件物理机制的基础上,我们已经建立了集电极电流的全区模型<sup>[10]</sup>,其与 PISCES 数值模拟结果及实验结果吻合较好. 然而由于其中通过迭代求解出表面势,无法用显式表示出端电流与端电压的关系. 因此本文中建立了集电极电流的分区模型,推导得到端电压与端电流的显式关系式,模型物理意义更加清晰,在计算效率得到提高的同时,也利于快速参数提取. 本文第二部分将讨论模型的建立,第三部分对分区模型与全区模型计算结果及实验结果进行比较分析.

## 2 理论模型

为简单起见,本文分析以 npn SOI/GCHT 为例,其结构示意图如图 1(a)所示. 栅与体在器件两边相连,MOSFET 的源、漏、体同时分别用作双极器件的发射区、集电区、基区. 为分析方便,源极 s、漏极 d、栅极 g 与发射极 e、集电极 c、基极 b 分别对应,基区宽度  $W_b$ 、基区长度  $z_b$  与沟道长度、沟道宽度分别对应. 基区可分为两个区域:受栅影响的 I 区及不受其影响的 II 区. 即 I 区能带弯曲,II 区处于准中性状态. I 区可看作是同时受栅材料、栅电压(基极电压)及漏电压(集电极电压)控制的表面器件,II 区则可看作是横向体器件.

I 区中由于栅材料与体材料之间的功函数差,基区表面能带弯曲,从表面到体内的电势降落将改变 I 区中  $y$  方向的势垒. 使 I 区先于 II 区导通,导通电压低于源结反偏或零偏的 MOS-

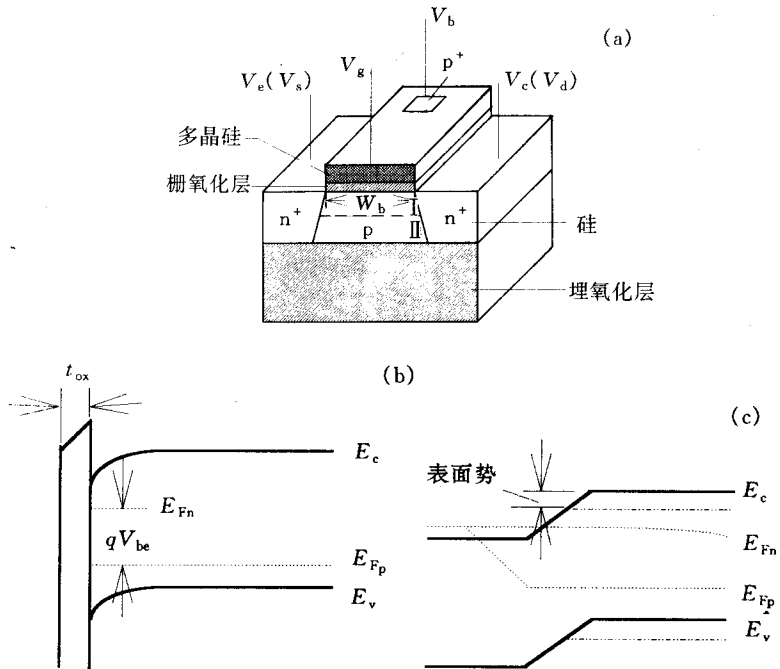


图 1(a) GCHT 结构示意图

(b) 沿表面  $x$  方向的能带图, (c) 源端  $y$  方向的能带图.

FET,一般也低于普通双极器件. 沿  $x$  方向、 $y$  方向的能带图如图 1(b)(c)所示. 在一定的集电极电压  $V_{cc}$ (如 2V)下,随着基极电压  $V_{be}$ 的增加,I 区源端电子与空穴准费米能级之差  $\Delta E_{feh}$ 增大,源端逐渐由耗尽过渡到反型. 可见不同于普通 MOS 器件,GCHT 器件表面状态同时受表面势及  $\Delta E_{feh}$ 的影响. 随着  $V_{be}$ 的增加,注入电子增多,为保持  $y$  方向的电荷平衡,栅氧化层上电荷也将增大,引起栅氧化层上压降增大,表面势减小. 在某一  $V_{be}$ 下,II 区开始导通,此时 I 区 II 区同时对集电极电流作贡献. 随着  $V_{be}$ 继续增大,源端栅下耗尽区消失,同时 II 区影响将超过 I 区,这属于极大注入情况,将在以后作进一步研究.

下面根据源端状态划分基极电压范围,作相应分析. 对于  $V_{cc}$ 大于零的情况,漏端反型程

度总是弱于源端.

设  $V_1$  为源端反型对应的基极电压,  $V_2$  为源端开始强反型对应的基极电压, 电流在不同工作区域可划分为不同的电流成分, 如表所示.

当基极电压为  $V_1$  时, 源端电子浓度  $n_e$  等于体掺杂浓度  $N_b$ . 由于栅与体相连,  $V_{ge} = V_{be}$ , 假设玻氏关系成立, 并考虑电势平衡, 则有<sup>[11]</sup>

$$n_e = \frac{n_i^2}{N_b} e^{(\varphi_s + V_{be})/V_t} \quad (1a)$$

$$= N_b \quad (1b)$$

$$V_{gb} = V_{fb} + \varphi_s + \gamma \sqrt{\varphi_s} \quad (2)$$

由(1a)、(1b)及(2)可解出

$$V_1 = \frac{[2(-V_{gb} + V_{fb} + 2\Phi_B) - \gamma^2] + \sqrt{-4\gamma^2(-V_{gb} + V_{fb} + 2\Phi_B) + \gamma^4 + 8\gamma^2\Phi_B}}{2} \quad (3)$$

其中  $V_{fb}$  为平带电压;  $\varphi_b$  为体费米势;  $\varphi_s$  为表面势;  $V_{gb}$  为栅体间电压;  $V_t$  为热电势;  $N_b$  为基区掺杂浓度;  $\gamma$  ( $\gamma = \sqrt{2q\epsilon_s N_b / C_{ox}}$ ) 为体系数;  $C_{ox}$  为单位面积栅氧化层电容;  $\epsilon_s$  为硅介电常数.

### 2.1 $V_{be} < V_1$ 情况

当  $V_{be} < V_1$  时, I 区源端处于耗尽到弱反型状态, 源端电子浓度  $n_e < N_b$ . 加上一定漏电压  $V_{ce}$ , 两端电子浓度不同, 产生扩散电流. 沿沟道方向表面势变化很小, 这已为 PISCES 模拟结果所证实, 因此漂移电流很小, 暂不作考虑. 本假设将在第三部分作进一步讨论. I 区处于未导通状态, 其电流主要是 pn 结漏电, 可以忽略.

I 区扩散电流可表示为<sup>[10]</sup>

$$I_{diff} = \frac{z_b \mu_{eff}}{w_b} \int_{Q_{nc}}^{Q_{ne}} dQ_n \quad (4)$$

其中  $z_b$ 、 $w_b$  分别为基区长度及宽度;  $\mu_{eff}$  为有效迁移率, 单位面积发射极边缘及集电极边缘电荷  $Q_{ne}$ 、 $Q_{nc}$  可由(1a)式得到, 则(4)式可表示为

$$I_{diff} = \frac{z_b \mu_{eff}}{w_b} \frac{\gamma C_{ox}}{2 \sqrt{\varphi_{sw}}} V_t e^{(\varphi_{sw} + 2\Phi_B - V_{be})/V_t} (1 - e^{-V_{ce}/V_t}) \quad (5)$$

其中  $V_{ce}$  为集电极电压;  $\varphi_{sw}$  为弱反型情况下表面势,

$$\varphi_{sw} = V_{gb} - V_{fb} + \frac{\gamma^2}{2} - \gamma \sqrt{\frac{\gamma^2}{4} + V_{gb} - V_{fb}} \quad (6)$$

GCHT 器件中,  $V_{gb} = 0$ ,  $\varphi_{sw}$  仅与结构参数有关, 将(6)式代入(5)式, 即可得到电流表达式, 与端电压直接联系.

### 2.2 $V_1 < V_{be} < V_2$ 情况

$V_2$  的确定: 对于衬偏为零或负的普通 MOS 器件, 强反型条件一般为  $\varphi_s = 2\varphi_b$ , 这对  $V_{gb}$  较大情况是适用的. 但对于 GCHT 器件, 由于栅体相连,  $V_{gb} = 0$ , 这一判据将引进较大误差. 强反型应定义为,  $\varphi_s = 2\Phi_B - V_{be} + \Phi_x$ ,  $\Phi_x$  的值可由精确定义判据<sup>[12]</sup>确定. 根据文献[12], 强反型的起点为

$$\frac{C_i}{C_{ox} + C_b} = 10 \quad (7)$$

其中  $C_i (= -\frac{dQ_i}{d\varphi_s})$ 、 $C_b (= -\frac{dQ_b}{d\varphi_s})$  及  $C_{ox} (= \frac{dQ_G}{d\varphi_s})$  分别为反型层电容, 耗尽区电容及栅氧化层电容, 采用全区模型<sup>[10]</sup>, 可将  $C_i$ 、 $C_b$  表示为  $\varphi_s$  的函数, 代入(10)式, 进行迭代求解, 在正常掺杂浓度及栅氧化层厚度组合范围内, 可得  $(\varphi_s + V_{be} - 2\Phi_B)$  约为  $5 \sim 7V_t$ , 此即为  $\Phi_x$  的值. 对于 GCHT, 当  $V_{be} = V_2 = 2\Phi_B + \Phi_x$  时,  $\varphi_s \approx 0$ . 这表明由于源端电子大量注入, 栅下耗尽区消失, 源端反型此时仅由  $\Delta E_{feh}$  决定. 当  $V_{be} > V_2$  时, 出现极大注入情况, 将在以后作进一步研究.

当  $V_1 < V_{be} < V_2$  时, 由于大量电子进入耗尽基区, 源端处于反型, 随着  $V_{be}$  的增加, 表面势减小, 从栅氧化层到硅体内的电压降重新分配. 表面漂移作用将逐渐超过扩散作用, 并且 II 区将开始导通, 两者同时对集电极电流作贡献.

下面将对 I 区及 II 区电子电流分别讨论, 总电流为两者之和.

### 2.2.1 I 区电子电流

#### a. $V_{ce} < V_{cesat}$ 时

$V_{cesat}$  为漏端夹断, 电流饱和时对应的基极电压  $V_{ce} < V_{cesat}$  时, 源漏两端都处于反型状态.

#### (1) 漂移电流 $I_{dri}$ 的计算<sup>[11]</sup>

$$I_{dri} = \frac{z_b \mu_{eff}}{w_b} \int_{\varphi_{se}}^{\varphi_{sc}} (-Q_n) d\varphi_s \quad (8)$$

其中

$$Q_n = -C_{ox}(V_{gb} - V_{fb} - \varphi_s - \gamma \sqrt{\varphi_s}) \quad (9)$$

对  $\gamma \sqrt{\varphi_s}$  在  $\varphi_s = \varphi_{se}$  处进行泰勒展开, 并加权  $\theta (= 0.5 \sim 0.8)$ <sup>[13]</sup>, 则有

$$\gamma \sqrt{\varphi_s} = \gamma \sqrt{\varphi_{se}} + \theta \frac{\gamma}{2 \sqrt{\varphi_{se}}} (\varphi_s - \varphi_{se}) \quad (10)$$

$\varphi_{se}$ 、 $\varphi_{sc}$  求解如下:

首先,  $\varphi_{se}$  为

$$\varphi_{sc} = 2\Phi_B + \xi V_t - V_{be} \quad (11)$$

可见源端反型程度与  $V_{be}$  有关,  $\xi$  因子将在下面作讨论.

随着  $V_{ce}$  增加, 漏端反型程度逐渐减弱, 直至夹断. 靠近漏端扩散电流作用逐渐增强.  $\varphi_{sc}$  与  $V_{ce}$  近似呈线性变化, 这已为 PISCES 数值结果证实.  $\varphi_{sc}$  可表示为

$$\varphi_{sc} = \varphi_{se} + \frac{\varphi_{sb} - \varphi_{se}}{V_{cx}} V_{ce} \quad (12)$$

其中  $\varphi_{sb} (= \varphi_{sw})$  为漏断夹断对应的表面势, 漏端夹断时对应的漏端电压  $V_{cx}$  为  $(V_{be} - V_1)$ .

令  $\beta = \frac{\varphi_{sb} - \varphi_{se}}{V_{cx}}$ , 将(9~12)式代入(8)式, 则得

$$I_{dri} = \frac{z_b}{w_b} \mu_{eff} \{ [V_{gb} - V_{fb} - (2\Phi_B + \xi V_t - V_{be}) - \gamma \sqrt{2\Phi_B + \xi V_t - V_{be}}] \beta V_{ce} - \frac{1}{2} (1 + \delta) (\beta V_{ce})^2 \} \quad (13)$$

可见电流与端电压直接联系起来. GCHT 器件中, 漏端反型是由于  $V_{ms}$  与  $V_{be}$ 、 $V_{ce}$  共同作用引起的, 不同于普通 MOSFET 中仅由能带弯曲引起反型,  $V_{ce}$  通过  $\beta$  因子影响漏端表面势.

有关  $\xi$  的讨论:  $\xi$  是反映源端反型程度的一个参量. 对于 GCHT 器件, 由于栅与体相连, 源体结正偏, 随着  $V_{be}$  的变化, 源端反型程度也将变化. 本模型采用线性变化近似, 假设  $V_{be} = V_2$  (极大注入的下限) 时对应  $\xi = \xi_x$ , 则有

$$\xi = \frac{\xi_x}{V_2 - V_1} (V_{be} - V_1) \quad (14)$$

由上述讨论可知,  $\xi_x$  一般在 5~7 之间.

随着  $V_{be}$  的增加, 漏端夹断, 电流饱和, 由  $\frac{dI_{dri}}{dV_{ce}} = 0$ , 可得  $V_{cesat}$  为

$$V_{cesat} = \frac{V_{gb} - V_{fb} - 2\Phi_B - \xi V_t + V_{be} - \gamma \sqrt{2\Phi_B + \xi V_t - V_{be}}}{\beta(1 + \delta)} \quad (15)$$

(2) 扩散电流  $I_{diff}$  的计算

将(8)式代入(1)式, 结合(11)、(12)式, 则有

$$I_{diff} = \frac{z_b}{\omega_b} \mu_{eff} C_{ox} \{ V_t \beta V_{ce} + V_t [\gamma (\sqrt{2\Phi_B + \xi V_t - V_{be}} + \beta V_{ce} - \sqrt{2\Phi_B + \xi V_t - V_{be}})] \} \quad (16)$$

(13)式及(16)式之和即为 I 区电子电流.

b.  $V_{ce} \geq V_{cesat}$  时

将(15)式代入(13)式及(16)式, 两者之和即为 I 区电子电流.

### 2.2.2 II 区中电子电流

II 区中电子电流为纯横向 BJT 电流. 假设发射结及集电结边缘为圆形,  $I_2$  可表示为<sup>[5]</sup>

$$I_2 = q D_n z_b \frac{n_i^2}{N_b} [(\exp(V_{be}/V_t) - \exp(V_{bc}/V_t))] \times \{ \sin^{-1}(y_d/t_{Si})/2 - \pi/4 + \frac{W_b + 2t_{Si}}{\sqrt{(W_b + 2t_{Si})^2 - 4t_{Si}^2}} [\tan^{-1} \frac{\sqrt{W_b + 4t_{Si}}}{\sqrt{W_b}} - \tan^{-1} (\frac{\sqrt{W_b + 4t_{Si}}}{\sqrt{W_b}} \tan(\sin^{-1}(y_d/t_{Si})/2)) \} \} \quad (17)$$

其中  $t_{Si}$  为硅膜厚度;  $V_{bc}$  为集电结电压;  $y_d$  为栅下耗尽区宽度 (用  $(y_{de} + y_{dc})/2$  近似). 总电流为(13)式、(16)式及(17)式之和.

## 3 结果与讨论

本节的目的在于验证分区模型的有效性. 全区模型已得到 PISCES 数值模拟结果及实验结果的验证, 因此与全区模型计算结果比较是有效的.

图 2 比较了不同  $V_{be}$  下两种模型计算出的  $I$ - $V$  特性曲线. 选用器件结构参数为:  $t_{Si} = 150\text{nm}$ ,  $N_b = 3 \times 10^{17} \text{cm}^{-3}$ ,  $t_{ox} = 10\text{nm}$ ,  $W_b = 0.3\mu\text{m}$ ,  $z_b = 10\mu\text{m}$ . 可见两者吻合得较好. 随着  $V_{be}$  的增加, 饱和电流及饱和电压都将增加. 较好的饱和特性进一步表明 GCHT 器件中基区耗尽不同于穿通意义上的耗尽区相碰, 否则将出现类三极管特性, 而不是这种类五极管特性. 另外, 模拟结果也反映了这种器件的大电流驱动能力.

采用不同结构参数, 计算出的  $I$ - $V$  特性曲线 ( $V_{be} = 0.7\text{V}$ ) 如图 3 所示. 可见栅氧化层厚

度、基区掺杂浓度及基区宽度都将影响电流值及饱和电压值. 图 4 示出了采用不同结构参数

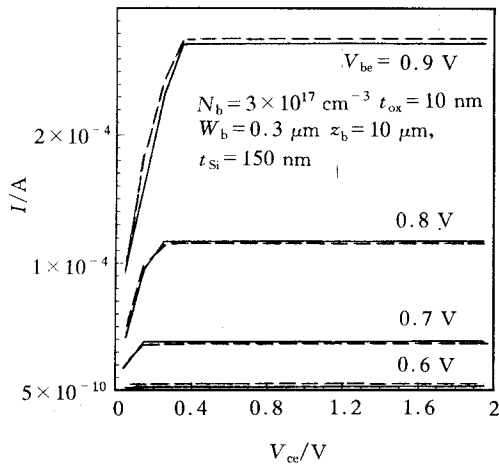


图 2 不同  $V_{be}$  下的输出特性  
实线：分区模型；虚线：全区模型.

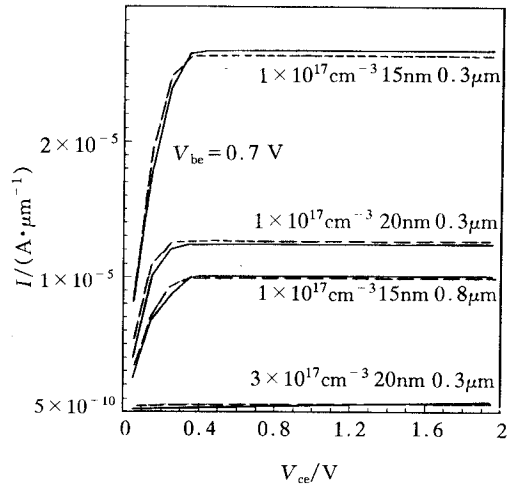


图 3 采用不同结构参数计算出的输出特性  
实线：分区模型；虚线：全区模型  
(参变量依次为  $N_b, t_{ox}, W_b$ ).

算出的转移特性曲线,可见栅氧化层越薄,基区掺杂浓度越淡,导通电压可减小,但是前者受栅氧化层击穿电压的限制,后者须折中于电流增益及基极电阻. 有关器件设计考虑将在以后作进一步讨论. 由图 4 可见,计算出的转移曲线斜率优于 MOS 一般器件,这样,在保证低压工作下泄漏电流较小的同时,短沟效应可望得到改善. 另外,对于不同的结构参数. 当  $V_{be} < V_1$  时,分区模型算出的结果与同时考虑漂移、扩散分量的全区模型算出的结果吻合较好. 因此,此工作区中推导的公式有效,所作假设是合理的.

为进一步验证本模型,将其与报道的实验结果<sup>[3]</sup>对比,如图 5 所示. 可见两者吻合较好,分区模型可用于 GCHT 器件的理论设计. 对于极大注入情况及串联电阻等二级效应将在以

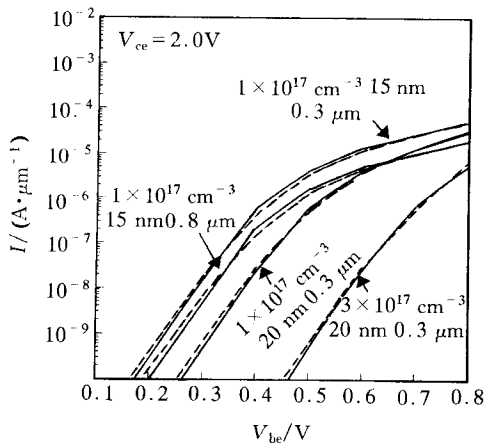


图 4 采用不同结构参数计算出的转移特性  
实线：分区模型；虚线：全区模型  
(参变量依次为  $N_b, t_{ox}, W_b$ ).

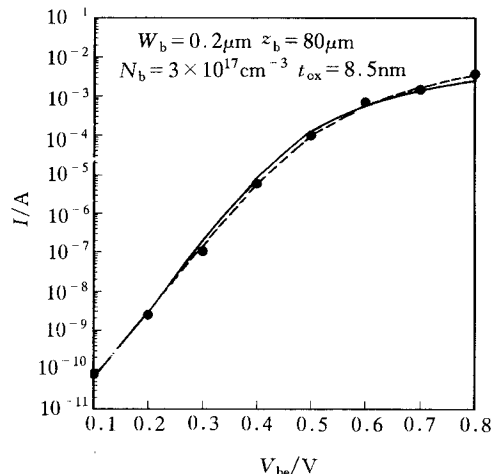


图 5 计算结果与实验结果的对比  
实线：分区模型；虚线：全区模型；点：实验.

后作进一步讨论.

## 4 结 论

本文建立了 GCHT 器件集电极电流的分区模型,将端电流与端电压联系起来,简化了模型公式,不含迭代过程,也将便于参数提取. 计算结果与全区模型模拟结果及实验结果吻合较好,验证了分区模型的有效性,分区模型可用于 GCHT 器件的理论设计.

## 参 考 文 献

- [ 1 ] T. I. Keda, A. Wantanabe *et al.*, IEEE Trans. Electron Devices, 1987, **34**(6): 1304~1309.
- [ 2 ] J. P. Colinge, IEEE Trans. Electron Devices, 1987, **34**(8): 845~851.
- [ 3 ] S. A. Parke, C. Hu and P. K. Ko, IEEE International SOI Conf., 1992: 82~83.
- [ 4 ] S. Verdonckt-Vandebroek, S. S. Wong, J. C. S. Woo *et al.*, IEEE Trans. Electron Devices, 1991, **38**(12): 2487~2496.
- [ 5 ] K. S. Seo and C. K. Kim, IEEE Trans. Electron Devices, 1980, **27**(1): 295~297.
- [ 6 ] D. Seltz, I. Kidron, IEEE Trans. Electron Devices, 1974, **21**(9): 587~592.
- [ 7 ] T. H. Huang and M. J. Chen, Solid State Electron, 1995, **38**(1): 115~120.
- [ 8 ] K. Joardar, IEEE Trans. Electronic Devices, 1994, **41**(3): 373~382.
- [ 9 ] P. Chen, Z. J. Li and L. T. Liu, International Conference of Solid State Integrated Circuit and Technology'95, 1995, 787~789.
- [10] R. Huang, Y. Y. Wang and R. Q. Han, Solid State Electronics, 1996, **43**(12): 1814~1816.
- [11] S. M. Sze, Physics of Semiconductor Devices, Wiley-Interscience, New York, 1981.
- [12] Yannis Tzividis, Solid State Electronics, 1982, **25**(11): 1099~1104.
- [13] G. Merckel, J. Borel and N. Z. Cupcea, IEEE Trans. Electronic Devices, 1972, **19**(5): 681~690.

## Piecewise Model for Collector Current in SOI Gate Controlled Hybrid Transistor

Huang Ru, Wang Yangyuan and Han Ruqi

(Peking University, Beijing 100871)

Received 29 October 1996, revised manuscript received 31 December 1996

**Abstract** A piecewise model for collector current in gate-controlled hybrid transistors (GCHT) is presented. The output characteristics under different ranges of base biases are investigated. Compared to the all-operating-region model we proposed earlier<sup>[10]</sup>, the piecewise model relates the terminal current to terminal voltages directly, giving a more explicit physical insight into the operation mechanism. Thus as well as the saving of the computational time, fast parameter extraction will be possible. The calculated results using this model agree well with those obtained from the accurate all-operating-region model and the experimental data.

EEACC: 2560Z, 2520M