

高选择 and 自终止多孔氧化硅 SOI 技术研究

黄宜平 李爱珍 邹斯洵 李金华¹ 竺士炆

(复旦大学电子工程系 上海 200433)

(¹ 江苏石油化工学院 常州 213016)

摘要 本文研究了 n 型硅阳极化的高选择和自终止工艺,并将该工艺用于形成多孔氧化硅全隔离 SOI 结构.采用这种 FIPOS (Full Isolation by Porous Oxidized Silicon)技术在 $n^-/n^+/n^-$ 衬底上形成的 SOI (Silicon On Insulator)结构,其顶层硅岛厚度可控制在较广范围(从 100nm 到数 μm),且硅岛宽度可大于 $100\mu\text{m}$. XTEM 结果显示顶层硅/氧化层界面非常平整和均匀.在硅膜厚 300nm 的 FIPOS 衬底上采用 $2\mu\text{m}$ 硅栅工艺制备了 N 沟和 P 沟 MOS 晶体管和 21 级环形振荡器,环振的门延迟为 396ps.

EEACC: 2520C, 2530F, 2560R

1 引言

采用 SOI 技术制备的集成电路具有高集成度、高速、低功耗、消除 CMOS 电路的自锁效应、抗辐照等诸多优点^[1],所以对 SOI 技术的研究越来越引起人们的重视.当前已发展了多种有应用前景的 SOI 技术.其中 SIMOX^[2]和 BESOI^[3]技术在实用化方面发展较快,然而 SIMOX 材料的缺陷密度和重金属杂质沾污等问题仍需进一步解决. BESOI 技术要获得超薄的 SOI 硅膜困难也很大.除此之外,价格昂贵已成为限制这些 SOI 材料广泛应用的主要原因之一. FIPOS 技术在制备 SOI 材料时,要先进行一次光刻掩膜,形成图形,所以 FIPOS 材料不适合材料公司作为商品出售,这是它的主要缺点.然而本文报道的新型 FIPOS 技术具有工艺简单、价格便宜、硅膜质量好以及硅膜厚度控制范围广等优点,除了可用于制备高速低功耗的 CMOS 电路外,还可以制备对硅膜厚度有不同要求的各类高性能的特种电路和传感器等.因此,这是一种有推广应用前景的 SOI 技术.

早期的 FIPOS 技术^[4]由于形成的埋层氧化层太厚,硅岛宽度太窄,界面不平整,难以实用.本文研究了 n 型硅的阳极化反应,结果显示阳极化反应对材料掺杂浓度有非常强烈的选择性,并有自终止特性,根据这一原理,研究成功高选择性和自终止 FIPOS 技术,采用 $n^-/n^+/n^-$ 不同掺杂浓度结构的工艺途径,使获得的 SOI 硅膜单晶质量好,硅膜和埋层氧化层界面平整,硅膜的厚度控制范围大(从 100nm 到几微米).在形成 n^+ 层时,本文采用了铯扩散工艺,较之采用离子注入砷^[5]或掺砷外延^[6]等工艺简单,且又有利于在 n^+ 层上得到质量好的 n^- 外延层.

黄宜平 男,1946 年生,副教授,从事半导体器件和集成电路工艺研究
1996 年 9 月 20 日收到初稿,1996 年 11 月 25 日收到修改稿

本文报道了在硅膜厚度为 310nm 的 FIPOS 衬底上采用 $2\mu\text{m}$ 硅栅 CMOS 工艺制备的 n 沟、p 沟 MOSFET 和 21 级 SOI/CMOS 环形振荡器的特性, 环形振荡器的门延迟时间为 396ps, 其速度比用体硅材料制备的环振快许多。

2 实验

对不同掺杂浓度的 n 型硅进行了阳极化电压和阳极化反应电流关系的研究. 衬底硅材料是 n 型(100)晶向、掺杂浓度分别为 10^{19}cm^{-3} 、 10^{17}cm^{-3} 、 10^{14}cm^{-3} , 在阳极化反应前, 硅片背面用高剂量砷离子注入形成欧姆接触, 阳极化反应溶液 HF 的浓度为 42wt%. 结果表明, 对不同掺杂浓度的 n 型硅片, 阳极化有非常好的选择性, 当所加阳极化电压很小时, 只有 10^{19}cm^{-3} 掺杂浓度的 n 型硅片发生阳极化反应, 并将 n^+ 层硅变为多孔硅, 而低掺杂浓度的

材料没有反应电流通过, 只有加大阳极化反应电压, 先是 10^{17}cm^{-3} 材料, 后是 10^{14}cm^{-3} 材料才会发生反应^[7], 因此可以控制阳极化电压使 $n^-/n^+/n^-$ 掺杂结构的材料仅在 n^+ 层形成多孔硅。

高选择和自终止多孔氧化硅全隔离 SOI 技术的主要工艺步骤如图 1 所示. (A) 衬底材料为 n 型(100)晶向, 电阻率为 $3\Omega\cdot\text{cm}$ 的 3 英寸硅片, 首先进行铈扩散, 形成一层 n^+ 层, 然后外延形成 n^- 层, 最后形成如图 1(A) 所示的 $n^-/n^+/n^+$ 掺杂结构. n^- 外延层的厚度控制十分重要, 它决定了 SOI 硅膜的厚度, n^- 外延层的厚度采用不同方法可控制在 150nm 到几 μm 的范围。

(B) 这一步骤可根据 SOI 硅膜的厚度要求来决定采用如图 1 所示的 (b1) 还是 (b2). 当要求的 SOI 硅膜厚度小于 500nm 时, 常采用 (b1) 工艺, 通过氧化、光刻和磷扩散等工艺步骤, 形成由 n^+ 区隔开的各个用于制备器

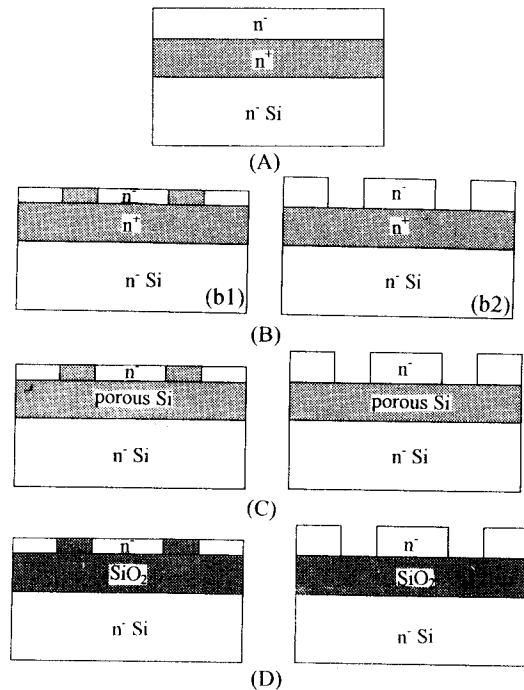


图 1 新型的 FIPOS 技术主要工艺步骤

件的 n^- 区岛. 磷扩散的深度要到达埋层 n^+ 区, 使 n^- 硅岛四周和底部均为 n^+ 区域. 当要获得的 SOI 硅膜厚度大于 500nm 时, 一般采用 (b2) 工艺步骤, 通过光刻及对硅的反应离子刻蚀等工艺, 形成一个个隔开的可制备器件的 n^- 硅岛. 反应离子刻蚀深度要到达 n^+ 埋层区。

(C) 进行阳极化反应. 控制好阳极化反应电流, 使阳极化反应仅在 n^+ 区进行, 而 n^- 区没有阳极化电流流过. 当阳极化反应电流降为零时, 说明 n^+ 区的硅已全部化为多孔硅了. 因此这种方法具有非常高的选择性和反应自终止特性, 因为反应仅在 n^+ 区发生, 所以最终形成的硅膜和埋层氧化层间的界面可以非常平整. 反应溶液为: HF (42wt%): $\text{C}_2\text{H}_5\text{OH} = 4 : 1$; 反应电流密度一般为 $30\text{mA}/\text{cm}^2$; 反应时间根据硅岛宽度而定. 经过阳极化反应后, 最后形成如图 1(C) 所示的结构。

(D)根据多孔硅氧化速率非常快的特点,经过较低温度的氧化,可将多孔硅全部转化为多孔氧化硅.具体的氧化条件是:先经过 300℃,60 分钟干氧氧化,然后在 750℃进行 90 分钟湿氧氧化.最终获得如图 1(D)所示的 SOI 结构.

在顶层硅膜厚度为 310nm 的 FIPOS 衬底上,采用 2 μm 硅栅 CMOS 工艺制备了 N 沟和 P 沟 MOSFET 和 SOI/CMOS 21 级环形振荡器,为了防止背沟漏电,进行了背沟离子注入.版图中设计了多种宽长比的 N 沟和 P 沟 MOSFET,以及环栅和非环栅的不同尺寸的 21 级环型振荡器,其版图设计如图 3(c),21 级环振的基本逻辑非门的 NMOS、PMOS 的宽长比 (W/L) 为 15. 第一级缓冲门的 NMOS、PMOS 的 W/L 为 18,第二级缓冲门的 NMOS 的 W/L 为 20,PMOS 的 W/L 为 40.

3 实验结果和分析

用剖面透射电子显微镜(XTEM)研究了用新型 FIPOS 技术制备的 SOI 结构.图 2 的 XTEM 照片(1.36 万倍)显示 SOI 硅膜厚度约为 310nm,埋层多孔氧化硅厚度约为 1.1 μm .硅膜和埋层多孔氧化硅的界面非常平整,更高倍率的 XTEM 分析得出顶层硅和埋层氧化层间过渡区厚约为 50nm,在埋层多孔氧化层和衬底之间存在着一个厚度约为 550nm 的过渡区,是一个多孔氧化硅和衬底交互的“树状”结构形貌.用光学显微镜对样品剖面分析,可看到硅岛宽度大于 100 μm .对硅岛间及硅岛和衬底进行了电压特性测试,在 300V 的偏压下其漏电流小于 10nA/ cm^2 ,表明硅岛间及埋层多孔氧化硅层的绝缘性能良好.

上述 XTEM 分析可以看到采用新型 FIPOS 技术获得的 SOI 结构是十分理想的.硅膜和埋层氧化层的界面平整,有利于器件制造,埋层氧化层和衬底之间的界面是一个宽度较宽、“树状”结构的过渡区,这一区域会形成一个重金属杂质(如铜和镍等)的吸除中心.实验表明铜和镍等杂质经过高温退火处理会从硅膜穿过埋层氧化层到达这一下过渡区,其结果将另文发表.另外,由于埋层氧化层的厚度约为 1 μm ,所以埋层氧化层和衬底硅间的不均匀性不会造成明显不均匀的背栅效应.

图 3(a)、(b)给出了 3 μm 沟道长度的 N 沟和 P 沟晶体管的直流输出特性.这些特性是在 HP4145 半导体参数提取仪上测得的.图中 $I_D \sim V_{DS}$ 曲线上的饱和区中出现了“Kink”效应,这是因为该样品的厚度约为 310nm,沟道区最大耗尽层宽度小于硅膜厚度造成的.器件特性显示晶体管的跨导较小,反映顶层硅膜迁移率较小,分析认为这是由于工艺过程中使器件表面态较大,从而使迁移率下降.图 3(d)是 21 级 CMOS 环形振荡器的输出特性,每级门

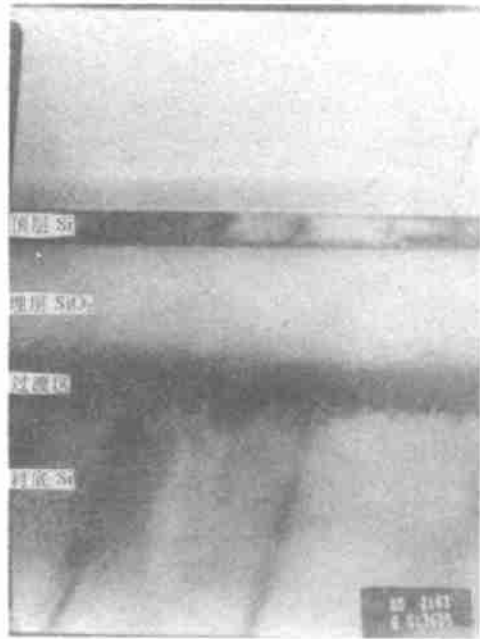


图 2 多孔氧化硅全隔离 SOI 结构的 XTEM 照片(1.36 万倍)

延迟在 7V 工作电压下为 396ps,其速度要比用体硅材料在相同条件下制备的环形振荡器快许多.

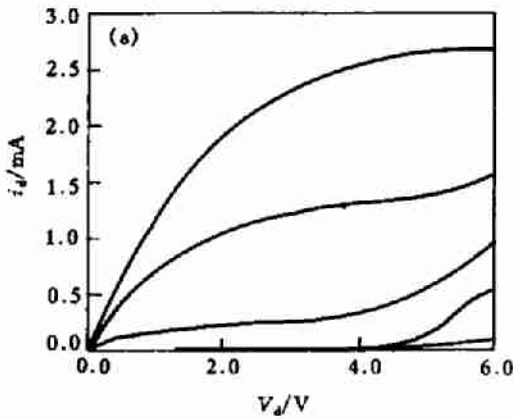


图 3(a) 三端环栅 NMOS 的输出特性

$W/L=36/3\mu\text{m}$, $V_{DS}=0\sim 6.0\text{V}$, $V_{GS}=2, 4, 6, 8, 10\text{V}$

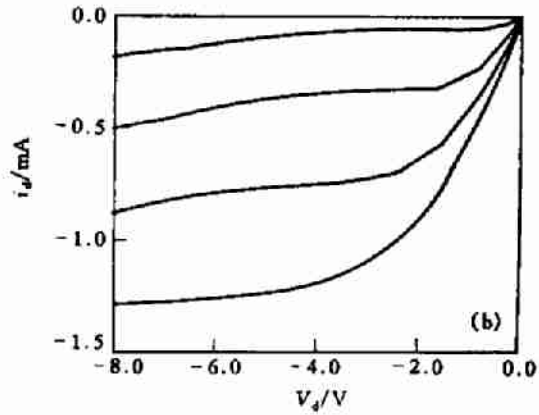


图 3(b) 三端环栅 PMOS 的输出特性

$W/L=36/3\mu\text{m}$, $V_{DS}=0\sim -8.0\text{V}$, $V_{GS}=-3, -5, -7, -9\text{V}$

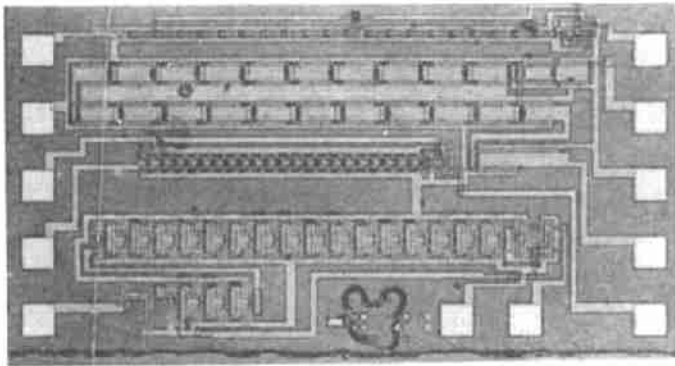


图 3(c) 四种不同尺寸和结构的环形振荡器版图

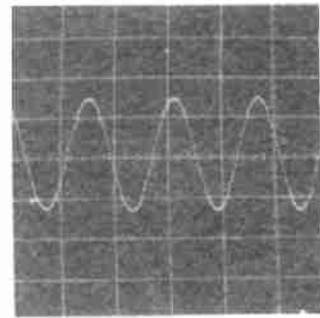


图 3(d) 21 级 SOI/CMOS 环形振荡器输出特性

4 讨论和结论

本文报道的高选择和自终止 FIPOS 技术,由于采用了 $n^-/n^+/n^-$ 掺杂结构的工艺途径,使得 SOI 硅膜和埋层氧化层的界面平整,克服了早期 FIPOS 技术的缺点. 该技术的优点在于利用了 n 型硅的阳极化反应强烈依赖于掺杂浓度的原理,使阳极化反应仅在 n^+ 区反应,当反应电流降为零时,反应自动终止,这使工艺控制十分方便.

高选择和自终止 FIPOS 技术的另一个非常特殊的优点是形成 SOI 结构的硅膜厚度可控制在 100nm 到几微米十分广的范围. 目前报道要形成超薄 SOI(TFSOI)的主要方法是 SIMOX 技术,其它唯一能制备 TFSOI 的方法就是这种 FIPOS 技术. 由于 FIPOS 技术制备的 SOI 硅膜厚度可控制在较大的范围,所以 FIPOS 衬底可适合于制备各类器件.

XTEM 的分析表明,新型 FIPOS 技术形成的 SOI 材料有一个厚度约为 550nm、形貌为“树状”结构的下过渡区,这一下过渡区将会形成一个吸杂中心. Tsao 等人^[8]曾报道,在 $n^-/n^+/n^-$ 结构中, n^+ 区形成多孔硅时会向 n^- 区辐射“树状”的多孔硅结构,他们认为之所以为

产生这种多孔硅的微结构,取决于掺杂浓度的分布和阳极化反应条件,包括所加反应电压和 HF 的浓度等. 本文得到的结果是顶层硅和埋层氧化层间的界面平整,过渡区约 50nm,而埋层氧化层和衬底硅有一个 550nm 宽的“树状”下界面,我们认为这一方面同掺杂浓度分布的过渡区宽度有关,另一方面同顶层硅和衬底硅本身的不同掺杂浓度有关.

总之,高选择和自终止多孔氧化硅全隔离技术可以获得单晶性好,上界面平整,下界面具有吸杂功能,硅岛宽大于 $100\mu\text{m}$,硅膜厚度控制范围广的 SOI 材料. 用 FIPOS 材料制备的 N 沟、P 沟 MOSFET 和 SOI/CMOS 环形振荡器性能优良. 说明高选择和自终止多孔氧化硅全隔离 SOI 技术具有很好的发展潜力,可用于制备多种高性能半导体器件.

参 考 文 献

- [1] J. P. Colings, *Silicon-on-Insulator Technology: Materials to VLSI*, Kluwer Academic Publishers (1991).
- [2] K. Izumi, M. Dolceu and H. Ariyoshi, *Electronics Letters*, 1978, **14**: 593.
- [3] W. P. Masgara, G. Goety, A. Caviglia *et al.*, *J. Appl. Phys.*, 1988, **64**(10): 4943.
- [4] K. Imai, *Solid State Electronics*, 1981, **24**: 159.
- [5] N. J. Thomao, J. R. Davis, J. M. Keen *et al.*, *IEEE Electron Device Letters*, 1989, **10**(3): 129.
- [6] E. J. Zorinsky, D. B. Spratt, R. L. Virkus *et al.*, *International Electron Device Meeting*, 1986, 431.
- [7] Y. P. Huang, H. Wang, A. Z. Li *et al.*, *Proc. of 3rd Inter. Conf. on Solid State and Integrated Circuit Technology* 92, 48 (1992).
- [8] S. S. Tsao, T. R. Guilinger, M. J. Kelly *et al.*, *J. Electrochem. Soc.*, 1991, **138**(6): 1739.

Study of Full Isolation SOI Technology by Highly Selective and Self-Stopping Formation of Porous Oxidized Silicon

Huang Yiping, Li Aizhen, Zou Sixun, Li Jinhua¹ and Zhu Shiyang

(*Department of Electrical Engineering, Fudan University, Shanghai 200433*)

(*1 Jiangsu Petrochemical Industry College, Changzhou 213016*)

Received 20 September 1996, revised manuscript received 25 November 1996

Abstract In this letter a highly selective and self-stopping porous silicon formation process on n-type silicon is studied and used to form FIPOS (Full Isolation by Porous Oxidized Silicon) SOI (Silicon On Insulator) structure. The SOI structure with wide range thick (from 100nm to several micrometers) and greater than 100 micrometer side width top silicon islands is fabricated by using FIPOS technique on $n^-/n^+/n^-$ substrates. The XTEM results have shown that the top silicon/oxide interface is relatively planar and uniform. N— and P— channel SOI/MOS transistors and 21 stage oscillator were fabricated in 300nm thick top silicon layer by $2\mu\text{m}$ silicon gate process. A ring-oscillator gate delay of 396ps has been achieved.

EEACC: 2520C, 2530F, 2560R