

硅膜厚度和背栅对 SIMOX/SOI 薄膜全耗尽 MOSFET 特性影响的研究

魏丽琼 程玉华 孙玉秀 阎桂珍 李映雪 武国英 王阳元

(北京大学微电子学研究所 北京 100871)

摘要 本文报道了薄膜 SIMOX/SOI 材料上全耗尽 MOSFET 的制备情况,并对不同硅膜厚度和不同背面栅压下的器件特性进行了分析和比较.实验结果表明,全耗尽器件完全消除了“Kink”效应,低场电子迁移率典型值为 $620\text{cm}^2/\text{V}\cdot\text{s}$,空穴迁移率为 $210\text{cm}^2/\text{V}\cdot\text{s}$,泄漏电流低于 10^{-12}A ;随着硅膜厚度的减薄,器件的驱动电流明显增加,亚阈值特性得到改善;全耗尽器件正、背栅之间有强烈的耦合作用,背表面状况可以对器件特性产生明显影响.该工作为以后薄膜全耗尽 SIMOX/SOI 电路的研制与分析奠定了基础.

EEACC: 2560R, 2520M

1 引言

薄膜 SOI(Silicon On Insulator)是近几年发展起来的 VLSI 技术,由于它的抗辐照性能以及可实现高速、低功耗、高可靠性、高密度的 VLSI 电路,在航天、军事等领域有着广阔的应用前景,目前受到普遍重视.形成 SOI 材料的方式、方法有多种,当前比较成熟且已商品化的是 SIMOX(Separated by Implantation of Oxygen)技术,该技术可以比较精确地控制表面硅层的厚度,能得到大面积、均匀、高质量的表面单晶(位错密度 $\leq 10^3\text{cm}^{-2}$),可望在今后的深亚微米 ULSI 中得到广泛应用.

1989年, J. P. Colinge^[1]提出,薄膜全耗尽 SOI 器件可以降低短沟效应,改善亚阈值特性,提高器件跨导及抗软失效能力,并首次制备出性能良好的薄膜全耗尽 MOSFET.短短几年,薄膜全耗尽 SOI 器件和电路研究进展十分迅速.1991年, T. Nishimura^[2]等人已在薄膜 SIMOX(100nm)材料上,用 16kCMOS 门阵列实现了 16 位 \times 16 位乘法器,比体硅电路快 1.5 倍.1992年, Avid Kamgar^[3]等人在全耗尽 SIMOX 材料上,制备出工作频率为 1.6GHz 的超高速 CMOS 电路.但对硅膜厚度对 SIMOX/SOI 薄膜全耗尽 MOSFET 特性影响还未见系统的报道.与此同时,国内也开展了厚膜部分耗尽 SOI 器件和电路的研究工作^[4,5].但到目前为止,尚未见到有关薄膜全耗尽器件和电路方面的研究成果.本文给出了在薄膜

魏丽琼 女,1969年生,硕士,助教,主要从事 SOI 器件/电路设计及制备工作

程玉华 男,1958年生,博士,副教授,从事半导体工艺、器件和电路有关研究

王阳元 男,1935年生,教授,博士生导师,主要从事 VLSI 新工艺、新器件和新结构的研究

1993年7月12收到本文

SIMOX 材料上得到性能良好的全耗尽 SOI-MOSFET 的制备情况,并对不同硅膜厚度结合不同背栅偏置对器件特性的影响进行了分析研究。

2 SIMOX/SOI 薄膜全耗尽 MOSFET 的制备

我们采用的 SIMOX 材料的衬底基片为 $10\sim 20\Omega\cdot\text{cm}$ N 型(100)硅,氧离子注入能量为 200keV ,注入剂量为 $1.8\times 10^{18}\text{cm}^{-2}$,注入期间的衬底基片温度为 600°C ,注入后材料经过 1310°C 、5 小时的退火处理(氮气保护),最后得到表面硅层为 N 型的 SIMOX,材料,表面硅层厚度为 $0.2\mu\text{m}$ 左右,隐埋二氧化硅的厚度在 370nm 左右.在器件制备过程中,为了比较不同膜厚的器件特性,我们分别将部分材料表面硅层氧化腐蚀进行了减薄。

器件制备采用硅岛自然隔离、全离子注入掺磷多晶硅栅自对准工艺,共需九次光刻、五次注入.用反应离子刻蚀(RIE)技术得到边缘尽量陡直的硅岛.栅氧化层厚度为 75nm ,多晶硅栅厚度为 450nm ,P 沟和 N 沟 MOSFET 沟道区的掺杂浓度分别约为 $1\times 10^{16}\text{cm}^{-3}$ 和 $1\times 10^{17}\text{cm}^{-3}$.不同硅膜厚度器件的最终硅膜厚度分别约为 $0.2\mu\text{m}$ 、 110nm 和 95nm .图 1 给出了有效沟道长度约为 $1.5\mu\text{m}$ 的 SEM 照片(见图版 1)。

3 分析与讨论

3.1 硅膜厚度对器件特性的影响

3.1.1 电流输出特性分析

图 2(a)、(b)给出宽长比为 20/2,不同硅膜厚度、不同背栅偏置下 NMOSFET 的输出特性曲线(见图版 1)。从图 2(a)可以看出,硅膜厚度约为 $0.2\mu\text{m}$ 器件有明显的“Kink”效应出现,这是因为在给定的沟道掺杂条件下,厚膜($0.2\mu\text{m}$)器件工作于部分耗尽状态,当器件的源漏电压增加时,漏附近高电场区域碰撞电离产生的空穴注入浮置的中性区衬底内,空穴的积累导致浮置衬底电位增加,阈值电压降低,器件输出特性曲线发生扭曲,产生“Kink”效应.而薄膜(95nm)器件则完全消除了“Kink”效应,同时驱动电流大大增加.当硅膜厚度小于沟道区耗尽层宽度时,器件处于全耗尽状态.大量实验结果证实,全耗尽器件完全消除“Kink”效应,这主要是由于全耗尽器件衬底到源端的势垒很低.且无中性区衬底存在,可避免空穴在衬底积累的缘故.图 2(b)薄膜(95nm)器件的输出特性并无“Kink”效应出现,说明该器件处于全耗尽状态。

图 3 给出宽长比为 6/0.8,硅膜厚度分别为 110nm 和 95nm 的增强型 NMOSFET、PMOSFET 输出特性曲线.在两种硅膜厚度条件下,NMOSFET 和 PMOSFET 都已达到全耗尽状态.由实际测试电流特性提取得到低场电子和空穴迁移率分别为 $620\text{cm}^2/\text{V}\cdot\text{s}$ 和 $210\text{cm}^2/\text{V}\cdot\text{s}$.从图中可以看出,随着硅膜厚度的减薄,驱动电流大大增加,栅极电压为 $|5|\text{V}$ 时,硅膜厚度为 95nm 的 NMOSFET 和 PMOSFET 的驱动电流分别约为硅膜厚度为 110nm 的 NMOSFET 和 PMOSFET 的驱动电流的 1.4 倍和 1.2 倍.这是由于这类器件其硅膜处于全部耗尽状态,随着硅膜厚度的减薄,在相同栅压条件下,器件沟道中所拥有的反型载流子总量增多,反型层厚度展宽,因而驱动电流大大增加。

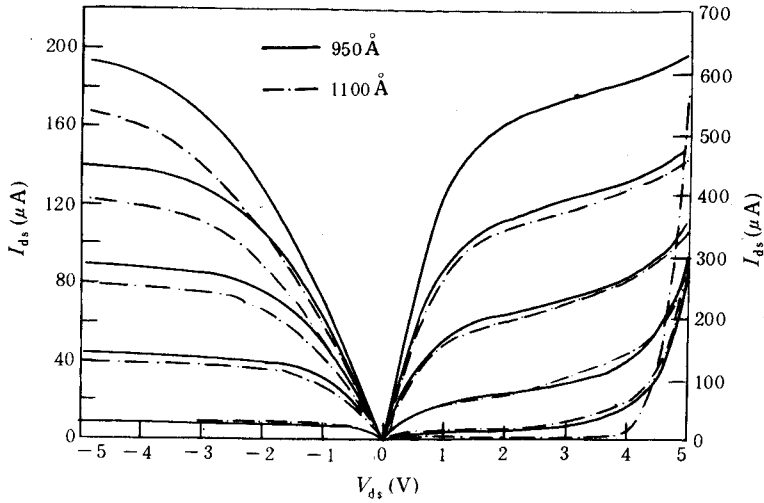


图 3 不同硅膜厚度全耗尽 NMOSFET 和 PMOSFET 输出特性曲线

$W/L=6/0.8$ $V_b=0V$

NMOSFET: V_g 电压范围 $1V-5V$ PMOSFET: V_g 电压范围 $-2V \sim -6V$

3.1.2 亚阈值电流特性分析

图 4 给出不同硅膜厚度、不同沟道长度 NMOSFET 转移特性曲线. 从图中可以看出, 泄漏电流均小于 $10^{-12}A$ (包括边缘漏电和背界面漏电). 器件的阈值电压和亚阈值斜率见表 1.

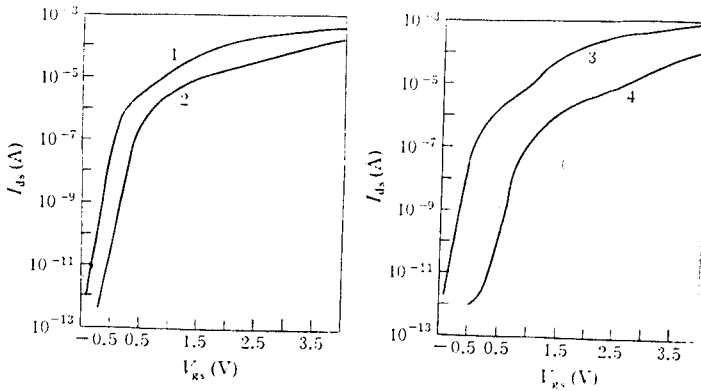


图 4 SOI-NMOSFET 转移特性曲线 ($V_d=1.5V$ $V_b=0V$)

- (1) $W/L=6/0.8$ $t_{si} \sim 95nm$ (2) $W/L=6/0.8$ $t_{si} \sim 110nm$
- (3) $W/L=20/2$ $t_{si} \sim 95nm$ (4) $W/L=20/2$ $t_{si} \sim 0.2\mu m$

由表 1 可以看出, 全耗尽器件阈值电压和亚阈值斜率明显低于部分耗尽器件. 对于全耗尽器件来说, 随着硅膜厚度的减薄, 阈值电压明显降低. 器件的阈值电压与有效耗尽区电荷量紧密相关. 薄膜全耗尽器件, 与栅极相关的耗尽区的垂直方向延伸受到硅膜厚度的限制, 硅膜厚度越薄, 有效耗尽区电荷量越小, 阈值电压越低. 厚膜器件亚阈值斜率的大小主要取决于耗尽层电容值, 薄膜全耗尽器件则决定于表面硅层电容与埋二氧化硅层电容的串联值^[6], 埋二氧化硅层厚度较大, 电容值很小, 所以, 薄膜全耗尽器件的亚阈值斜率远小于部分

耗尽器件.

表1 不同硅膜厚度、不同沟道长度 NMOSFET 阈值电压和亚阈值斜率 FD:全耗尽器件 PD:部分耗尽器件

W/L	6/0.8		20/2	
	t_{si}	95nm	110nm	95nm
器件类型	FD	FD	FD	PD
$V_{th}(V)$	~ 0.3	~ 0.7	0.3~0.6	~ 1.5
$S(mV/dec)$	85.2	95.9	87.6	156.7

3.2 背栅对器件特性的影响

3.2.1 背栅控制下的器件特性

SOI 器件是双栅器件. 图 5 给出背栅控制下的 NMOSFET 输出特性曲线和转移特性曲线, 硅膜厚度为 95nm, 宽长比为 20/2, 正面栅压为 0V. 由实际测试结果提取得到背沟电子低场迁移率约为 $105cm^2/V \cdot s$, 同时背界面漏电很小, 由此可以看出背界面特性很好, 背界面态密度较低.

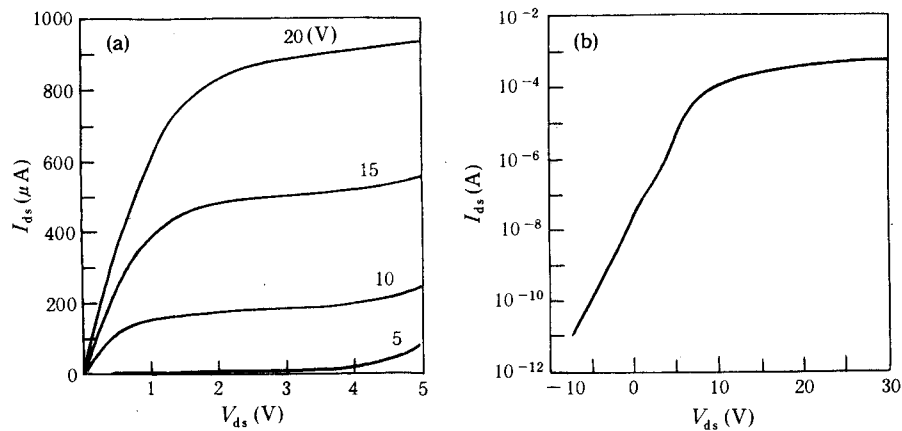


图5 背栅控制下全耗尽 NMOSFET 输出特性曲线和转移特性曲线(W/L=20/2 $t_{si} \sim 95nm$)

(a)输出特性曲线 $V_b: 5V \sim 20V$ $V_g = 0V$

(b)转移特性曲线 $V_d = 0.5V$ $V_g = 0V$

3.2.2 背栅对器件输出特性的影响

通过图 2(c)、(d)和(a)、(b)的比较可以看出, 背面栅压对器件的输出特性有明显影响. 对于 $0.2\mu m$ 的厚膜器件, 当背面加上一定的正偏压晨, 可使背面耗尽层扩展, 以至由部分耗尽器件成为全耗尽器件, 消除了“Kink”效应, 并且驱动电流明显增加. 对于 95nm 薄膜全耗尽器件, 当背面栅压为 $-10V$ 时, 背表面趋于积累状态, 衬底(膜体)到源端的势垒高度增加, 易于空穴堆积, 因而器件输出特性出现“Kink”效应. 这说明, 背栅压或背表面状况可以明显影响全耗尽器件特性.

3.2.3 正、背面阈值电压与背、正面栅压的关系

图 6 给出 NMOSFET 和 PMOSFET 正、背面阈值电压随背、正面栅压变化关系曲线. 器

件阈值电压和背栅压的依赖关系是薄膜全耗尽 SOI 器件的重要特征曲线,对此已经有人做了比较细致的研究^[7,8],简单来讲,背面积累时,背面表面势箝位在 0V,不同随背栅压产生明显的变化,相当于积累层屏蔽了背栅压的影响,因而器件阈值电压不随背栅压而变;当背面处于耗尽状态时,背栅压可以通过硅膜耗尽层强烈耦合到正表面,背栅调制作用十分明显,从而对器件阈值电压产生明显的影响;当背面形成反型沟道时,背表面势又趋于一定常数(约 $\sim 2\phi$),这时器件阈值电压和背栅压又表现出较弱的依赖关系.同理,背面阈值电压与正面栅压有类似的变化关系.

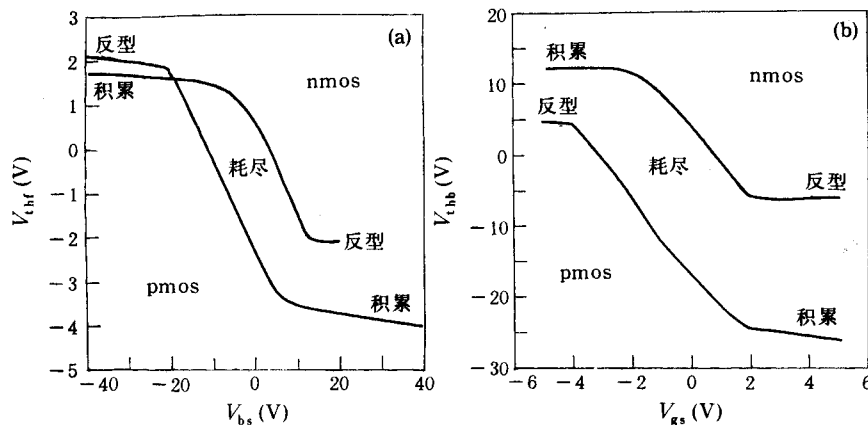


图6 NMOSFET和PMOSFET正、背面阈值电压与背、正面栅压变化关系曲线($t_{si}=95\text{nm}$) $W/L=20.2$)

(a)正面阈值电压与背面栅压的关系 (b)背面阈值电压与正面栅压的关系

4 小结

在SIMOX材料上制备出了性能良好的全耗尽SOI-MOSFET,并对不同硅膜厚度、不同背栅偏置下器件的特性进行了分析和比较.分析结果表明:(1)随着硅膜厚度的减薄,器件达到全耗尽状态,完全消除了部分耗尽器件中出现的“Kink”效应,驱动电流大大增加,亚阈值特性明显改变.(2)全耗尽器件具有良好的背景面特性,背栅对器件输出特性有显著影响.(3)正、背面栅压对背、正面阈值电压有明显的调制作用,说明全耗尽器件正、背栅之间有强烈的耦合作用.

致谢 北京大学微电子所工艺实验室全体同志在工艺流片中给予了热情支持和帮助,付出了极大的努力和辛勤劳动,作者在此致以深切谢意.

参 考 文 献

- [1] J. P. Colinge, Tech. Dig. IEDM 1989, PP817-820.
- [2] T. Nishimura, et al, Tech. Dig. IEDM 1991, pp109-112.
- [3] Avid Kamgar et al., IEEE Trans. on Electron Devices, 1992, ED-39, 640-647.
- [4] 陈南翔等, 半导体学报, 1990, 11(4), 305-310.

- [5] 陈南翔等, 半导体学报, 1992, 13(5): 270—273.
- [6] J. P. Colinge, SOI Technology: materials to VLSI, 1991, pp118—120.
- [7] H. K. Lim, *et al.*, IEEE Trans. on Electron Devices, 1983, ED—30: 1244—1251.
- [8] H. T. Chen, *et al.*, IEEE Electron Device Lett., 1991, 12: 433—435.

Influence of Silicon Film Thickness and Back Gate upon Characteristics of Fully Depleted Thin Film SIMOX/SOI MOSFET's

Wei Liqiong, Cheng Yuhua, Sun Yuxiu, Yan Guizhen,

Li Yingxue, Wu Guoying and Wang Yangyuan

(*Institute of Microelectronics, Peking University, Beijing 100871*)

Received 12 July 1993

Abstract The fabrication of fully depleted MOSFET's with high performance on thin film SIMOX/SOI material is presented. The experimental results show that electron and hole low field mobilities are $620\text{cm}^2/\text{V} \cdot \text{s}$ and largely increase the current drivability along with the decrease of silicon film thickness. The condition of the back surface can greatly influence the device characteristics by the coupling between front and back gates. This work lays a foundation of thin film fully depleted SIMOX/SOI circuit fabrication.

EEACC: 2560R, 2520M

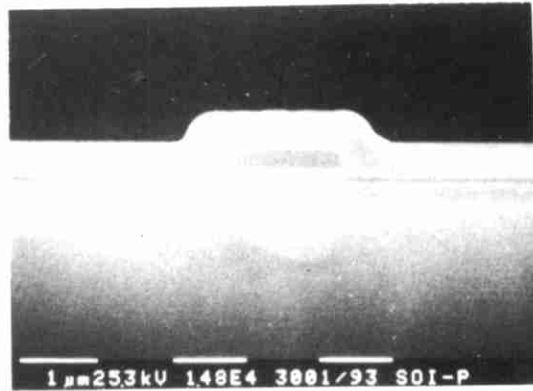


图 1 有效沟道长度约为 $1.5\mu\text{m}$ 的 SEM 图

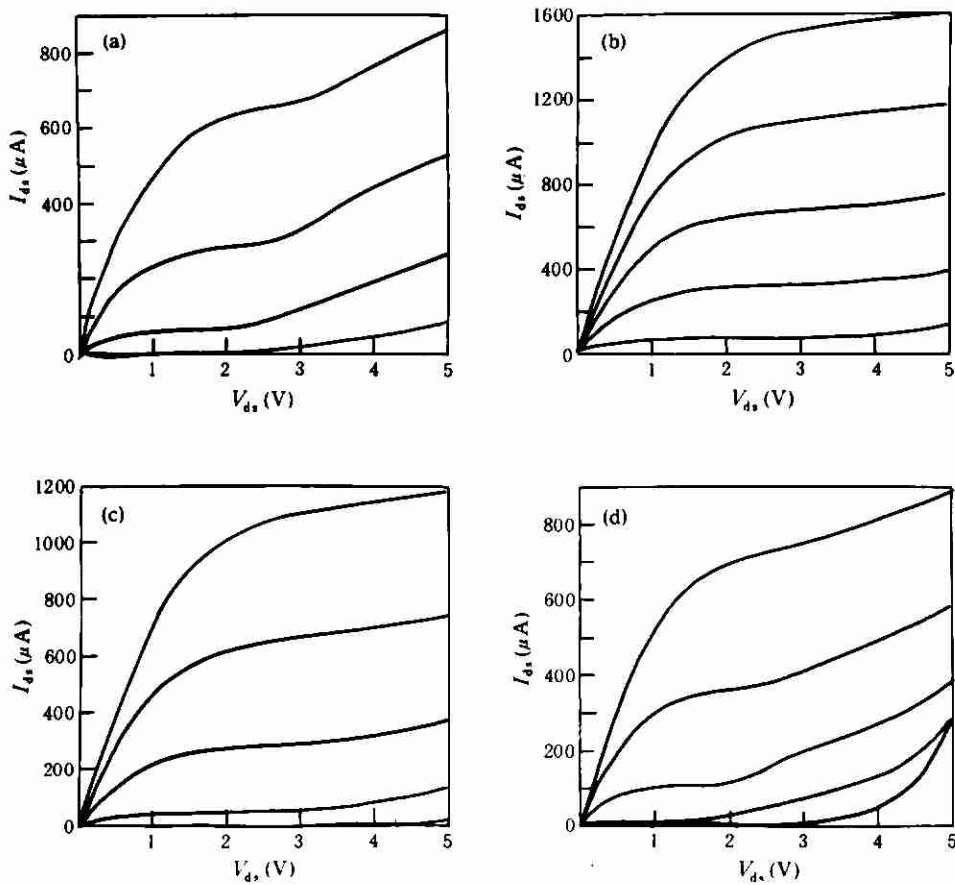


图 2 SOI-NMOSFET 输出特性曲线 (V_g 电压范围: $1-5\text{V}$, $W/L=20/2$)

(a) $t_{\text{Si}} \sim 0.2\mu\text{m}$, $V_b = 0\text{V}$ (b) $t_{\text{Si}} \sim 95\text{nm}$, $V_b = 0\text{V}$ (c) $t_{\text{Si}} \sim 0.2\mu\text{m}$, $V_b = 6\text{V}$ (d) $t_{\text{Si}} \sim 95\text{nm}$, $V_b = -10\text{V}$