

# 薄膜全耗尽 SIMOX/SOI MOSFET 中单晶体管 Latch 引起的器件性能蜕变实验研究

程玉华 魏丽琼 孙玉秀 阎桂珍 李映雪 武国英 王阳元

(北京大学微电子学研究所 北京 100871)

**摘要** 本文对 SIMOX/SOI 全耗尽 N 沟 MOSFET 中单晶体管 Latch 状态对器件性能的影响进行了实验研究. 实验结果表明, 短时间的 Latch 条件下的电应力冲击便可使全耗尽器件特性产生明显蜕变. 蜕变原因主要是 Latch 期间大量热电子注入到背栅氧化层中形成了电子陷阱电荷(主要分布在漏端附近)所致. 文章还对经过 Latch 应力后, 全耗尽 SOI 器件在其他应力条件下的蜕变特性进行了分析.

EEACC: 0170N, 2560R

## 1 引言

薄膜全耗尽 SOI 器件和电路是近年来发展起来的 VLSI 技术, 有希望在今后的深亚微米 ULSI 电路中得到广泛应用. 已有大量文献对全耗尽 SOI 器件的各种优越性能进行了分析研究, 并对其在电路中的实际应用做了探索尝试<sup>[1,2]</sup>. 另外, 人们还对某些可能限制薄膜 SOI 器件实际应用的特殊物理效应进行了深入研究, 以便进一步指导实际器件设计. 由于 SOI 器件结构和体硅器件不同(具有背栅且衬底浮空), 所以在某些工作条件下会出现一些特殊器件特性(如亚阈值工作区的单晶体管 Latch 效应)<sup>[3]</sup>. 本文在研究探讨单晶体管 Latch 效应及其物理机制的基础上, 进一步实验考察该效应对器件性能稳定性的影响, 并对 Latch 条件下导致器件性能蜕变的物理机制进行分析讨论.

## 2 Latch 现象的测试与分析

实验样品采用 SIMOX/SOI 全耗尽 N 沟 MOSFET, 硅膜厚度约为 100nm, 正、背面栅氧化层厚度分别约为 75nm 和 360nm<sup>[4]</sup>. 根据工艺参数可知, 器件的有效耗尽区宽度大于硅膜厚度, 另外由实际测试得到的器件  $I-V$  输出特性(消除了 Kink 效应)亦可知器件确实达到了全部耗尽状态<sup>[5]</sup>.

程玉华 男, 1958 年生, 博士后, 副教授, 主要从事有关半导体工艺、器件和电路研究

魏丽琼 女, 1969 年生, 硕士, 主要从事 SOI 器件/电路设计及制备工作

王阳元 男, 1935 年生, 教授, 博士生导师, 多年来一直从事 VLSI 新工艺、新器件和新结构的研究

1994 年 3 月 21 日收到初稿, 1994 年 6 月 27 日收到修改稿

大量实验结果证实,在较低的漏电压条件下薄膜 SOI 器件便可能触发单晶体管 Latch 效应. 所谓单晶体管 Latch 效应是指单个 SOI MOSFET 器件施加一定漏电压条件下,在亚阈值区域出现的电压失控现象. 图 1 给出的是器件宽长比  $W/L=20/2$  的 SIMOX/SOI MOSFET 在不同漏电压  $V_{ds}$  和栅电压  $V_{gs}$  扫描变化下的亚阈值电流特性曲线,  $V_{ds}$  和  $V_{gs}$  的扫描方向如箭头所示.

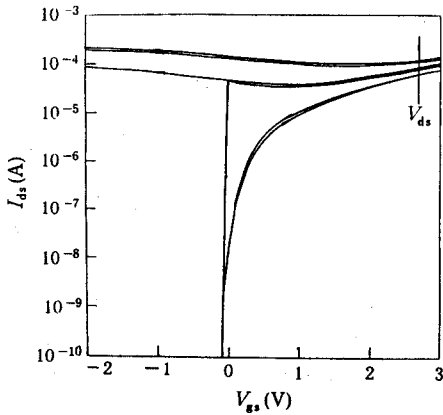


图 1 不同  $V_{ds}$  和  $V_{gs}$  变化下的 SOI NMOSFET 亚阈值电流特性曲线  
 $W/L=20/2, V_b=0V, V_{ds}=1.5V$

从图 1 中可以看出,当  $V_{ds}$  比较小时,和测试栅电压扫描方向无关,器件呈现正常的亚阈值特性. 但当  $V_{ds}$  增大到某值后,器件首先出现异常的亚阈值滞后特性,即栅电压正反向扫描时,亚阈值特性曲线不吻合. 当继续增加漏电压,栅电压由负到正扫描时,在零伏附近亚阈值电流突然增加,不再服从正常亚阈值电流随栅电压的变化规律. 这时,当栅电压由正到负扫描至阈值电压以下时,器件不能呈现正常的关断状态,而仍然维持相当高的电流值,即器件产生 Latch 效应. 在本文给定的工艺和器件参数条件下,当漏电压大于 6.5 伏时,器件出现完全失控状态,这时漏电流几乎不随栅电压发生明显变化.

由于硅膜比较薄,且全部耗尽,背栅调制作用非常明显,背栅压可明显影响亚阈值特性. 图 2 给出背栅作用下(正栅压为 0V 时)的亚阈值特性曲线,从图中亦可看到异常亚阈值特性及“滞后”现象.

由于硅膜比较薄,且全部耗尽,背栅调制作用非常明显,背栅压可明显影响亚阈值特性. 图 2 给出背栅作用下(正栅压为 0V 时)的亚阈值特性曲线,从图中亦可看到异常亚阈值特性及“滞后”现象.

薄膜全耗尽 SOI MOSFET 产生亚阈值滞后现象及 Latch 效应的物理机制可做如下解释,由于 SOI/MOSFET 具有浮空衬底,所以当漏电压较高时,在器件漏端因雪崩碰撞离化产生的大量空穴载流子可以堆积在源端附近,而使体电位升高,当空穴积累到一定程度,器件源端 P-N 结导通从而诱发寄生双极晶体管效应. 寄生双极晶体管的放大作用使漏电流进一步增加,而漏电流的增加又加速了漏端载流子的碰撞离化,因而形成一正反馈过程,这样一旦漏电压增加至某值使器件形成产生正反馈的条件,亚阈值电流便可迅速增加,从而产生异常亚阈值电流特性. 当然, MOSFET 中出现的正反馈过程是一个自我平衡过程,当正反馈形成以后,漏端碰撞离化产生大量空穴使体电位增加,由于体电位的增加使漏饱和电压增加,导致漏端电场减弱,从而使漏端碰撞电离减弱,因此漏电流不会无限增加,而是趋

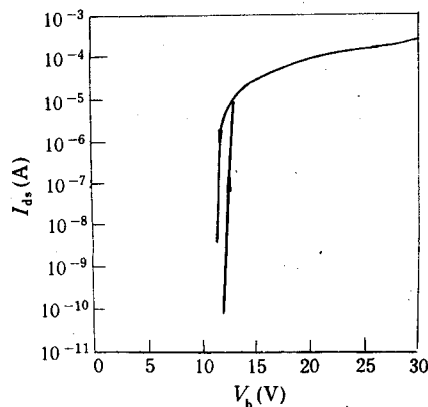


图 2 背栅作用下 SOI-NMOSFET 亚阈值电流特性曲线  
 $W/L=20/2, V_g=0V, V_{ds}=1.5V$

于一个平衡值.当栅电压反向扫描至正常阈值电压以下时,碰撞离化电流使体电位继续维持高电平,因而等效于这时器件的实际阈值电压值变小,这样在一定栅电压下器件可以维持 Latch 状态,但随着栅电压继续减小,器件不能维持正反馈条件,因而漏电流突然减小.所以在该区域栅电压正反向扫描时亚阈值曲线不重合,出现所谓的“滞后”现象.由于上面原因,栅电压反向扫描时器件表现电流跳变所对应的临界电压  $V_R$  小于栅电压正向扫描时所对应的电流跳变临界电压  $V_F$ .当“滞后”现象严重时(这时漏电压值较高,碰撞离化较严重),器件不能正常关断而出现失控(Latch)状态.当漏电压比较高时,体电位维持高电平,器件被锁定在正反馈状态.而和栅电压扫描方向以及扫描范围无关.背栅作用下的物理机制与正面栅作用下的物理机制相同.

根据上面分析,影响单晶体管 Latch 效应的因素有许多,一般来讲,器件尺寸越小,硅膜材料少子寿命越长,则器件越容易出现 Latch 效应.早期的 SOI MOSFET 由于其材料中缺陷多,少子寿命短,因而没有观察到这种效应.随着 SOI 材料质量的提高,单晶体管 Latch 效应对器件和电路性能产生不利影响.除了 Latch 效应本身会导致器件和电路误操作,从而影响电路可靠性之外,由于在 Latch 过程中,同时伴随有强烈的碰撞离化效应,因而可能会对器件性能的长期稳定性(热载流子引起的器件性能变化)产生不利影响.下面我们就这一问题进行分析讨论.

### 3 亚阈值 Latch 引起的器件蜕变现象和蜕变机制分析

本次实验样品器件的宽长比为 6/0.8,由于器件尺寸较小,易出现 Latch 效应.根据器件特性实验测试结果,当漏电压大于 5V 时,器件在亚阈值区域即可出现 Latch 现象,因此我们选择 Latch 状态下的电冲击应力条件为: $V_d=5.5V$ , $V_g$ 变化范围由  $-4V$  到  $-1V$ ,以考察器件在亚阈值 Latch 条件下的特性变化情况.图 3(a)给出的是器件在经应力前后(应力时间为 15 秒)的输出特性比较曲线.可以看出,经应力后,器件工作电流明显减小,输出特性产生明显蜕变.图 3(b)给出的是器件在应力前后(应力条件与上面相同)的转移特性曲线.实验结果表明,经应力后,特性曲线沿栅偏压轴向右漂移,但亚阈值斜率并无明显改变.

已经知道,SOI 器件中 Latch 现象主要是由于漏端碰撞离化产生大量空穴堆积到源端,使器件开启电压减小,因而器件不能正常关断所致.在 Latch 过程中,因为存在强烈的碰撞离化,所以会产生大量热载流子,它们在适当的条件下向正面或背面栅氧化层中注入,从而可能引起器件性能产生蜕变.在本文给定的 Latch 条件下,由于栅电场条件不利于热电子(空穴)向正(背)面栅中注入,因此热电子(空穴)在正(背)界面形成带电中心的几率非常小.另外由图 3 可知,应力后器件阈值电压增加,工作电流明显减小,这和热空穴向正面栅注入引起的器件特性变化规律不符,因此,在 Latch 过程中,热电子向背面栅氧化层注入可能是导致器件蜕变的主要原因.从图 3 还可以看到,应力前后亚阈值斜率并无明显改变,只是亚阈值特性曲线产生漂移,这说明在本文给定的应力条件下,热电子注入导致背面栅氧化层中产生了大量电子陷阱电荷,但并没有形成大量施主或受主界面态<sup>[6]</sup>.另外,在给定较短的应力时间内器件特性即可迅速发生变化这一事实,表明背栅氧化层抗热载流子注入能力较差,在 SIMOX/SOI 结构的背面氧化层中存在有大量电子陷阱.

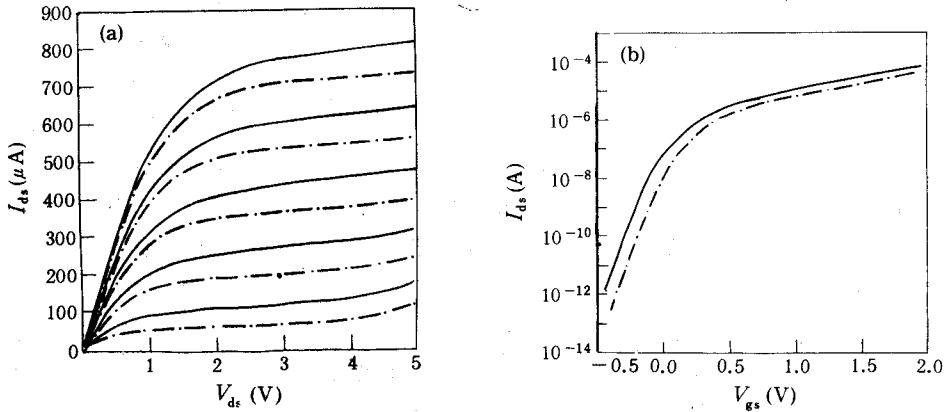


图 3 应力前后 SIMOX/SOI 器件特性曲线  
 (a) 输出特性曲线  $V_g: 1-5V$ , (b) 转移特性曲线  $V_{ds}=0.5V$   
 实线: 应力前; 虚线: 应力后

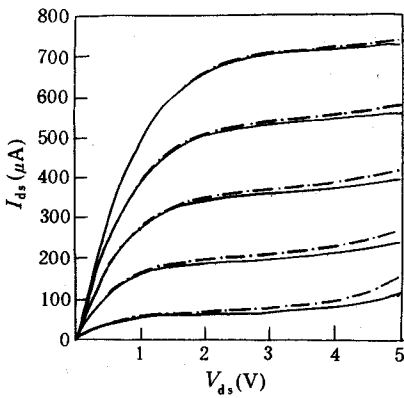


图 4 应力后器件正常和颠倒输出特性曲线  
 实线: 正常状态; 虚线: 颠倒状态,  $V_g: 1-5V$

为了进一步考察电子陷阱电荷沿背界面的分布情况,我们对经过应力冲击前后器件颠倒源漏测试其输出特性曲线.图 4 给出的是应力前后测试  $I-V$  特性时器件源漏端和应力过程中情况保持一致(称之为正常状态)及应力前后测试  $I-V$  特性时器件源漏端和应力过程颠倒(称之为颠倒状态)情况下的输出特性测试结果.实验结果表明,应力前,正常和颠倒状态下器件输出特性曲线完全吻合,而应力后器件在正常和颠倒状态下电流特性在饱和区二者产生偏离.线性区正常状态和颠倒状态二者基本吻合,说明 Latch 应力后热电子注入产生的电子陷阱电荷大多堆积在漏端附近,在这种情况下,尽管正常和颠倒状态器件阈值电压没有明显差异,但其漏端电场及源端背界面附近电位却不相同(和正常状态相比,颠倒状态情况下器件漏端电场和源端势垒增加),从而使二者在饱和区,特别是随  $V_d$  增加碰撞离化增强区域产生偏离.

#### 4 Latch 应力后器件在不同应力条件下的蜕变特性

上面讨论了 Latch 应力对薄膜全耗尽 SOI 器件性能的影响.在实际电路中 SOI 器件容易呈现 Latch 状态,并且经过 Latch 冲击之后还会工作在其他不同条件的状态下,所以有必要对经过 Latch 应力之后性能产生蜕变的 SOI 器件在其他应力条件之下的蜕变特性有一比较清楚的认识,以便于指导实际器件和电路设计.为此我们选择了三种不同的应力条件(应

力时间均为 15 秒): (a)Latch 应力条件:  $V_{gf}(-4-0V)$ ,  $V_d=5.5V$ , (b)正常工作低栅偏压应力条件:  $V_{gf}(1-2V)$ ,  $V_d=5.5V$ , (c)正常工作高栅偏压应力条件:  $V_{gf}(4-6V)$ ,  $V_d=5.5V$ . 下面给出我们的一些实验研究结果.

图 5 和图 6 给出了经过上述三种不同条件的应力后 SOI 器件转移电流特性和直流输出特性的蜕变情况. 由图 5 可以看出, 和前面所讨论的一样, 经过 Latch 应力之后, 转移特性曲线沿栅偏压轴向右偏移, 但亚阈值斜率并无明显改变, 驱动电流明显减小. 在此基础上, 再继之以正常工作低栅偏压应力条件, 则器件转移特性曲线大幅度沿栅偏压轴向左偏移, 与此同时, 驱动电流增加, 不过还不能恢复到没有经过应力之前的原始状态, 这里值得注意的是, 亚阈值区沟道电流却已超过应力前原始曲线. 这说明经过 Latch 应力之后, 在背界面处形成了大量电子陷阱电荷, 导致器件开启电压增加, 驱动电流减小, 转移特性向右漂移, 但在正常工作低栅偏压应力状态下, 热电子可以向正面栅氧化层中注入, 热空穴可以向背栅氧化层中注入, 这样热空穴可以部分补偿背界面氧化层中的电子陷阱电荷, 从而驱动电流增加. 器件开启工作之前, 背栅氧化层中的陷阱电荷对器件特性的影响比较明显, 器件开启之后, 正面栅氧化层中的电子陷阱电荷亦影响器件特性, 从而器件特性呈现图 5、图 6 中曲线 3 所示的情况. 在进一步经过正常工作高栅偏压应力之后, 器件驱动电流略有增加, 但总的来说器件特性没有十分明显的变化. 十分有趣的是, 在曲线 4 的基础上重新施加 Latch 应力条件, 则器件特性基本可以恢复到曲线 2 的情况, 说明经过 Latch 之后, 器件背栅氧化层中又形成大量

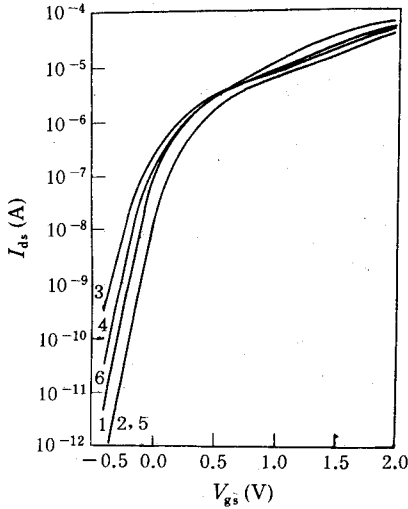


图 5 不同应力条件后 SOI NMOSFET 转移电流特性曲线  $V_d=0.5V$   
 1. 原始曲线 2. (a) 3. (a)+(b)  
 4. (a)+(b)+(c) 5. (a)+(b)+(c)+(a)  
 6. (a)+(b)+(c)+(a)+(b)  
 其中(a)(b)(c)为三种不同的应力条件

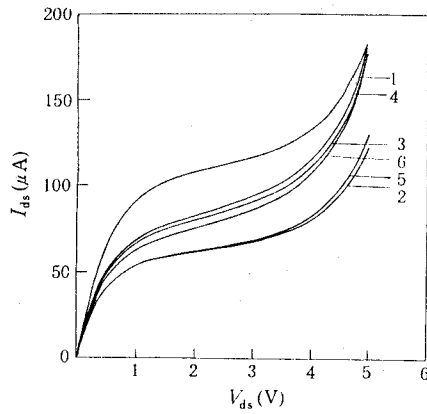


图 6 不同应力条件后 SOI NMOSFET 输出电流特性曲线  $V_g=2V$   
 1. 原始曲线 2. (a) 3. (a)+(b)  
 4. (a)+(b)+(c) 5. (a)+(b)+(c)+(a)  
 6. (a)+(b)+(c)+(a)+(b)  
 其中(a)(b)(c)为三种不同的应力条件

的陷阱电荷,足以补偿前述两种应力所施加的影响.如果在此基础上,再施加正常工作低栅偏压应力,则器件特性变化趋势和曲线 3、4 相似,但变化幅度变小,说明在该应力过程中,热载流子注入对背栅氧化层中电子陷阱电荷的补偿程度变弱.

我们也对没有经过 Latch 应力的薄膜全耗尽器件直接进行正常工作低(高)栅压的应力实验.实验结果证实,经 30 分钟应力之后,SOI 器件没有十分明显的变化,说明这时器件特性比较稳定,蜕变过程非常缓慢,而经过 Latch 应力后,再施加其他应力条件,则器件特性可在较短的时间内产生较明显的变化,这和体硅器件的蜕变特性不太相同.对于体硅器件,在恒压应力条件下,要经过较长时间(12 小时)之后,器件特性才会产生明显变化.这意味着 Latch 应力对薄膜全耗尽器件可靠性影响十分严重,在实际电路中应当采取适当的措施,例如降低源漏电压以减少碰撞电离或使衬底电位接地等方法,以尽量避免单晶体管 Latch 效应的发生.

## 5 小结

本文对 SIMOX/SOI 全耗尽 N 沟 MOSFET 中单晶体管 Latch 状态对器件性能的影响进行了实验研究.实验结果表明,短时间的 Latch 条件下的电应力冲击便可使全耗尽器件特性产生明显蜕变.蜕变原因主要是 Latch 期间大量热电子注入到背栅氧化层中形成了电子陷阱电荷(主要分布在漏端附近)所致.经过 Latch 应力之后,器件特性蜕变变得十分容易,这时器件呈现和体硅器件及没经过 Latch 应力的 SOI 器件完全不同的蜕变特性.

**致谢** 北京大学微电子所工艺实验室全体同志在工艺流片中给予了热情支持和帮助,付出了极大的努力和辛勤劳动,作者在此致以深切谢意.

## 参 考 文 献

- [1] A. Kamgar *et al.*, IEEE Trans. Electron Devices, 1992, **39**(3):640-647.
- [2] Y. Yamaguchi *et al.*, IEEE Trans. Electron Devices, 1993, **40**(1):179-185.
- [3] C. E. D. Chen *et al.*, IEEE Electron Device Lett., 1988, **9**(12):632-636.
- [4] 魏丽琼等,第八届全国半导体集成电路与硅材料会议,1993,299.
- [5] 魏丽琼等,半导体学报,1995, **16**(3):206.
- [6] S. M. Sze, Physics Semiconductor Devices, John Wiley & Sons, 1985.

## Experimental Investigation on Degradation Effects in Fully Depleted SIMOX/SOI MOSFET's Induced by Single Transistor Latch

Cheng Yuhua, Wei Liqiong, Sun Yuxiu, Yan Guizhen,  
Li Yingxue, Wu Guoying and Wang Yangyuan

*(Institute of Microelectronics, Peking University, Beijing 100871)*

Received 21 March 1994, revised manuscript received 27 June 1994

**Abstract** An experimental investigation on the influence of single transistor Latch phenomenon on fully-depleted SIMOX/SOI MOSFET's is presented. The experimental results show that the degradation of device is enhanced under short time Latch stress condition. The degradation results from electron trap charges in back gate oxide located around drain formed by injection of hot electron in latch condition. The degradation of device is very easy after the Latch stress, which is different from bulk device and normal SOI device.

**EEACC:** 0170N, 2560R