

双固相外延技术及高性能 $1\mu\text{m}$ CMOS/SOS 器件的研究

张 兴

(北京大学微电子学研究所 北京 100871)

石涌泉 路 泉 黄 敞

(陕西微电子学研究所 陕西临潼 710060)

摘要 本文较为详细地介绍了能有效地改善 SOS 材料结晶质量的双固相外延 DSPE 工艺,给出了优化的工艺条件.通过比较用 DSPE 及普通 SOS 材料制作的 CMOS/SOS 器件和电路的特性可以看出,采用 DSPE 工艺能显著改善 SOS 材料的表面结晶质量.应用 DSPE 工艺在硅层厚度为 350nm 的 SOS 材料上成功地研制出了沟道长度为 $1\mu\text{m}$ 的高性能 CMOS/SOS 器件和电路,其中 NMOSFET 及 PMOSFET 的泄漏电流分别为 2.5pA 和 1.5pA,19 级 CMOS/SOS 环形振荡器的单级门延迟时间为 320ps.

EEACC: 2560R, 2570D, 0510D

1 引言

众所周知,CMOS/SOI 器件不仅具有体硅 CMOS 器件功耗低、抗干扰能力强等优点,而且它还具有速度高(寄生电容小)、集成度高(隔离面积小)、工艺简单、抗辐照能力强、彻底消除了体硅 CMOS 器件的寄生门锁效应等优点. SOI 器件的这些特点使其在高性能 VLSI、VHSI、高压、高温、抗辐照及三维集成等领域中具有极其重要的应用价值.

由于 CMOS/SOI 集成电路在军事、航天及核能和平利用等领域中的应用越来越广泛, CMOS/SOI 技术的开发与应用已成为国际国内各大半导体公司、大学的研究热点,目前已有多种 SOI 材料如 SOS、SIMOX、ZMR、SDB、FIPOS、ELO 等都已成功地应用于高性能 CMOS 电路的研制^[1].但迄今为止,最成熟的 SOI 技术仍是最早发展起来的 SOS 技术.据报道,国外已有商品化的门延迟时间小于 1ns 的 8000 门 CMOS/SOS 门阵列^[2]、转换频率分别为 20MHz 和 1GHz 的 8 位和 4 位 CMOS/SOS A/D 转换器^[3,4].

而对于 SOS 片,由于 Si/蓝宝石界面热应力引起的晶格不匹配以及沉积 SOS 膜时引入的大量(221)微孪晶(Microtwin)、位错、层错以及蓝宝石衬底中 Al、O 等元素上泛引入的缺陷,都使得直接生长的 SOS 膜迁移率下降、载流子寿命降低,大大影响了 SOS 器件的电特性^[5].上面提到的各种缺陷密度的峰值均分布于 Si/蓝宝石界面处,这些缺陷对硅膜厚度很

张 兴 男,1965 年生,博士,主要从事 CMOS/SOI 电路工艺、设计、模拟及辐照等方面的研究

石涌泉 男,1936 年生,研究员,主要从事 CMOS/SOI 电路工艺、设计等方面的研究

黄 敞 男,1926 年生,研究员,博士生导师,主要从事 CMOS/SOI、HBT、MMIC 等方面的研究

1994 年 3 月 18 日收到初稿,1994 年 6 月 14 日收到修改稿

薄的薄层 SOS 器件的性能影响很大,因此,要制作出高质量 SOS 器件,就必须首先设法改善 SOS 膜的结晶质量.

2 SOS 硅层结晶质量的改善

许多工作表明,双固相外延(Double Solid Phase Epitaxy,简称 DSPE)^[6]和固相外延再生长(Solid Phase Epitaxy and Regrowth 简称 SPEAR)^[7]技术可以大大改善 SOS 膜的结晶质量,降低 SOS 膜中的缺陷浓度.由于 SPEAR 技术在固相外延之后还要再 CVD 外延生长一层硅膜,它不适合于研制全耗尽器件的薄层 SOI 材料,故采用了 DSPE 工艺来改善 SOS 膜的结晶质量.

双固相外延的流程如图 1 所示.在双固相外延工艺中,对于不同硅层厚度的 SOS 材料,其注入能量与剂量的选取是至关重要的一步,为此我们进行了大量的实验,同时参考文献

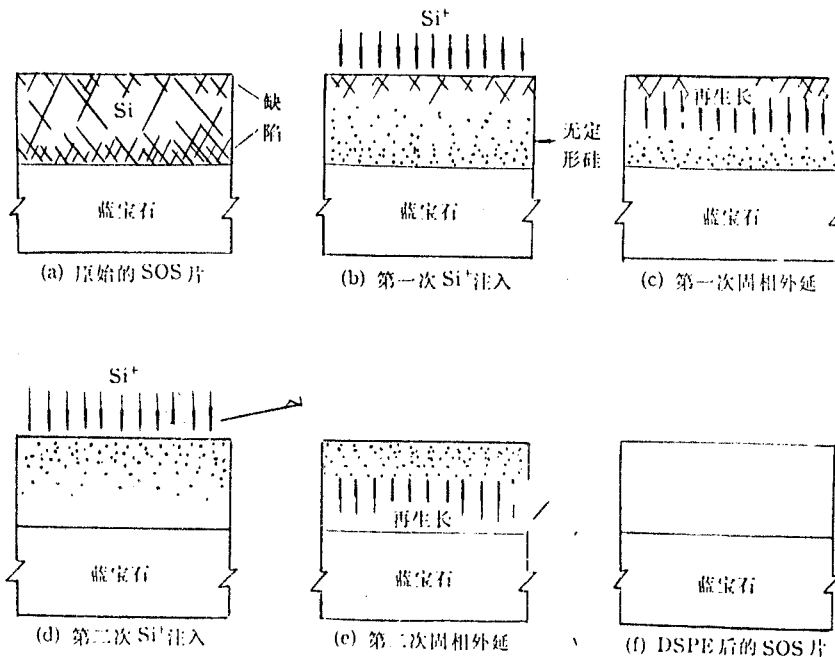


图 1 DSPE 工艺流程

[8]中给出的注入硅离子所形成的无定形区与注入能量和注入剂量的关系(见图 2).对双固相外延的条件进行了优化,对硅层厚度为 350nm 的 SOS 材料,优化后的硅离子注入与退火条件如表 1 所示.

DSPE SOS 膜中缺陷减少的机理与气相淀积外延(SOS)材料不同,在单晶硅晶体的固相外延过程中,(100)晶面具有最大的生长速率,约高出(111)晶面生长速率两个数量级,因此经过 DSPE 之后大大降低了 CVD SOS 膜中的(221)微孪晶密度,使单晶质量大为改观;同时,在再结晶过程中,还消除了大量的产生-复合中心,使载流子寿命明显提高.据文献[9]报道,DSPE 之后微孪晶密度约降低到 0.2%,载流子寿命约提高 500 倍,达到 50ns.

表 1 DSPE 的工艺技术条件

步 骤	Si 离子注入条件		固相外延(退火)条件		
	注入能量 E	注入剂量 D	气氛	温度	时间
1	180keV	$2 \times 10^{15} \text{cm}^{-2}$	N_2	900 $^\circ\text{C}$	60min
2	100keV	$1 \times 10^{15} \text{cm}^{-2}$	N_2	900 $^\circ\text{C}$	60min

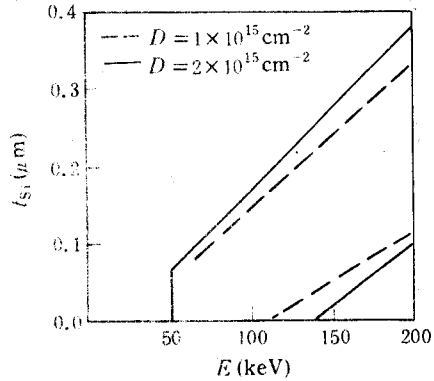


图 2 SOS 膜中形成的无定形区域 Si 注入能量 E 、剂量 D 的关系

3 实验结果及讨论

图 3 给出了制作在双固相外延和常规 SOS 片上的 NMOSFET 和 PMOSFET 的 $I_{ds}-V_{gs}$ 输出特性曲线. 实验结果表明, 经过双固相外延, SOS 材料的结晶质量得到了较为明显的改善, 其中主要表现在 MOSFET 的输出驱动电流

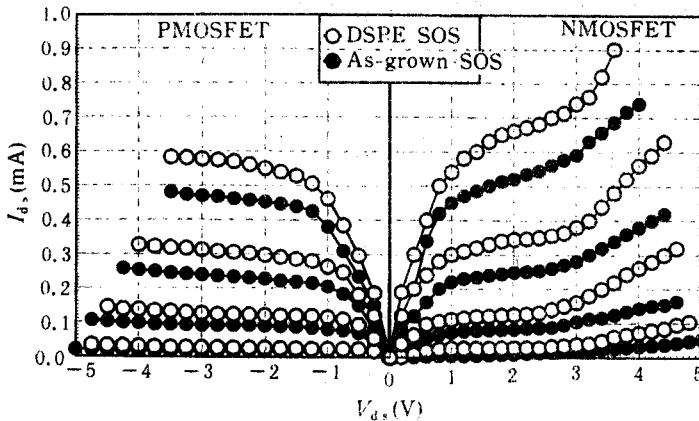


图 3 MOSFET 的 $I_{ds}-V_{ds}$ 特性曲线
($W/L=10\mu\text{m}/1\mu\text{m}$, $V_{gs}: 0.5\text{V}/\text{级}$)

增强, 跨导提高, 这说明 DSPE 之后 SOS 材料的迁移率得到提高. 在 MOSFET 的线性区实测到的 DSPE SOS 和常规 SOS 片的电子迁移率分别为 $300\text{cm}^2/(\text{V} \cdot \text{s})$ 、 $215\text{cm}^2/(\text{V} \cdot \text{s})$, 空穴迁移率分别为 $165\text{cm}^2/(\text{V} \cdot \text{s})$ 、 $120\text{cm}^2/(\text{V} \cdot \text{s})$.

图 4 给出了 SOS/MOSFET 的 $I_{ds}-V_{gs}$ 转移特性曲线, 可以看出, 经过双固相外延, SOS 晶体管的泄漏电流明显降低, 亚阈值斜率减小.

为了验证双固相外延技术对 CMOS/SOS 电路速度的影响, 我们还用 DSPE SOS 材料制作了沟道长度在 1—4 μm 之间的 19 级环形振荡器, 环振单级门延迟时间 t_{pd} 与沟道长度 L 的关系如图 5 所示. 对于沟道长度为 1 μm , NMOSFET 和 PMOSFET 的阈值电压分别为 0.8V 和 -0.7V 的环振, DSPE SOS 和常规 SOS 材料的门延迟时间分别为 320ps 和 460ps, 与

常规 SOS 材料相比,DSPE SOS 环振的门延迟时间约降低了 30%.

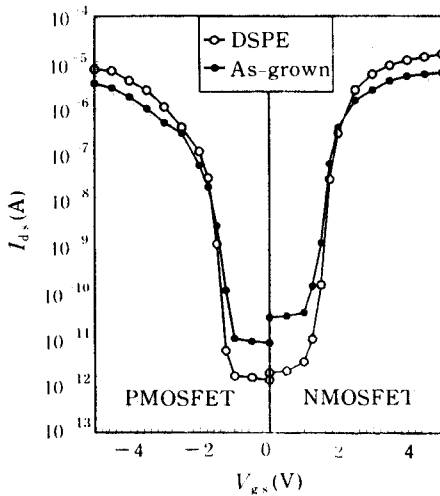


图 4 $I_{ds}-V_{gs}$ 转移特性曲线

($W/L=10\mu\text{m}/1\mu\text{m}$, $t_{Si}=350\text{nm}$, $V_{ds}=5\text{V}$)

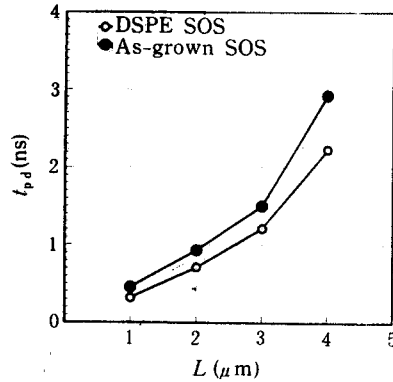


图 5 环振门延迟时间 t_{pd} 与沟道长度 L 的关系

($V_{dd}=5\text{V}$, $t_{Si}=350\text{nm}$)

为了更明确起见,把常规与 DSPE SOS 器件的参数列于表 2,从中可以看出,采用 DSPE 技术之后,迁移率约提高 40%,泄漏电流下降约一个数量级,环振门延迟时间降低近 30%.

表 2 常规与 DSPE SOS 器件和电路的参数

参 数		常规 SOS 器件	DSPE SOS 器件
有效迁移率	电子	$215\text{cm}^2/(\text{V}\cdot\text{s})$	$300\text{cm}^2/(\text{V}\cdot\text{s})$
	空穴	$120\text{cm}^2/(\text{V}\cdot\text{s})$	$165\text{cm}^2/(\text{V}\cdot\text{s})$
泄漏电流	N 管	$3.0\times 10^{-11}\text{A}/\mu\text{m}$	$2.5\times 10^{-12}\text{A}/\mu\text{m}$
	P 管	$9.8\times 10^{-12}\text{A}/\mu\text{m}$	$1.5\times 10^{-12}\text{A}/\mu\text{m}$
环振门延迟时间		460ps	320ps

4 结 论

从以上分析讨论可以看出,双固相外延技术能够有效地改善 SOS 材料表面硅层的结晶质量,利用双固相外延 SOS 制作的短沟道 SOS 器件和电路与常规 SOS 器件和电路相比,器件性能得到了较为明显的提高,其中最为显著的是漏驱动电流增强(即迁移率提高)、泄漏电流减少、亚阈值斜率变陡、环振速度加快.

利用 DSPE SOS 片成功地制作出了泄漏电流分别为 $2.5\text{pA}/\mu\text{m}$ 、 $1.5\text{pA}/\mu\text{m}$ 的 $1\mu\text{m}$ NMOS、PMOS 晶体管和单级门延迟时间为 320ps 的 19 级 CMOS/SOS 环形振荡器.

参 考 文 献

- [1] W. Krull and K. Ports, VLSI System Design, 1987:22.
- [2] S. Tanaka *et al.*, IEEE J. Solid-State Circuits, 1984, **SC-19**(5):657.
- [3] R. Heuner, *et al.*, IEEE Trans. Nuclear Science, 1988, **35**:1552.
- [4] R. Heuner, *et al.*, IEEE Solid-State Circuits, 1990, **SC-25**:562.
- [5] D. J. McGreivy, IEEE Trans. Electron Devices, 1978, **ED-25**(8):971.
- [6] M. Yoshida, *et al.*, International Electron Devices Meeting Tech. Dig., 1983: 372.
- [7] P. K. Vasudev, IEEE Circuits and Devices Magazine, 1987:17.
- [8] 武 平, 陕西微电子学研究所博士论文, 1991:144.
- [7] I. Galecki and M-A. Nicolet, Solid-State Electronics, 1990, **23**:803.

Investigation of DSPE Process and High Performance $1\mu\text{m}$ CMOS/SOS Devices

Zhang Xing

(Microelectronics Institute of Peking University, Beijing 100871)

Shi Yongquan, Lu Quan and Huang Chang

(Shanxi Microelectronics Institute, Lintong 710600)

Received 18 March 1994, revised manuscript received 14 June 1994

Abstract A new VLSI process, double solid phase epitaxy (DSPE) process, was successfully developed for short-channel CMOS/SOS circuits. CMOS/SOS devices and ring oscillators were fabricated on thin 350nm epilayers by using DSPE and as-grown SOS materials. Furthermore, $1\mu\text{m}$ DSPE CMOS/SOS devices' characterization and speed performance have been discussed by using MOSFETs and ring oscillators in comparison with the as-grown film devices. Remarkable improvement of the crystalline quality of the thin SOS films has been achieved for the DSPE technology. 2.5pA and 1.5pA leakage currents of N- and P-MOSFET and 320ps stage delay were successfully obtained by DSPE CMOS/SOS devices on 350nm thick SOS film.

EEACC: 2560R, 2570D, 0510D