

# 砷化镓 ASIC 电路实用库的研究

杨国洪 范 恒 王碧娟 夏冠群  
章洪深 甘骏人 姚林声 凌 雷

(中国科学院上海冶金研究所 上海 200050)

**摘要** 本文提出了一种以 GaAs MESFET 双层金属布线工艺和 SDFL 电路形式为基础的 GaAs 600 门阵列基片的结构,阐述了实用 GaAs 单元库的设计准则和方法,并以全加器为例说明了宏单元库的电路形式、几何结构、内部布线及输入输出的考虑.实用 GaAs 门阵列设计系统已在 COMPA CAD 工作站上建立,文中给出一个用该系统设计的应用实例.

EEACC: 0170C, 2520D, 2570

## 1 实用库的建立

用门阵列的设计方法,在 COMPA CAD 工作站上建立了 GaAs MESFET 实用库.

### 1.1 600 门基片的电路形式和结构

根据 GaAs 数字集成电路的特点,主要电路形式有:缓冲 FET 逻辑(BFL)、源耦合 FET 逻辑(SCFL)、肖特基二极管 FET 逻辑(SDFL)和直接耦合 FET 逻辑(DCFL).其中 BFL、SCFL 具有速度快、逻辑电平摆幅大、耗尽型 MESFET 工艺简单的优点,但其电路结构较复杂、功耗大、集成度较低;DCFL 具有电路结构简单、功耗小、集成度高的特点,但制备增强型 MESFET 的工艺难度大;SDFL 则介于两者之间.它既保持了耗尽型 MESFET 工艺简单的特点,其功耗又大大低于 BFL、SCFL 单元,且电路结构容易作逻辑扩展,可以达到较高集成度.综合考虑以上情况,我们选用 SDFL 的电路形式构成 GaAs 600 门阵列的基本单元.

基片中间由  $10 \times 12$  个基本单元及布线通道构成,周围是 I/O 电路和压焊点(图 1,见图版 1).在单元中设计了多个输入端,便于逻辑扩展.另外,为克服 SDFL 电路扇出能力的不足,在单元中增加了可选的驱动级以满足芯片内部对多扇出和长线驱动的要求.同时,在芯片中设计了 SDFL 与 SDFL 之间及 SDFL 与 ECL、TTL、CMOS 逻辑电平之间的接口电路,

杨国洪 男,1967 年生,助理研究员,目前从事 GaAs IC 方面的工作  
范 恒 男,1961 年生,副研究员,目前从事 GaAs IC 方面的工作  
王碧娟 女,1944 年生,高级工程师,目前从事 IC CAD 方面的工作  
1994 年 5 月 26 日收到初稿,1994 年 7 月 24 日收到修改稿

使门阵列电路可直接接受 SDFL、ECL、TTL、CMOS 信号和驱动 SDFL、ECL、TTL、CMOS 电路. 芯片尺寸:  $3.2\text{mm} \times 3.3\text{mm}$ .

### 1.2 单元库的设计准则与构成

一个单元的设计开发过程一般包括 IC 设计进程的逻辑设计、可测性分析、电路设计、电路验证、版图设计和版图验证等步骤. 生成一个单元库, 重要的一环是在电路和版图基础上完成建库工作, 以建立起单元的概念.

在基本单元设计时, 我们考虑了下列原则: 1. 可编程性. 即能支持设计者用一个或多个基本单元组成逻辑门、触发器等宏单元. 2. 可互连性. 它保证各个单元间能互连起来以完成复杂的设计要求. 3. 可穿透性. 它允许一定量的无关连线从单元通过, 给连线以最大的自由度. 基于上述这些原则, 我们建立了基本单元. 基本单元是由 SDFL 或非逻辑电路组成, 并经模拟验证, 其中的输入输出单元具有与 ECL、TTL、CMOS 电路兼容的能力.

### 1.3 宏单元的建立

在基本单元上通过改变三层掩膜, 设计了门、加法器、锁存器、译码器、触发器、多路开关、输入和输出接口等共计十三类六十三种.

设计考虑了以下规则: 1. 尽可能采用最少的元胞, 合理布线, 使内部布线简单. 同时, 尽量少占用布线通道, 以方便整体布线. 2. 结合材料和工艺过程, 合理布线. 3. 使用驱动能力强的驱动级作为单元输出, 同时考虑方便单元间的连线. 4. 根据 SDFL 或非逻辑的特点, 在设计触发器、加法器等宏单元时, 一改以前以与非逻辑为基础的电路形式而采用或非为基础的电路形式. 同时, 为兼顾, 我们也设计了部分与非结构的宏单元作补充. 5. 主要的设计规则为: (1) 第一层布线的宽度和间距各为  $4\mu\text{m}$ ; (2) 第二层布线的宽度和间距各为  $5\mu\text{m}$ , 介质孔大小为  $4 \times 4\mu\text{m}^2$ .

我们用门阵列接口语言 (Gate Array Interface Language)<sup>[1]</sup> 描述了各宏单元版图特性, 包括宏单元名称、版本、输入、输出的位置、横向和纵向布线通道的障碍情况以及占用元胞个数等等, 以利于计算机自动布局布线.

现以宏单元库中全加器的版图 (图 2) 为例, 说明我们的设计思想.

#### 1.3.1 电路形式

设或非门的门延时为  $\tau$ , 与非门的门延时为  $\tau'$ , 由图 3 可以直观看出, 或非形式全加器<sup>[2]</sup> 延时为:  $\tau_s = 3\tau$ ,  $\tau_c = 2\tau$ ; 与非形式全加器延时为:  $\tau_s = 6\tau'$ ,  $\tau_c = 5\tau'$ , 且有  $AB = \overline{A+B}$ , 即  $\tau' = 2\tau$ , 无论从结构还是从性能考虑, 或非形式都占优, 这正是我们在设计时要考虑的.

#### 1.3.2 几何结构

考虑到材料和工艺的均匀性, 长线带来的延时和负载, 以及布局的方便, 尽可能用最

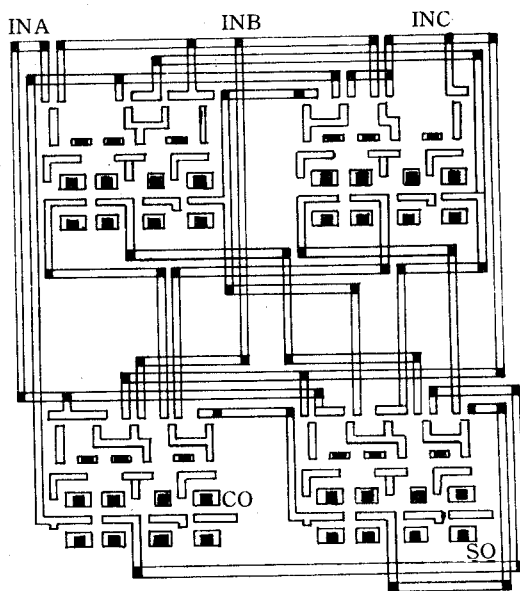


图 2 全加器版图

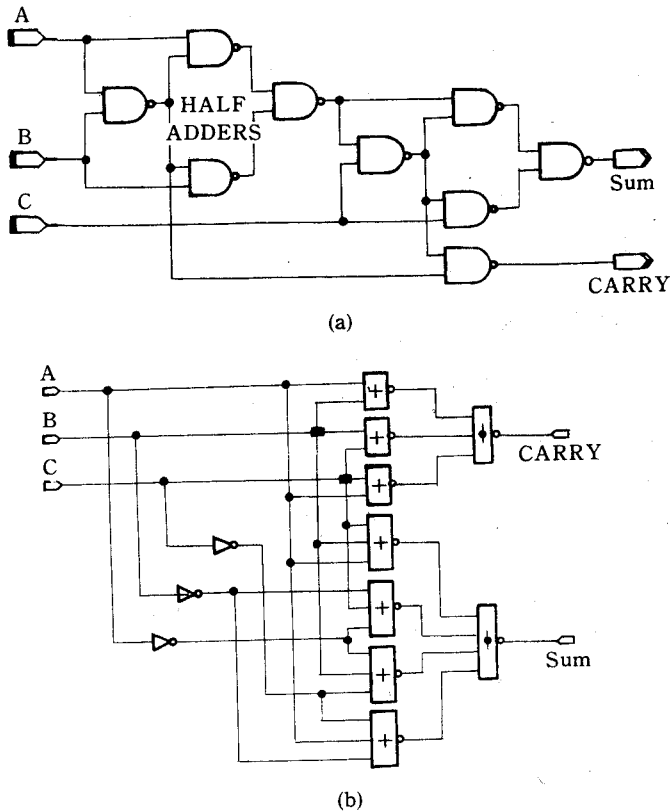


图 3 全加器电路

(a)与非形式全加器电路 (b)或非形式全加器电路

的元胞并进行合理组合.

### 1.3.3 内部布线及输入输出

在考虑单元内部连线与单元间连线的层次性的同时,兼顾布线的资源,并保证库的可穿透性;输入输出都在一层布线上,我们把输入引到库的边界处,输出引到布线通道上,以方便连线,同时采用驱动能力强的输出.

### 1.3.4 逻辑扩展与兼容

用或非逻辑实现  $F + A + B$  时,是由两个或非门  $F' = \overline{A+B}$  和  $F = \overline{F'}$  组成的,它派生出一个或非门  $F' = \overline{A+B}$ ,为此,我们指定了  $F'$  的输出.

### 1.4 宏单元的参数提取及模拟参数库的建立

完备的宏单元库应具备各宏单元的逻辑功能和传输延迟时间以便在设计中能对整个电路进行逻辑模拟和时序验证.为此,我们在 600 门阵列基片上专门设计制作了一块参数测试电路,测得

由四十七个反相器构成的环形振荡器的平均单门延迟时间为  $150\text{ps}^{[3]}$ (图 4,见图版 I).以这些参数为基础,用电路模拟程序 SPICE<sup>[4]</sup>计算出宏单元的性能参数,并建立了宏单元的参数库,其中描述了宏单元的功能,典型延迟时间、扇出能力等.

### 1.5 符号库的建立

在系统设计编辑器 ACE、DED 的支持下,设计了宏单元符号库,可以随时调用它们进行电路逻辑图的输入.

## 2 应用实例

我们利用开发的软件系统,设计研制了  $4 \times 4$  并行乘法器电路<sup>[6]</sup>、 $\div 5 / \div 6$  双模数分频器电路和四位同步计数器电路.下面是  $\div 5 / \div 6$  双模数分频器电路设计研制过程.

(1) 根据要求,画出初始状态转移图.

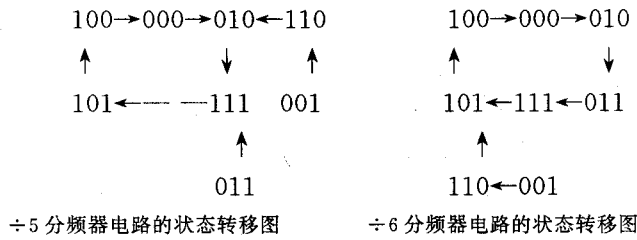


图 5 ÷5/÷6 双模数分频器电路的状态转移图

(2)选择触发器类型.本电路由三级 D 触发器构成,由或非结构 D 触发器的特点可知, D 触发器的状态转移方程为:

$$Q^{n+1} = D * (CP \downarrow) \quad (\text{下降沿触发})$$

各级触发器的激励函数为:

$$D_1 = Q_2^n + Q_3^n (\div 5) \quad D_1 = Q_1^n * Q_2^n + Q_3^n (\div 6)$$

$$D_2 = \overline{Q_1^n} \quad D_3 = Q_2^n$$

其中:Q<sup>n</sup> 为触发的原稳定状态(现态);Q<sup>n+1</sup>为触发的下一稳定状态(次态)

(3)调用符号库画出逻辑图(图 6).

(4)调用参数库进行电路模拟.

(5)调用版图库进行版图设计.

(6)最后流片并测试,结果如图 7(见图版 1)所示.由于输入有一次反相,在图 7 上看,为上升沿触发,而事实上为下降沿触发.

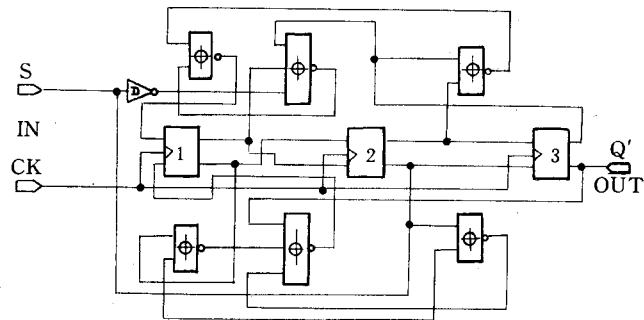


图 6 电路逻辑图

### 3 结论

我们以集成电路 CAD 系统为基础,结合 GaAs MESFET 双层金属布线工艺建立了由 SDFL 或非逻辑组成的 ASIC 电路宏单元数据库(包括宏单元库和与之对应的参数库、符号库),它包括各种多输入门、加法器、锁存器、译码器、触发器、多路开关和输入、输出接口等共计十三类六十三种.系统已成功地用于实际电路设计.在 600 门基片上,我们已设计研制了 4×4 并行乘法器电路、÷5/÷6 双模数分频器电路和四位同步计数器电路.实践证明,利用该系统和我们开发的 GaAs 模拟系统<sup>[6]</sup>,可以方便地进行电路设计和模拟,降低了电路研制成本,缩短了电路开发周期,提高了可靠性.实用库的建立,为我国自己的 GaAs ASIC 电路提供了有力的工具.

## 参 考 文 献

- [1] User's Manual for Gate Array Interface Language, 1986, Daisy System Corporation.
- [2] H. P. Singh, R. A. Burrier and R. A. Sadler, IEEE J. Solid-State Circuits, 1990, 25(5), 1226-1231.
- [3] 范恒, 杜根娣, 谢弟杰, 等, 第七届全国半导体化合物材料微波器件和光电器件学术会议论文集, 下册, 北戴河: 1992, P13.
- [4] T. Quarels, A. R. Newton *et al.*, SPICE User's Guide.
- [5] 范恒, 杜根娣, 徐元森, 等, 全国半导体集成电路和硅材料学术会议论文集, 杭州: 1993, P502.
- [6] 王碧娟, 杨国洪, 甘骏人, 等, 全国第七届 ICCAD 学术年会, 西安: 1993, P105.

## Study of Practical GaAs ASIC Libraries

Yang Guohong, Fan Heng, Wang Bijuan, Xia Guanqun,  
Zhang Hongshen, Gan Junren, Yao Linsheng and Ling Lei

(Shanghai Institute of Metallurgy, The Chinese Academy of Sciences, Shanghai 200050)

Received 26 May 1994, revised manuscript received 24 July 1994

**Abstract** Based on the technology of GaAs MESFET double-level-metal interconnection, a new construction for the base array of GaAs 600-gate is presented. The design criteria for the GaAs practical macro cell library are also described. A full-adder's macro cell library is used as an example to illustrate the circuit form, geometry, inner routing and consideration of input and output. A GaAs practical gate array design system has built on the COMPA CAD workstation. An applied example designed in the system is given.

**EEACC:** 0170C, 2520D, 2570