

硅集成电感元件的分析、设计与优化*

张跃鲤 张文俊

(清华大学微电子学研究所, 北京 100084)

摘要: 利用采用 FDTD(finite-difference time-domain method)方法的计算软件 ISE-EMLAB 对片上集成电感进行了模拟,并分析了电感的金属宽度、金属间隔、线圈外直径、线圈匝数等设计参数对电感的品质因数、电感值、电阻值等参数的频率特性的影响,进而提出了一种应用于片上集成电感的优化设计的方法。

关键词: FDTD 方法; 品质因数; 电感值; 电阻值; 设计参数

EEACC: 1350H; 2140

中图分类号: TN43 文献标识码: A 文章编号: 0253-4177(2005)S0-0268-05

1 引言

以硅为材料的集成电路在射频电路领域有着广阔的应用前景,现代 CMOS 以及 BiCMOS 技术能够制出特征频率很高的晶体管,在射频集成电路的应用范围内其性能可以与砷化镓(GaAs)集成电路相媲美甚至可以取而代之。Si 相对于 GaAs 在制造上成本低以及基带电路集成度方面的潜力使得 Si 在许多射频集成电路应用领域内成为公认的首选。

基于便携式无线通讯设备在低功耗、低电源电压、低功率耗散、低噪声、高工作频率以及低失真等方面的要求,片上集成电感的作用至关重要,但是从射频集成电感的观点来看,目前的标准硅集成电路工艺的一个主要的缺陷就是缺少好的电感。在数 GHz 的频率范围内,我们已经可以用基于硅材料的工艺来实现以前只有用 GaAs 工艺才能实现的工艺技术。不过从另一个角度来讲,硅衬底,尤其是标准 CMOS 工艺的电阻率很低的衬底,是导致电感品质因数明显下降与衬底损耗^[1,2]的主要原因之一。因此,对制作在硅材料上的电感线圈的设计与优化就显得十分重要。

ISE-EMLAB 软件提供完整的 FDTD 方法^[3,4]支持,可以完整考虑半导体器件工作在高频环境下的电磁场效应,因此非常适合进行射频电感元件的

性能模拟。本文利用 ISE-EMLAB 对片上集成电感进行了模拟^[5],并分析了电感的金属宽度、金属间隔、线圈外直径、线圈匝数等设计参数对电感的品质因数、电感值、电阻值等参数的频率特性的影响,在此基础上,提出一种应用于片上集成电感的优化设计的方法。

2 片上集成电感的基本结构

所谓片上集成电感指的就是在具有较低薄层电阻的层面上生长出来的平面螺旋线圈。它通常位于最上层的金属层,以此来最大限度地减小与衬底之间的容性耦合。螺旋的内侧通过其下面的金属层的连接接出。两层之间的金属用过孔连接。

图 1 和图 2 分别为方型平面螺旋电感版图和平面螺旋电感纵向结构剖面的示意图,图中各标记含义如下: D_{out} 为线圈外直径, W 为金属宽度, S 为邻近金属线之间间隔, n 为线圈匝数。金属层以 Metal 1 和 Metal 2 标记,Metal 1 位于 Metal 2 上层,两层之间通过过孔连接。

3 集成电感的设计参数

集成电感的设计需要考虑多个参数的影响。为了便于分析,将这些参数分为设计参数与工艺参数

* 国家高技术研究发展计划资助项目(批准号:2004AA1Z1050)

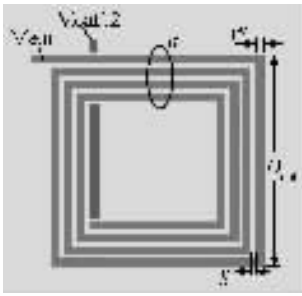


图1 方型平面螺旋电感版图示意图

Fig. 1 Layout of a square planar spiral inductor

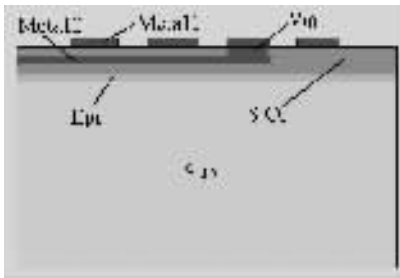


图2 平面螺旋电感纵向结构剖面示意图

Fig. 2 Cutaway view of a planar spiral inductor

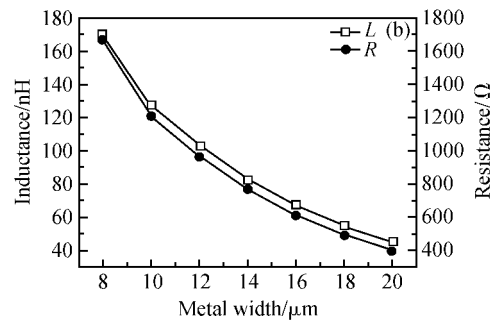
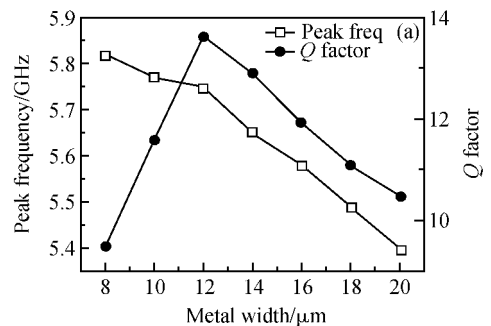
两种. 设计参数包括: 电感的面积与形状、金属宽度、邻近金属间隔、线圈匝数、线圈形状等. 这些参数可以由设计者根据电感优化的需要进行灵活的调整. 工艺参数包括: 衬底电阻率、金属线电导率、电感所在金属层与衬底之间的距离、金属厚度等, 这些参数是由工艺技术决定的, 因此是不可随意改变的. 要实现一个合适的设计使电感在特定应用中达到最佳的性能, 了解工艺参数与设计参数对集成电感性能的影响是至关重要的. 一些工艺参数对集成电感的性能的影响如下: 电感所在金属层的薄层电阻会影响电感的有效电阻, 并对电感的品质因数 Q 有重要影响; 螺旋线圈所在金属层与衬底之间的距离, 决定了线圈与衬底(通常接地)之间的电容; 较高的衬底电导率(比如标准 CMOS 工艺)会导致导体层内涡旋电流与二级感应磁场的产生, 从而增加线圈上电阻的损耗.

由于工艺参数的不可随意改变性, 因此对工艺参数进行改变而优化不具有较强的实用意义, 因此在本文中主要针对比较容易改变的设计参数进行参数的改变与优化.

3.1 金属宽度

图3为金属宽度对电感各项性能参数的影响.

从图中可以看出, 随着金属宽度的增大, 电感的电阻值会随之而减小, 因此会使 Q 值随之而增大; 另一方面, 随着金属宽度的增大, 会使趋肤效应的作用越来越明显, 因此会导致 Q 值的下降; 同时电感值也随金属宽度的增大而减小; Q 值的峰值频率随着金属宽度的增大而降低. 综合各方面的考虑, 在设计中电感的金属宽度应注意不宜过大, 应根据其他参数的情况选择一个合适的参数, 比如, 在本模拟的条件下, $12\mu\text{m}$ 左右的金属宽度是比较合适的.

图3 (a)金属宽度对 Q 值及其峰值频率的影响; (b)金属宽度对电感值和电阻值的影响Fig. 3 (a) Influence on Q factor and its peak frequency by changing metal width; (b) Influence on inductance and resistance by changing metal width

3.2 金属间隔

图4为金属间隔对电感各项性能参数的影响. 从图中可以看出, 随着金属间隔的增大, 线圈各部分之间的磁耦合减小, 从而线圈的电感值会减小, 会影响 Q 值的增大, 另一个方面, 在线圈外直径一定的情况下增大金属间隔, 会使线圈所占相对面积减小, 这样可以在一定程度上减小线圈与衬底之间的寄生电容带来的影响, 从而有利于增大 Q 值. 一般来说金属间隔应取一个较小的值, 可取的金属间隔的最小值取决于工艺技术的条件以及设计本身的特点.

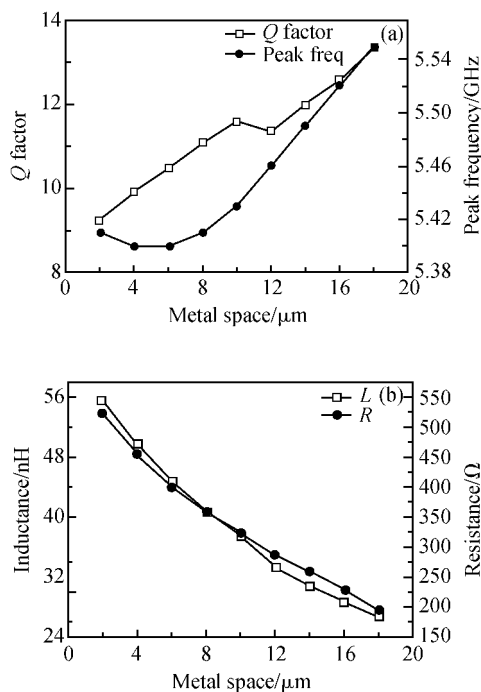


图 4 (a)金属间隔对 Q 值及其峰值频率的影响;(b)金属间隔对电感值和电阻值的影响

Fig. 4 (a) Influence on Q factor and it's peak frequency by changing metal space;(b) Influence on inductance and resistance by changing metal space

3.3 线圈外直径

图 5 为线圈外直径对电感各项性能参数的影响。从图中可以看出,随着线圈外直径的增大,线圈所占的面积增加,这样就会增加电感线圈与衬底之间的寄生电容,会导致 Q 值的下降,同时也会导致 Q 值峰值频率降低。电感值的变化相对复杂,呈先增大后减小的趋势,在外直径为 $280\mu\text{m}$ 时取得电感最大值,而后电感开始下降,这主要是由于线圈与衬底间的寄生电容增大引起的,由于外直径的增大使得线圈中空面积增大从而使内层线圈间的磁耦合的减小也会使电感值有所下降。电阻值呈现与电感值类似的变化趋势。在高频情况下,必须考虑到趋肤效应和邻近效应的影响。大多数情况下,线圈最里面的几圈的产生邻近效应的磁场是最强的。在高频情况下,电感线圈的内侧的线圈要比外侧的线圈具有更高的电阻率。同时品质因数也会因为电阻率的增大而减小,因此电感线圈一般被设计成中空的形式。

综上所述,设计时选取的线圈外直径不宜过大,但同时也要考虑到线圈外直径与金属宽度和间隔的关系,因为这三者共同决定了线圈的中空面积,如果

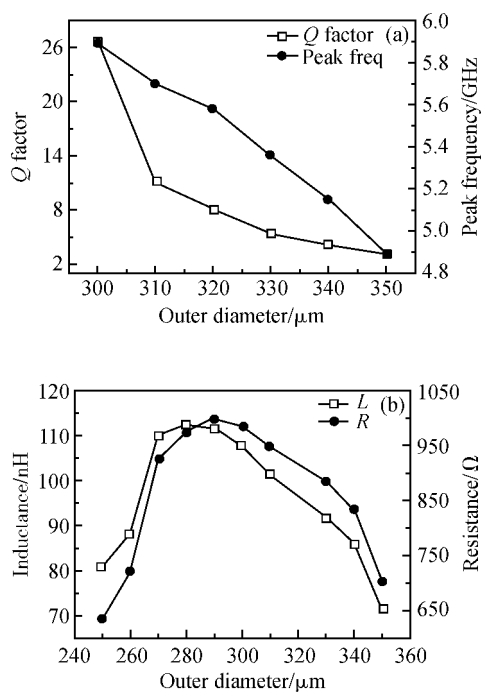


图 5 (a)线圈外直径对 Q 值及其峰值频率的影响;(b)线圈外直径对电感值和电阻值的影响

Fig. 5 (a) Influence on Q factor and it's peak frequency by changing outer diameter;(b) Influence on inductance and resistance by changing outer diameter

中空面积过小的话,内层线圈之间的磁耦合会增强,在高频时会产生涡旋电流,使内层线圈的电阻明显增大,从而会对 Q 值造成很大的影响。

3.4 线圈匝数

图 6 为线圈匝数对电感各项性能参数的影响。由图中可以看出,随着线圈匝数的增加,电感的 Q 值会下降,同时 Q 值的峰值频率也随着匝数的增加而下降,而在线圈匝数特别小的时候(2, 3 匝),由于电感的感性很弱,使得线圈与衬底间存在的寄生电容的作用超过了线圈本身的感性,这样就使电感线圈整体上体现出容性,在这种情况下电感的 Q 值也就没有什么实际意义了。线圈电感值在 4, 5 匝的时候达到最大值。因此在实际的设计工作中,要选择一个适中的匝数,比如在本模拟中取 4~5 匝为宜。

4 集成电感的优化设计

通过上面的模拟与分析,我们大致可以总结出如下的一套优化设计电感的方法,其中一些具体数值仅对本模拟的情况下有效,但对于最常见的电感

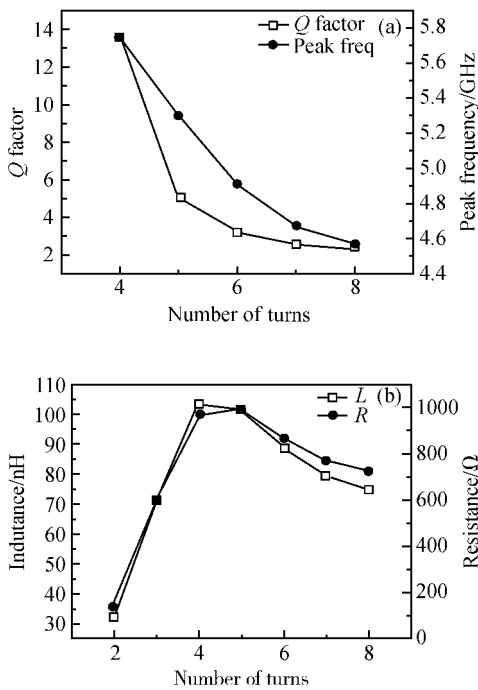


图6 (a)线圈匝数对Q值及其峰值频率的影响;(b)线圈匝数对电感值和电阻值的影响

Fig. 6 (a) Influence on Q factor and it's peak frequency by changing the number of turns; (b) Influence on inductance and resistance by changing the number of turns

的设计这些数值具有一定的参考价值。

(1)在高频条件下,金属宽度不宜过大,在本模拟中可取 $12\sim 14\mu\text{m}$ 。

(2)金属间隔在工艺条件允许的情况下可以取得小一些,在本模拟中取 $2\sim 4\mu\text{m}$ 为宜。

(3)线圈外直径的选取要同时考虑到金属宽度与间隔以及线圈中空面积的影响。通过本模拟以及其他一些实验的结果^[6,7],可以得到这样的结论,当中空部分的直径为外直径的 $25\%\sim 40\%$ 时,电感的性能会相对比较理想。

(4)线圈匝数的选取同样要考虑到线圈内外直径的因素,在本模拟中线圈匝数取 $4\sim 5$ 匝为宜。

(5)在设计电路版图时还需要考虑其他一些问题,比如将电路中需要特别注意的元件(包括电感)与电路中的其他部分分离开来。我们可以用保护环(guard ring)来分离对噪声比较敏感的元件(如电感),保护环可以减少一些寄生效应的产生,如邻近元件及电感线圈之间的磁耦合。这样就提高了电路的可靠性。

(6)由硅衬底电导率引起的衬底损耗是由于硅本身所具有的导电性所引起的,衬底上的漏电流是导致这种现象的主要原因。为了减小这些损耗,有必要防止衬底上的电场渗透。不同面积与形状的接地罩(grounded shield)可以达到这样的效果^[8]。

5 总结

本文对集成电感进行了模拟,并对模拟结果进行了分析,最后在此基础上提出对电感进行优化设计的方案。

虽然就目前的情况而言,标准硅集成电路工艺中的集成电感仍然是一个主要的缺陷。然而,通过合理的建模与完善的设计技术,获得性能令人满意的电感是完全可能而且可行的。同时,随着硅工艺技术的不断发展,也会不断得到更理想的结果。这些都可以使集成电感的应用领域更加扩大。

参考文献

- [1] Memyci F, Darrer F, Pardoen M, et al. Reducing the substrate losses of RF integrated inductors. *IEEE Microw Guided Wave Lett*, 1998, 8(9): 300
- [2] Lan Hai, Yu Zhiping, Dutton R W. A CAD-oriented modeling approach of frequency-dependent behavior of substrate noise coupling for mixed-signal IC design. *International Symposium on Quality Electronic Design*, 2003: 195
- [3] Sui Wenquan, Christensen D A, Durney C H. Extending the two-dimensional FDTD method to hybrid electromagnetic systems with active and passive lumped elements. *IEEE Trans Microw Theory Tech*, 1992, 40(4): 724
- [4] Palazzari V, Placidi P, Stopponi G, et al. Time domain modeling of silicon integrated spiral inductors in RF IC design. *27th General Assembly of the International Union of the Radio Science*, 2002: 1362
- [5] EMLAB Reference Manual. ISE Integrated Systems Engineering A G, Zurich, Switzerland, 1998
- [6] Nguyen N, Meyer R. Si IC compatible inductor and LC passive filters. *IEEE J Solid-State Circuits*, 1990, 25: 1028
- [7] Burghartz J, Edelstein D C, Soyuer M. RF circuit design aspects of spiral inductors on silicon. *IEEE J Solid-State Circuits*, 1998, 33: 2028
- [8] Mo Y S, Chen Tong, Kenneth K O. The effects of a ground shield on the characteristics and performance of spiral inductors. *IEEE J Solid-State Circuits*, 2002, 37(2): 237

Analysis, Design, and Optimization of Si Inductors^{*}

Zhang Yueli and Zhang Wenjun

(*Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

Abstract: Si integrated inductors are simulated with the tool ISE-EMLAB which supports FDTD(finite-difference time-domain) method. The effects on the frequency feature of the quality factor, inductance, and resistance brought by the change of the design parameters such as the metal width, metal space, outer diameter, and the number turns are analyzed. Then, we get a principle of design and optimization of the Si integrated inductors.

Key words: FDTD; quality factor; inductance; resistance; design parameters

EEACC: 1350H; 2140

Article ID: 0253-4177(2005)S0-0268-05

^{*} Project supported by the National High Technology Research and Development Program of China(No. 2004AA1Z1050)

Received 21 October 2004, revised manuscript received 15 November 2004

©2005 Chinese Institute of Electronics