

p 沟道锗/硅异质纳米结构 MOSFET 存储器 及其逻辑阵列*

杨红官 施毅 阎锦 濮林 沈波 张荣 郑有焯

(南京大学物理系 固体微结构国家重点实验室, 南京 210093)

摘要: 采用巴丁(Bardeen)传输哈密顿方法,数值计算了 p 沟道锗/硅异质纳米结构存储器的时间特性.由于台阶状隧穿势垒和较高价带带边的作用,这种新型的存储器单元可以同时实现器件的快速编程和长久存储,具有优异的存储特性.以 2×2 逻辑阵列为例说明了这类存储器单元组成逻辑电路的设计原理.研究表明:这种器件可以作为在室温下工作的性能优异的非易失性存储器单元,有望在将来的超大规模集成电路中获得应用.

关键词: 锗/硅; 异质纳米结构; 存储器; 空穴隧穿; 数值模拟

PACC: 7335C; 7360N; 7320D

中图分类号: TN386.1

文献标识码: A

文章编号: 0253-4177(2004)02-0179-06

1 引言

由于具有单元面积小、工作电压低、编程速度快、功率损耗少、多阈值和易与逻辑电路集成等许多优点,硅基纳米结构存储器作为下一代最富有应用前途的信息存储器件(特别是作为闪速存储器)引起了人们广泛的研究兴趣^[1-4].迄今为止,人们发展了多种相关的存储器单元结构,它们大多属于硅纳米晶粒浮栅结构 MOSFET 存储器.在这种结构的存储器中,硅纳米晶粒嵌于控制栅极和导电沟道之间的隧穿氧化层中,施以一定的栅极偏压,直接隧穿的电荷通过超薄的氧化层进出纳米晶粒.存储于纳米晶粒中的电荷屏蔽栅极电荷,减弱了沟道电导,从而使阈值电压发生漂移.在过去几年中,为了改善器件的性能,人们提出了许多模型,诸如缺陷态模型^[5,6]、p 沟道模型^[7]和双层量子点自准直模型^[8]等,以期解决器件的电荷保留时间和擦写时间之间的矛盾.原理上,隧穿氧化层厚度是影响隧穿时间的重要因素之一.增加隧穿氧化层厚度有利于电荷存储,但不

利于擦写编程;反之,减小隧穿氧化层厚度可缩短编程时间,但保留特性也随之退化.为了解决这一难题,我们提出了用锗/硅异质纳米晶粒代替硅纳米晶粒来构造新的存储器结构单元^[9].由于锗的带隙(0.66eV)小于硅的带隙(1.12eV),因此,在该结构中电荷主要存储于锗纳米晶粒之上.正是因为这种台阶状隧穿势垒和较高价带带边的作用,与硅纳米结构 MOSFET 存储器和 n 沟道锗/硅异质纳米结构 MOSFET 存储器相比,本文研究的 p 沟道锗/硅异质纳米结构 MOSFET 存储器显示出优异的存储性能.本文采用巴丁(Bardeen)传输哈密顿方法,数值模拟了 p 沟道锗/硅异质纳米结构存储器的时间特性,并且以 2×2 逻辑阵列为例说明了由此类存储器组成的逻辑电路的设计原理.研究表明:器件的编程时间在 μs 量级,而保留时间长达十年.这种新型的存储器单元可作为性能优良的非易失性存储器.

2 存储器单元结构

图 1(a) 给出了锗/硅异质纳米结构 MOSFET

* 国家重点基础研究专项经费(批准号:G001CB309)及国家自然科学基金(批准号:90101021,60236010)资助项目

杨红官 男,1968 年出生,博士研究生,主要研究方向为硅基纳米结构物理与器件.

施毅 男,1962 年出生,教授,博士生导师,主要研究领域为半导体纳米结构物理、材料和器件.

2003-03-18 收到,2003-06-06 定稿

存储器的结构示意图. 锗/硅异质纳米晶粒镶嵌在控制栅极和源漏导电沟道之间的氧化层中. 超薄的隧穿氧化层把纳米晶粒和沟道隔开, 较厚的控制氧化层位于纳米晶粒和控制栅极之间. 图 1(b) 和 (c) 还给出了 n 沟道及 p 沟道纳米结构存储器的电路符号. 在研究器件的存储特性时, 必须考虑纳米晶粒的量子限制效应和库仑阻塞效应^[10]. 当一个纳米晶粒被一个电子(或空穴)占据时, 另外的电子(或空穴)要进入该晶粒必须拥有更高的能量. 对于 p 沟道锗/硅异质纳米结构存储器, 假定在硅点和锗点的高度

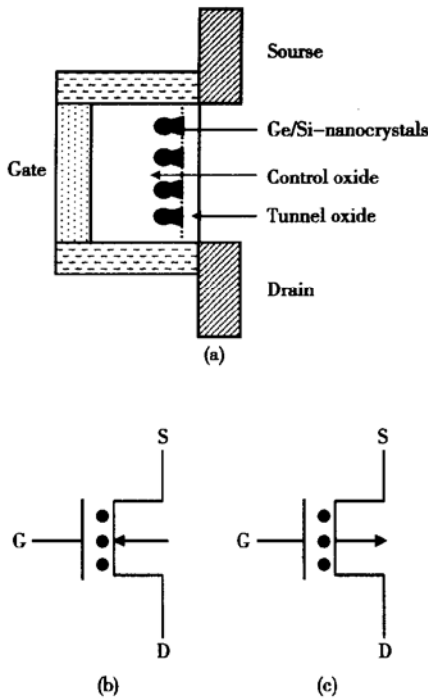


图 1 锗/硅异质纳米结构 MOSFET 存储器的结构示意图 (a) 和 n 沟道(b) 及 p 沟道(c) 纳米结构存储器的电路符号. 锗/硅复合纳米晶粒位于控制栅极和 p 型沟道之间, 台阶状隧穿势垒得以形成.
Fig. 1 Schematic cross-section of Ge/Si hetero-nanocrystal based MOSFET memory cell (a) and the circuit symbols for n-channel (b) and p-channel (c) nanocrystal based MOSFET memories. Ge/Si hetero-nanocrystals are embedded in the oxide layer between control gate and p-channel, and thus the compound tunnel barrier is formed.

均为 5nm, 隧穿氧化层和控制氧化层的厚度分别为 2 和 7nm, 以及纳米晶粒面密度约为 $7 \times 10^{11} \text{ cm}^{-2}$ 的情况下, 当每个纳米晶粒存储一个空穴时阈值电压漂移的量约为 $\Delta V_T = -0.39\text{V}$.

这里, 我们把空穴注入纳米晶粒的过程称为“编

程”, 把从纳米晶粒移除空穴的过程称为“擦去”. 如图 2(a) 和(b) 所示, 当栅极施加负偏压时, 价带空穴通过直接隧穿过程由沟道注入到锗/硅异质纳米晶粒中, 空穴波函数将主要局域于锗纳米晶粒之上. 这个过程可以被定义为向器件写“0”的过程, 即“0”状态具有较低的阈值电压. 在擦去过程中(如图 2(c) 和(d) 所示), 正向栅压的作用使空穴又重新回到沟道内. 相应地, 擦去过程也被定义为写“1”的过程, “1”状态具有较高的阈值电压. 这里, 器件的编程和擦去操作都是通过直接隧穿实现的, 因而具有低功耗和高耐久性等优点.

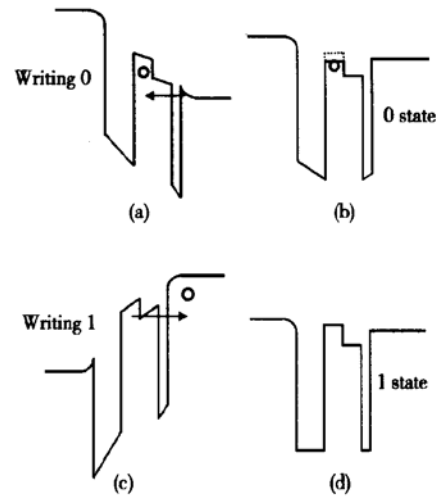


图 2 锗/硅异质纳米结构存储器在编程操作(a)、保持“0”状态(b)和擦去操作(c)、保持“1”状态(d)时的能带简图
Fig. 2 Valence band diagram for hole writing “0” (a), holding “0” (b), writing “1” (c) and holding “1” (d) in the operation of p-channel Ge/Si hetero-nanocrystal based MOSFET memory

这里可以清楚看到, 电荷存储单元用锗/硅异质纳米晶粒代替硅纳米晶粒, 单一的隧穿势垒成为台阶状的复合隧穿势垒(如图 2(d) 所示). 在传统的硅纳米结构存储器中, 电荷通过单一的隧穿势垒进出纳米晶粒, 导致了保留时间和擦写时间之间的两难问题. 然而, 对于锗/硅异质纳米结构存储器, 这一两难问题得到了解决. 虽然由于台阶状势垒对隧穿的阻碍作用, 编程时间和保留时间都有增加, 但两者增加的程度相差很大. 因为锗/硅的带边偏移(导带边 0.10eV 和价带边 0.35eV) 远小于硅/二氧化硅的带边偏移(导带边 3.15eV 和价带边 4.75eV), 因此在适当的偏压下进行编程及擦去操作时, 电荷可以认为只受隧穿氧化层势垒的影响(如图 2(a) 和(c) 所

示);而在保留期间,电荷的能量较小,只有通过双势垒才能泄漏出去(如图 2(b)所示).所以,编程时间近似不变,而保留时间却显著增加^[9].实际上,由于器件的价带偏移(0.35eV)大于导带偏移(0.10eV),空穴的存储行为应当更加优异.

3 时间特性模拟

3.1 计算模型

对于 p 沟道 MOSFET 器件,在低电压、超薄氧化层和沟道反型等条件下,电子的隧穿可以忽略,直接隧穿的空穴构成了垂直于衬底表面的电流的主要部分^[6,11~13].考虑到价带混合效应,空穴隧穿行为远比电子复杂,特别是在隧穿的过程中轻重空穴可以相互转化.通常存在着四种隧穿通道:重空穴到重空穴的隧穿(h-h),重空穴到轻空穴的隧穿(h-l),轻空穴到轻空穴的隧穿(l-l)和轻空穴到重空穴的隧穿(l-h).在极小平行波矢 $k_{\parallel} \approx 0$ 和超薄隧穿氧化层厚度 $T_{ox} < 4\text{nm}$ 的条件下,混合效应很弱,因而在模拟时只需考虑单粒子过程^[14~17].重空穴有着较大的有效质量,占据着反型层及纳米晶粒中的最低能态,而且重空穴在反型层中也具有较大的电荷密度^[16].所以,重空穴电流在总的空穴电流中占有最大的比率,也就是说,总的空穴电流主要来自于重空穴的贡献.因此,空穴电流 j 可由下式表示:

$$j = j_{\text{eff}}^{\text{hh}} = \chi_{\text{eff}} j^{\text{hh}} \quad (1)$$

这里 j^{hh} 为有效重空穴电流密度;比例系数 χ_{eff} 由实验或理论来估计.

在模拟过程中,因为电荷很难通过厚的控制氧化层,因此可以把它看作无限高势垒.应用巴丁传输哈密顿方法^[18,19],把隧穿过程中所对应的哈密顿 H 分解为两个子系统 H_1 和 H_2 ,它们相应的本征波函数和本征能量分别为 Ψ_1, E_1 和 Ψ_2, E_2 .

由费米黄金规则出发,可得到从 Ψ_1 向 Ψ_2 传输的矩阵元:

$$M_{1 \rightarrow 2} = (\hbar^2/2m^*) \int (\Psi_1 \Psi_2^* - \Psi_2 \Psi_1^*) ds \quad (2)$$

其中 m^* 是电荷的有效质量,积分遍及隧穿表面.

假设由 Ψ_1 到 Ψ_2 发生了单电荷隧穿过程,则电流密度可由下式求出:

$$\begin{aligned} j_{1 \rightarrow 2}^{\text{hh}} &= (2\pi/\hbar) |M_{1 \rightarrow 2}^{\text{hh}}|^2 \rho_1(E_2) [f_1(E_2) - f_2] \\ &= j_0 [f_1(E_2) - f_2] \end{aligned} \quad (3)$$

这里 $M_{1 \rightarrow 2}^{\text{hh}}$ 是(2)式中的传输哈密顿矩阵元; $\rho_1(E_2)$ 和 $f_1(E_2)$ 是对应着锗/硅复合势阱中能级 E_2 的反型层中的电荷态密度和分布函数^[20]; f_2 是锗/硅复合势阱中对应能级 E_2 的电荷占据数.

假定在初始时刻 $t=0$ 时隧穿通道打开,此时占据数为 $f_1(E_2) = 1$ 而 $f_2 = 0$,则 f_2 随时间的变化关系为:

$$f_2 = 1 - \exp(-j_0 t) = 1 - \exp(-t/\tau) \quad (4)$$

其中 τ 被定义为隧穿过程的特征时间.编程、擦去和保留过程中的特征时间分别记为 t_p, t_E 和 t_R .

3.2 模拟结果

本文数值模拟了 p 沟道锗/硅异质纳米结构存储器的时间特性.控制氧化层和隧穿氧化层厚度分别取为 $T_{\text{cn}} = 7\text{nm}$ 和 $T_{\text{ox}} = 1 \sim 2.6\text{nm}$,硅和锗纳米晶粒的高度分别取为 $D_{\text{Si}} = D_{\text{Ge}} = 5\text{nm}$.重空穴在硅、锗和二氧化硅中的有效质量分别取为 $0.49m_0, 0.28m_0$ 和 $0.42m_0$,其中 m_0 是自由电子的质量.锗/硅的导带边和价带边分别取为 0.10 和 0.35eV ,而硅/二氧化硅的导带边和价带边分别取为 3.15 和 4.75eV .

如图 3 所示,我们首先模拟了 p 沟道锗/硅异质纳米结构存储器的编程和擦去时间随隧穿氧化层厚度 T_{ox} 及控制栅极电压 V_g 的变化关系.这里,定义编程/擦去时间为一个纳米晶粒被注入/失去一个空穴的过程中的特征时间.当隧穿氧化层厚度取 $T_{\text{ox}} = 2\text{nm}$ 和控制栅极电压取 $V_g = \pm 3\text{V}$ 时,器件的擦去和编程时间分别达到 ms 和 μs 量级.因此,这种结构的存储器单元仍具有快速编程的优点.

图 4 给出的是硅纳米结构及锗/硅异质纳米结构存储器电荷保留时间的模拟结果.定义电荷的保留时间为泄漏纳米晶粒存储电荷的 50% 所经历的时间.从图中可以清楚看到, p 沟道锗/硅异质纳米结构存储器的保留时间分别比 n 沟道和 p 沟道硅纳米结构存储器大 10^9 和 10^8 倍以上.由此可见,台阶状的隧穿势垒有效地延长了器件的保留时间.在适当的偏压下,电荷的能量远大于硅层的势垒高度,因而同传统的硅纳米结构存储器相比,器件的编程时间近似不变.我们也可以看出, p 沟道锗/硅异质纳米结构存储器的保留时间比 n 沟道锗/硅异质纳米结构存储器的大 10^5 倍以上.这表明,由于较高价带带边的影响, p 沟道锗/硅异质纳米结构存储器有着优异的存储性能.毋庸置疑,隧穿氧化层厚度仍然是决定电荷保留时间的最重要的因素,但台阶状势

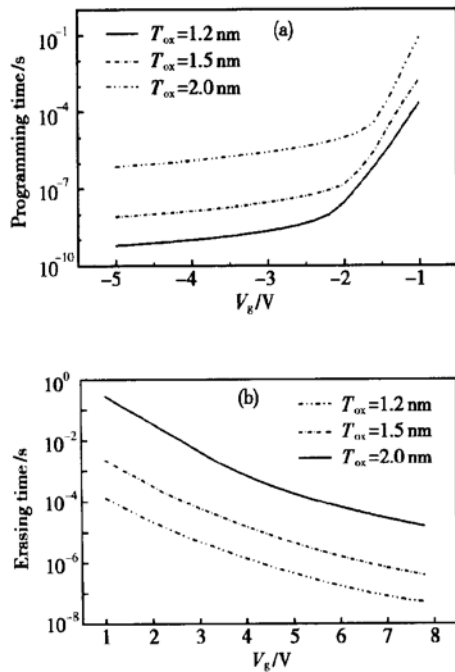


图 3 p 沟道锗/硅异质纳米结构存储器的编程和擦去时间随隧穿氧化层厚度及栅极电压变化的关系

Fig. 3 Programming and erasing times of p-channel Ge/Si hetero-nanocrystal based MOSFET memory versus the tunneling oxide thickness and the control gate voltage

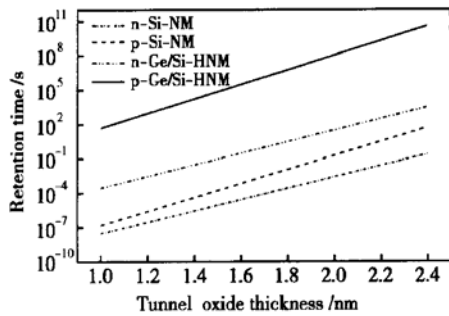


图 4 n 沟道和 p 沟道硅纳米结构存储器(分别简称为 n-Si-NM 和 p-Si-NM)以及 n 沟道和 p 沟道锗/硅异质纳米结构存储器(分别简称为 n-Ge/Si-HNM 和 p-Ge/Si-HNM)的保留时间的比较

Fig. 4 Retention times of n-Si-NM, p-Si-NM, n-Ge/Si-HNM and p-Ge/Si-HNM

垒和较高价带带边使得 p 沟道锗/硅异质纳米结构存储器具有突出的优点. 当隧穿氧化层厚度 $T_{ox} = 2\text{nm}$ 及硅和锗纳米晶粒的高度 $D_{Si} = D_{Ge} = 5\text{nm}$ 时, 器件的保留时间可达十年($\sim 10^8\text{s}$). 因此, p 沟道锗/硅异质纳米结构存储器同时具有快速编程和长久存储的优点, 有望成为将来的非易失性存储器结构单

元.

4 存储器简单逻辑阵列的设计原理

前面已经讨论了 p 沟道锗/硅异质纳米结构存储器的存储特性. 本节以 2×2 逻辑阵列为例, 说明此类存储器简单逻辑阵列的设计原理. 存储器单元的编程条件是控制栅极加 -3V 电压, 源漏和 n 阱加 0V 电压. 在这样的偏压下, 编程速度可达 μs 量级, 该单元有一个较低的阈值电压(如图 2(b) 所示). 在栅极加 0V 电压, 而源漏和 n 阱加 -3V 电压时, 通过直接隧穿可对锗/硅异质纳米晶粒实施擦去操作. 擦去过程的特征时间在 ms 量级, 同时该单元获得一个较高的阈值电压(如图 2(d) 所示). 读出存储器单元逻辑状态的过程称为“读操作”, 这个过程是通过在控制栅极上加一个固定电压同时测量单元的漏电流而实现的. 假如该单元处于逻辑“1”状态, 源漏之间应该是导通的, 可观察到一个较大的电流; 反之, 假如该单元处于逻辑“0”状态, 源漏之间应该是不导通的, 观察到的是一个较小的电流. 上述操作集中在表 1 中给出.

表 1 存储器单元的偏压条件

Table 1 Gate biases of the memory cell

	编程操作	擦去操作	读操作
字线	- 3	0	0
位线	0	- 3	$V_{dd} - 1.0$
源线	0	- 3	V_{dd}
n 阱	0	- 3	V_{dd}

图 5 所示的是一个 2×2 逻辑阵列. 为了能利用直接隧穿来写擦每一个单元, 源线、位线和 n 阱皆垂直于字线并且相互绝缘. 在编程操作中, 被选中的单元的偏压条件仿照表 1, 同时未被选中的单元所在的字线、位线、源线和 n 阱上的偏压分别为 $0, 0, 0$ 和 -3V . 编程后的单元具有低的阈值电压, 而其他单元具有高的阈值电压. 从前面的讨论中可知, 擦去过程要长于编程过程. 为了优化单元操作, 我们可对阵列实行预编程方法. 在对逻辑块实施擦去操作后, 只有与选中的字线和 n 阱相连的单元才能被编程. 读操作与现在的非易失性存储器一样. 所选中的单元的偏压如表 1 所示, 而未被选中的单元的字线、位线、源线和 n 阱的电压均为 V_{dd} , 通过漏极电流即可读出所选单元的逻辑状态.

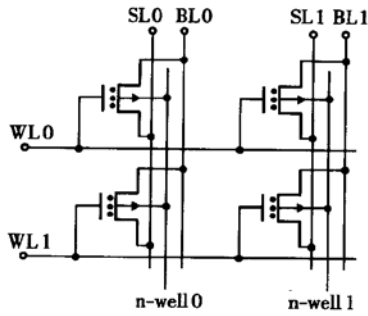


图5 用 p 沟道锗/硅异质纳米结构存储器单元构成的 2×2 逻辑阵列来演示其逻辑操作的过程

Fig. 5 A schematic diagram of a 2-by-2 array consisting of p-channel Ge/Si hetero-nanocrystal based MOSFET memories is depicted to illustrate the cell operation

5 结论

由于台阶状隧穿势垒和较高价带带边的作用,与传统的硅纳米结构存储器和 n 沟道锗/硅异质纳米结构存储器相比, p 沟道锗/硅异质纳米结构存储器具有优异的存储特性. 浮置的锗/硅纳米晶粒的荷电状态决定着器件的逻辑状态. 当隧穿氧化层厚度 $T_{ox} = 2\text{nm}$ 及硅和锗纳米晶粒的高度 $D_{Si} = D_{Ge} = 5\text{nm}$ 时, 器件的保留时间可达十年 ($\sim 10^8\text{s}$), 而在控制栅极电压 $V_g = \pm 3\text{V}$ 的情况下, 擦去和编程时间分别为 ms 和 μs 量级. 这种器件可以作为在室温下工作的性能优异的非易失性存储器单元.

参考文献

- [1] Tiwari S, Rana F, Chan K, et al. Volatile and nonvolatile memories in silicon with nano-crystal storage. In: IEEE Int Electron Devices Meeting Tech Dig, 1995: 521
- [2] Pan Liyang, Zhu Jun, Liu Zhihong, et al. Novel flash memory using band-to-band tunneling induced hot electron injection to program. Chinese Journal of Semiconductors, 2002, 23(7): 690
- [3] Guo L, Leobandung E, Chou S Y. A room-temperature silicon single-electron metal-semiconductor memory with nanoscale floating-gate and ultranarrow channel. Appl Phys Lett, 1997, 70(2): 850
- [4] Ou Wen, Li Ming, Qian He. A novel non-planar cell structure for flash memory. Chinese Journal of Semiconductors, 2002, 23(11): 1158
- [5] Shi Y, Saito K, Ishikuro H, et al. Effects of traps on charge storage characteristics in metal-oxide-semiconductor memory structures based on silicon nanocrystals. J Appl Phys, 1998, 84(8): 2358
- [6] King Y C, King T J, Hu C. Charge-trap memory device fabricated by oxidation of $\text{Si}_{1-x}\text{Ge}_x$. IEEE Trans Electron Devices, 2001, 48(4): 696
- [7] Han K, Kim I, Shin H. Programming characteristics of p-channel Si nano-crystal memory. IEEE Electron Device Lett, 2000, 21(6): 313
- [8] Ohba R, Sugiyama N, Uchida K, et al. Nonvolatile Si quantum memory with self-aligned doubly-stacked dots. IEEE Trans Electron Devices, 2002, 49(8): 1392
- [9] Yang H G, Shi Y, Bu H M, et al. Simulation of electron storage in Ge/Si hetero-nanocrystal memory. Solid-State Electron, 2001, 45(5): 767
- [10] Hanafi H I, Tiwari S, Khan I. Fast and long retention-time nano-crystal memory. IEEE Trans Electron Devices, 1996, 43(9): 1553
- [11] Shi Y, Ma T P, Prasad S, et al. Polarity dependent gate tunneling currents in dual-gate CMOSFET's. IEEE Trans Electron Devices, 1998, 45(11): 2355
- [12] Sun Lei, Du Gang, Liu Xiaoyan, et al. Direct tunneling effect in metal-semiconductor contacts simulated with Monte Carlo method. Chinese Journal of Semiconductors, 2001, 22(11): 1364
- [13] Hou Yongtian, Li Mingfu, Jin Ying. Direct tunneling currents through gate dielectrics in deep submicron MOSFETs. Chinese Journal of Semiconductors, 2002, 23(5): 449
- [14] Mendez E E, Wang W I, Ricco B, et al. Resonant tunneling of holes in AlAs-GaAs-AlAs heterostructures. Appl Phys Lett, 1985, 47(8): 415
- [15] Xia J B. Theory of hole resonant tunneling in quantum-well structures. Phys Rev B, 1988, 38(10): 8365
- [16] Hou Y T, Li M F, Lai W H, et al. Modeling and characterization of direct tunneling hole current through ultrathin gate in p-metal-oxide-semiconductor field-effect transistors. Appl Phys Lett, 2001, 78(6): 4034
- [17] Guo Weihua, Huang Yongzhen. Calculation of valence sub-band structures for strained quantum wells by plane wave expansion method within 6×6 Luttinger-Kohn model. Chinese Journal of Semiconductors, 2002, 23(6): 577
- [18] Bardeen J. Tunneling from a many-particle point of view. Phys Rev Lett, 1961, 6(1): 57
- [19] Pnyne M C. Transfer hamiltonian description of resonant tunneling. J Phys C, Solid State Phys, 1986, 19: 1145
- [20] Luryi S. Frequency limit of double-barrier resonant tunneling oscillators. Appl Phys Lett, 1985, 47(9): 490

p-Channel Ge/Si Hetero-Nanocrystal Based MOSFET Memory and Its Logic Array*

Yang Hongguan, Shi Yi, Lü Jin, Pu Lin, Shen Bo, Zhang Rong and Zheng Youdou

(National Laboratory of Solid State Microstructures, Department of Physics, Nanjing University, Nanjing 210093, China)

Abstract: Basing on Bardeen's transfer Hamiltonian formalism, the charge storage characteristics of p-channel Ge/Si hetero-nanocrystal based MOSFET memory is simulated. Owing to the advantages of a compound potential well and a higher offset in the valence band, this kind of memory can possess the advantages of both high-speed programming and long retention simultaneously, and thus it has the well storage characteristics. Furthermore, a 2×2 logical array is used to illustrate the principle of logical. Therefore, this kind of device, as an excellent nonvolatile memory operating at room temperature, is desired for the applications in the future VLSI.

Key words: Ge/Si; hetero-nanocrystal; memory; hole tunneling; simulation

PACC: 7335C; 7360N; 7320D

Article ID: 0253-4177(2004)02-0179-06

* Project supported by Special Funds for Major State Basic Research Project (No. G001CB309) and National Natural Science Foundation of China (Nos. 90101021 and 60236010)

Yang Hongguan male, was born in 1968, PhD candidate. His research interests include the physics and devices about Si-based nanocrystal structures.

Shi Yi male, was born in 1962, professor. His research interests include the physics, materials, and devices about semiconductor nanocrystal structures.

Received 18 March 2003, revised manuscript received 6 June 2003

©2004 The Chinese Institute of Electronics