

一种 CMOS 折叠结构 ADC 中的失调抵消技术*

李志刚 石 寅

(中国科学院半导体研究所, 北京 100083)

摘要: CMOS 折叠预放电路的失调是限制 CMOS 折叠结构 A/D 转换器实现高分辨率应用的主要原因之一. 文中提出差分对的动态匹配技术改善了折叠预放电路的失调, 从而为研制 CMOS 工艺中的高分辨率折叠结构 A/D 转换器提供了一种可行方案, 并给出了 MATLAB 和电路仿真的实验结果.

关键词: A/D 转换器; CMOS 模拟集成电路; 折叠插值; 失调; 动态匹配

EEACC: 1290B

中图分类号: TN 79⁺ 2

文献标识码: A

文章编号: 0253-4177(2004)02-0206-08

1 引言

高性能数字信号处理在各领域的广泛应用, 极大地促进了高速、高分辨率 A/D、D/A 转换器(以下简称 ADC、DAC)的发展. 在目前 ADC 的结构中, 采用较多的是两步或多步流水方式^[1-4]. 但这些方式需置备多个宽带、高增益的运放和高匹配精度的器件, 设计制作有一定难度, 同时芯片面积和功耗的开销亦较大, 不利于 SOC 系统集成.

折叠插值结构 ADC 的转换速度可与全并行方式相媲美, 且元器件数远少于全并行结构. 它已成功地应用于双极和 BiCMOS 工艺, 转换位数 8~12 位^[5,6]. 而它的 CMOS 工艺实现则局限在高速低位应用, 分辨率一般不超过 8 位^[7-12]. CMOS 差分对的失调, 特别是折叠放大器预放的失调是主要症结所在^[10,11,13]. 针对预放失调问题, 文献[11]采用自动调零技术(auto-zero technique); 文献[10,14]提出平均技术(averaging technique); 文献[13]采用背景失调调整(background offset trimming)技术. 自动调零技术是将预放输入短接, 用电容储存输出的失调电压. 当预放输入信号时, 电容上储存的失调电压与预放的失调电压相抵消. 但由于集成工艺制作的

开关存在泄漏电流导致电容放电, 自动调零必须隔段时间进行一次, 时钟花销大, 不利于高速转换; 另外, 每个预放都要有辅助放大器用于将存储电容与信号通路隔离, 增加了系统功耗. 背景失调调整技术是采用过采样 delta-sigma 调制器和校准 DAC 来测量并调整折叠信号的过零点. 但电路实现复杂, 面积和功耗很大. 平均技术是目前应用较多的解决预放失调的技术. 它是将相邻的预放输出通过电阻相连, 若有 N 个预放的线性范围重叠且假定失调不相关, 则输出信号的过零点精度将提高 \sqrt{N} 倍. 只有预放电路数目 N 很大时, 平均技术对预放失调抑制的效果才明显. 另外, 它有负面影响, 如平均电阻减小了折叠增益.

本文提出的动态匹配技术, 可以有效地抑制预放电路的失调, 确保了折叠结构 ADC 的线性精度(不超过 $\pm 1/2\text{LSB}$), 特别是在高分辨率转换时同样能保证线性精度的要求. 实施中, 电路结构相对简单, 继承了折叠插值方式结构紧凑的优势. 尤为重要的是, 它适于标准数字 CMOS 工艺制作. 显然, 这十分符合 SOC 系统集成芯片的发展需要.

本文结合一个 8bit 折叠插值结构 ADC 实例, 分析了制约线性精度的各种误差因素, 指出折叠预放电路失调是主要误差源之一, 并制约了折叠结构

* 国家高技术研究发展计划资助项目(编号: 2002AA1Z1200)

李志刚 男, 1975 年出生, 博士研究生, 从事数模混合电路方面的研究.

石 寅 男, 研究员, 博士生导师, 现从事高速数模混合电路方面的研究.

2003-02-17 收到, 2003-06-26 定稿

在高分辨率转换上应用, 在此基础上提出动态匹配技术来解决折叠预放电路失调问题, 并分析了动态匹配技术对折叠结构 ADC 精度和速度的影响; 最后, 给出了用 MATLAB 预仿真和电路仿真 (HSPICE) 的实验结果.

2 折叠结构 ADC 的精度分析

一般来说, N 位转换的折叠结构 ADC 存在如下关系式: $FIS = 2^N$, 其中 F, I, S 分别为折叠率、插值率和 offset folder 的数目. 分辨率 N 提高时, 上述三者呈指数增长, 导致电路规模急剧增加. 较大的折叠率 F 还会引起输入信号带宽受限. 为此, 级联折叠及流水方式较多地应用于高分辨率折叠结构 ADC 中^[15], 如图 1 所示. 模拟输入信号 V_{in} 经过跟踪

保持电路 T/H₀ 保持, 与参考电压信号一起接入模拟预处理电路. 其中的模拟预处理电路分为三级: 第一级折叠电路完成 3 倍折叠; 第二级同时进行 2 倍电流插值和 5 倍折叠; 第三级完成 5 倍插值, 最后得到 20 个差分折叠信号, 驱动精量化比较器阵列. 各级之间由级间分布式跟踪保持电路 T/H 来缓解高转换速度对折叠电路带宽的要求. 第一级量化器只是单个比较器, 分别接入输入保持信号和参考电压信号, 得到的 1 位数字作为第二级量化器奇偶编码的指示信号; 第二级量化器接入第一级折叠电路产生的 5 对差分折叠信号, 5 个比较器的输出编码得到粗量化码, 并提供精量化比较器输出编码的奇偶指示信号. 粗量化码与精量化码通过数字校正得到最后的 8 位数字输出码. 整个转换电路只需 30 个折叠预放电路和 26 个比较器.

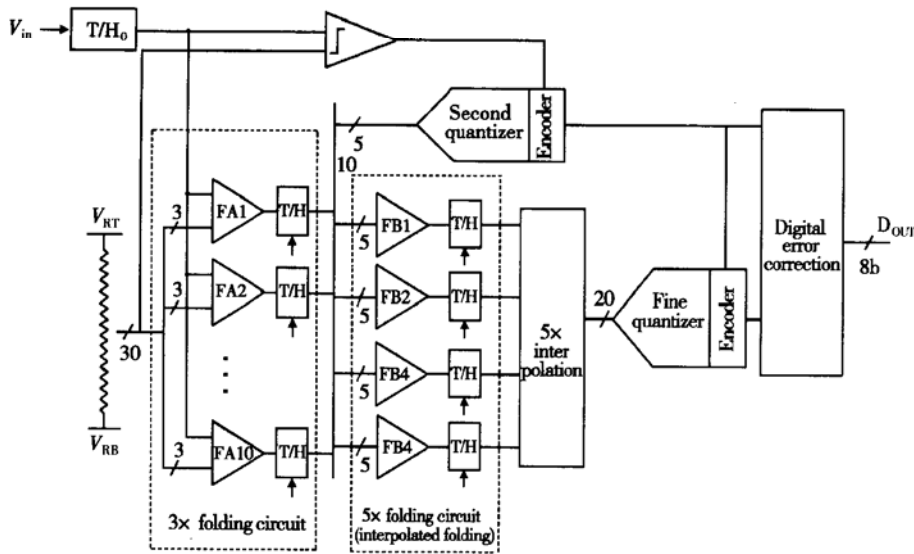


图 1 8bit 折叠插值结构 ADC

Fig. 1 8bit folding and interpolation ADC

对上述折叠结构 ADC 进行精度分析, 可以发现存在如下误差源: (1) 参考电压的非线性, 包括参考电压电阻串本身的匹配精度以及负载效应. 负载效应可采用并联网络^[16]进行有效抑制, 而电阻的匹配精度与电阻的制作面积有关, CMOS 工艺多晶电阻在无修正时可达 10 位精度^[17]. (2) 折叠预放的失调: 一个电阻负载差分对的输入失调^[18]为

$$V_{os} = \Delta V_{TH} + \frac{V_{GS} - V_{TH}}{2} \left[\frac{\Delta\beta}{\beta} - \frac{\Delta R}{R} \right] \quad (1)$$

式中 $\Delta V_{TH}, \Delta\beta/\beta, \Delta R/R$ 分别表示阈值电压失配, 电流因子失配和负载电阻失配, 均与管子的面积成反比. 一般通过增大管子尺寸来减小失调. (3) 插值误差, 由折叠信号的非线性、共模电平和折叠增益失配引起. 通过提高管子的有效栅源电压 V_{gs} 扩展折叠信号的线性范围, 采用交叉耦合有源负载确保共模电压的满量程变化不超过 $1/2LSB$, 而由于折叠增益失配 α 导致积分非线性误差 (以下简称 INL) 的最大值 $INL_{max} = \alpha M/4[LSB]$, 当插值率 $M = 10$ 时, 折叠增益需保持 20% 的匹配即可满足 $1/2LSB$ 的精度

要求。(4) 折叠电路尾电流源的失配, 导致 $INL = \frac{\Delta I}{I} \times \frac{L}{2}$ [LSB], 其中 $\Delta I/I$ 为电流源的失配, L 为第一级折叠电路个数与总插值率的乘积, 图 1 所示的折叠结构的 $M = 100$, $\Delta I/I$ 小于 1% 即可满足 1/2LSB 的精度要求。(5) 级间跟踪保持电路引入的误差, 主要有开关沟道电荷注入、时钟馈通及开关的匹配误差。由于折叠结构只关注过零点附近的信号且折叠信号的共模电压水平同一性设计, 有效地抑制了开关沟道电荷注入引起的非线性误差, 时钟馈通效应可以采用辅助开关抵消, 开关失配引入的误差由较大的折叠增益来抑制。(6) 比较器的失调: 两级折叠增益 A_1, A_2 有效地缓解了精量化比较器的精度要求, 精量化比较器的失调 $V_{os, comp} \leq A_1 A_2 \times 1/2LSB$, 而第一、二级量化器中的比较器由数字校正技术来确保精度要求。(7) 跟踪保持器 T/H₀ 的精度: 由于图 1 所示的折叠结构 ADC 采用前端单一的跟踪保持电路形式, 有效缓解了模拟预处理电路精度与速度之间的矛盾, 但整个转换器的速度和动态性能主要由该跟踪保持电路来决定。CMOS 工艺跟踪保持电路的研究已经成熟, 并且可实现 10 位 50MSample/s ADC 的要求^[19], 本文基于这一点讨论折叠结构在实现 8~10 位 ADC 时其它误差源对精度的影响。

在上述误差源中, 折叠预放的失调直接反映在 ADC 的传输特性上, 是一个主要误差源。为了达到 N 位转换的要求, 折叠预放的失调

$$V_{os} \leq V_{FS}/2^N \quad (2)$$

其中 V_{FS} 为满量程范围。而 (1) 式中主要成分 ΔV_{TH} 的标准偏差^[18]

$$\sigma_{VT} = A_{VT}/\sqrt{WL} \quad (3)$$

因此, 预放失调的标准偏差可近似为

$$\sigma_{V_{os}} \cong A_{TH}/\sqrt{WL} \quad (4)$$

若 $V_{FS} = 2V$, $A_{VT} = 8 \sim 10mV \cdot \mu m$ ($0.25\mu m$ CMOS 工艺)^[20], 实现 8 位转换时, $WL \geq 15\mu m^2$; 而实现 10 位转换时, $WL \gg 225\mu m^2$ 。但如此大尺寸的管子不仅增加了电路面积, 而且加重了前端跟踪保持电路的负载电容, 不利于高速转换。文献[10]采用平均技术来抑制失调, 但平均技术要依赖于预放较大的线性范围, 即差分管的有效栅源电压 V_{gt} 较大。由 MOS 管的电流平方律公式可推导出有效栅源电压 $V_{gt} =$

$\sqrt{2IL^2/K(WL)}$, 而折叠增益要求最小尺寸设计(即长度 L 取最小值), 大尺寸管为了保证一定的有效栅源电压, 势必要提高电流, 增加了电路功耗。在 CMOS 工艺折叠结构 ADC 中, 折叠预放失调已经成为实现高分辨率转换的主要限制因素^[13]。在平均技术、背景失调调整及自动调零等技术解决折叠预放失调不是很有效的情况下, 本文提出了动态匹配技术, 将折叠预放的失调移到折叠电路之后来解决, 应用于图 1 所示的折叠结构 ADC 时只增加了开关和相应的时钟。在精度方面, 由该技术引入的其他电路非线性误差可由折叠增益来抑制; 在速度方面, 增加的时钟虽然减慢了折叠电路的速度, 但由于预放电路可采用小面积差分管设计, 减小了折叠电路的输入电容, 减轻了前端跟踪保持器的负载, 有利于提高跟踪保持器的速度。如前所述, 前端跟踪保持器是整个转换速度的主要制约因素。在实现高分辨率转换时, 动态匹配技术对跟踪保持器速度性能的改善效果会更加明显。

3 动态匹配技术

折叠预放是一个源极耦合差分对, 如图 2(a) 所示。由于差分管对的阈值电压、尺寸等不匹配, 差分对在零差分输入时差分输出不为零, 等效于在输入端一侧串接了一个电压源, 其极性和大小都是随机的, 如图 2(b) 所示。该失调电压导致差分输出的过零点 V_{zero} 偏离了理想位置 V_{ref} , 如图 2(c) 所示, 并存在如下关系式: $V_{ref} - V_{zero} = V_{os}$, 其中 V_{os} 为等效输入失调电压。由于 V_{os} 处于输入端, 直接导致折叠结构 ADC 的非线性误差。

图 3(a) 为采用动态匹配技术(以下简称 DEM) 的差分对。结合前端的跟踪保持电路, 在输入信号保持期间, 通过开关 S_0, S_1 的选通, 输入保持信号和参考电压信号分别驱动差分对的两个输入端, 差分对的一个单端作为输出信号, 并用开关 S_0, S_1 选通后续的两路跟踪保持电路; 两路输出保持信号作为差分输出信号, 图 3(c) 为其传输特性曲线。在差分对输入失调不超出其活动区(active range) 范围时, 输出信号的过零点 V_{zero} 与理想位置 V_{ref} 重合。这表明采用动态匹配技术消除了预放失调带来的过零点精度误差。

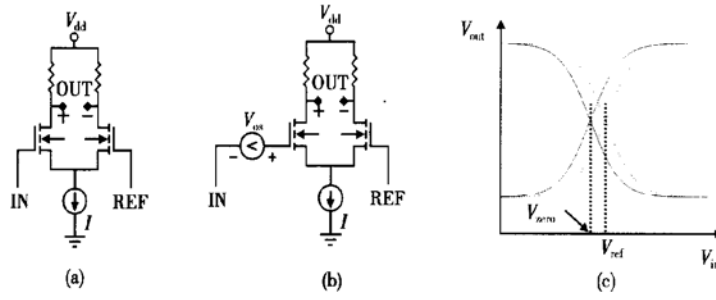


图 2 差分对

Fig. 2 A differential pair

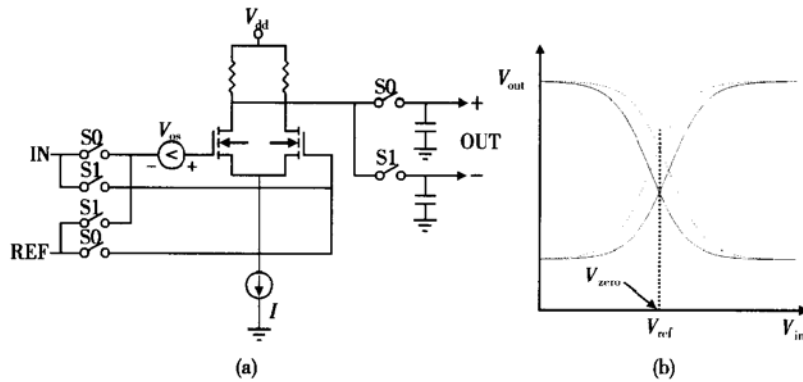


图 3 采用动态匹配的差分对

Fig. 3 A differential pair with DEM

差分对采用动态匹配技术, 引入了若干个开关和电容, 势必会引入新的误差源, 影响差分对的速度. 如图 3 所示, 动态匹配技术在差分对输入端引入 4 个开关, 输出端引入两路跟踪保持电路. 输入端开关动作时, 必然是一个开关导通, 另一个开关截止, 开关的沟道电荷注入和时钟馈通相互补偿, 其中时钟馈通引入的误差为:

$$\Delta V_{ck} = V_{CK} \frac{W_1 C_{ov1}}{W_1 C_{ov1} + C_{in}} - V_{CK} \frac{W_2 C_{ov2}}{W_2 C_{ov2} + C_{in}} \quad (5)$$

其中 C_{in} 为差分栅端对地电容; $W_1, W_2, C_{ov1}, C_{ov2}$ 分别为两个开关管(一导通, 一截止)宽度和重叠电容, 匹配设计保证 $W_1 = W_2, C_{ov1} = C_{ov2}$, 使得 $\Delta V_{ck} = 0$. 沟道电荷注入引入误差

$$\Delta V_q = \frac{W_1 L_1 C_{ox1}}{2C_{in}} (V_{DD} - V_{in} - V_{TH1}) - \frac{W_2 L_2 C_{ox2}}{2C_{in}} (V_{DD} - V_{ref} - V_{TH2}) \quad (6)$$

匹配设计保证 $W_1 = W_2 = W, L_1 = L_2 = L, C_{ox1} = C_{ox2} = C_{ox}, V_{T0,1} = V_{T0,2} = V_{T0}$ (零偏阈值电压), 而 $V_{TH} =$

$V_{T0} + \gamma(\sqrt{2\phi_B + V_{SB}} - \sqrt{2\phi_B})$, 则(6)式简化为

$$\Delta V_q = \frac{W L C_{ox}}{2C_{in}} [V_{ref} - V_{in} - \gamma(\sqrt{2\phi_B + V_{ref}} - \sqrt{2\phi_B + V_{in}})] \quad (7)$$

差分对只关注过零点附近的信号, 因此考察的 $V_{ref} - V_{in}$ 范围很小, ΔV_q 也很小, 电路模拟表明 ΔV_q 远小于 $1/2LSB$. 动态匹配技术使得差分管可采用小面积设计, 因此其输入电容 C_{in} 很小, 与开关的导通电阻 R_{on} 构成的时间常数

$$\tau = R_{on} C_{in} = \frac{C_{in}}{\mu_n C_{ox} (W/L) (V_{DD} - V_{in} - V_{TH})} \quad (8)$$

差分对输出端的跟踪保持电路同样面临时钟馈通、沟道电荷注入等问题, 同样是一个开关导通同时另一个开关截止. 其时钟馈通误差为:

$$\Delta V'_{ck} = V_{CK} \frac{W_3 C_{ov3}}{W_3 C_{ov3} + C_H} - V_{CK} \frac{W_4 C_{ov4}}{W_4 C_{ov4} + C_H} \quad (9)$$

其中 C_H 为保持电容. 匹配设计 $W_3 = W_4, C_{ov3} = C_{ov4}$ 保证 $\Delta V'_{ck} = 0$. 沟道电荷注入误差

$$\Delta V'_{q1} = \frac{W_3 L_3 C_{ox3}}{2C_H} (V_{DD} - V_{out1} - V_{TH1}) - \frac{W_4 L_4 C_{ox4}}{2C_H} (V_{DD} - V_{out2} - V_{TH2}) \quad (10)$$

匹配设计 $W_3 = W_4 = W'$, $L_3 = L_4 = L'$, $C_{ox3} = C_{ox4} = C'_{ox}$ 使得

$$\Delta V'_{q1} = \frac{W' L' C'_{ox}}{2C_H} [V_{out1} - V_{out2} - \gamma(\sqrt{2\phi_B + V_{out1}} - \sqrt{2\phi_B + V_{out2}})] \quad (11)$$

设差分对增益为 A , 则沟道电荷注入的等效输入误差

$$\Delta V'_{q,in} = \frac{W' L' C'_{ox}}{2A C_H} [V_{out1} - V_{out2} - \gamma(\sqrt{2\phi_B + V_{out1}} - \sqrt{2\phi_B + V_{out2}})] \quad (12)$$

同样只考察小范围的 $V_{out1} - V_{out2}$. 同时增益 A 的抑制作用使得沟道电荷注入误差小于 $1/2LSB$. 保持电容 C_H 与开关导通电阻 r'_{on} 以及差分对的输出导抗 g_{ds} , 输出电容 C_o 构成如图 4 所示的小信号模型, 其传输函数

$$\frac{v_{out}(s)}{v_{in}(s)} = \frac{g_m/g_{ds}}{r'_{on}r_{ds}C_o C_H s^2 + (r'_{on}C_H + r_{ds}C_o + r_{ds}C_H)s + 1} \quad (13)$$

其中 $r_{ds} = 1/g_{ds}$. 简化(13)式, 并考虑 $C_H \gg C_o, r_{ds} \gg r'_{on}$, 得到主极点

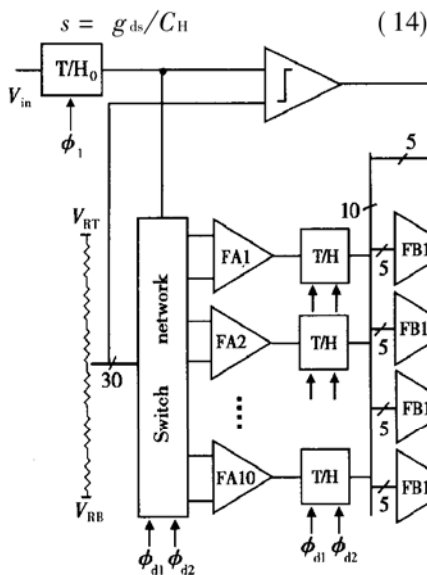


图 5 动态匹配技术折叠结构 ADC
Fig. 5 Folding ADC with DEM

时间常数

$$\tau_2 = C_H/g_{ds} \quad (15)$$

大信号分析时, 考虑差分对输出的转换率

$$SR = I/C_H \quad (16)$$

由(15)、(16)式可以看到差分对输出端由于保持电容 C_H 的作用, 速度受到一定的限制. 在保证 $\Delta V'_{q,in} \leq 1/2LSB$ 的前提下, 可减小 C_H 值, 提高速度. 此外, 保持电容的泄漏作用会导致保持电压产生误差, 但差分对输出端的两路跟踪保持电路高速周期性的工作可有效地抑制这种误差.

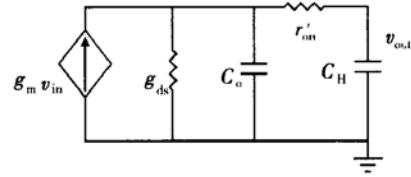


图 4 动态匹配差分对的小信号模型
Fig. 4 Small-signal model for differential pair with DEM

4 动态匹配技术在折叠结构 ADC 中的应用

采用动态匹配技术来改进折叠预放电路, 将预放失调移到折叠电路之后来修正, 不仅消除了预放失调, 而且随动态匹配技术而来的附加误差源可由折叠增益来有效抑制. 图 5 是图 1 所示的折叠结构 ADC 根据动态匹配技术改进的结构图. 改动之处如

下: 折叠预放电路前加入开关网络; 后续的跟踪保持电路可直接利用第一级折叠电路后原有的级间跟踪保持电路, 原来接在两个对应的差分输出端的跟踪保持电路改接在同一输出端上. 工作原理是: 在前端跟踪保持器保持信号期间, 通过开关网络选通使得折叠预放输入对调, 第一级跟踪保持电路采样对调前后的折叠信号, 得到对预放失调进行动态匹配校正的差分折叠信号. 后续电路的工作保持不变.

动态匹配技术应用于折叠结构 ADC 中, 对预放失调进行校正, 并且校正可以在折叠电路之后进行, 如此可以利用折叠电路的折叠增益来抑制动态匹配技术引入的新误差源的影响. 由此, 动态匹配技术可以视作一种对折叠结构预放电路失调进行补偿的模拟校正技术.

为了验证动态匹配技术的有效性, 本文采用 MATLAB 软件对图 5 所示的 8 位动态匹配折叠结构 ADC 进行了设计和仿真, 然后用 $0.6\mu\text{m}$ CMOS 工艺设计了具体电路并进行电路模拟; 旨在对比, 对图 1 所示的折叠结构 ADC 也进行了系统仿真和电路模拟, 并与动态匹配折叠结构进行精度性能对比.

5 仿真结果与讨论

本文采用 MATLAB 的 Simulink 分别对图 1 所示的 8 位折叠结构 ADC 和图 5 所示的动态匹配折叠结构 ADC 进行了系统设计和仿真. 其中, 折叠预放的模型为

$$i_{D1} = \frac{I_{ss}}{2} + \frac{I_{ss}}{2} \left[\frac{\beta v_{ID}}{I_{ss}} - \frac{\beta^2 v_{ID}^4}{4I_{ss}^2} \right] \quad (17)$$

$$i_{D2} = \frac{I_{ss}}{2} - \frac{I_{ss}}{2} \left[\frac{\beta v_{ID}}{I_{ss}} - \frac{\beta^2 v_{ID}^4}{4I_{ss}^2} \right] \quad (18)$$

其中 i_{D1}, i_{D2} 为预放的差分输出电流; I_{ss} 为预放的尾电流; β 为输入晶体管的跨导参数; v_{ID} 为输入差分电压. 两个 ADC 的预放电路中均引入了随机失调电压, 其范围为 $-30\sim 30\text{mV}$. 转换器的精度特性如图 6 所示. 图 1 折叠结构 ADC 的 DNL 为 $-0.38\sim 0.93\text{LSB}$, INL 为 $-1.12\sim 1.96\text{LSB}$, 而图 5 动态匹配折叠结构 ADC 的 DNL 为 $-0.015\sim 0.015\text{LSB}$, INL 为 $-0.055\sim 0.053\text{LSB}$. 采用 $0.6\mu\text{m}$ CMOS 工艺模型参数设计了两个 ADC 的具体电路, 用 HSPICE 进行模拟验证. 图 7 为其中一组折叠信号,

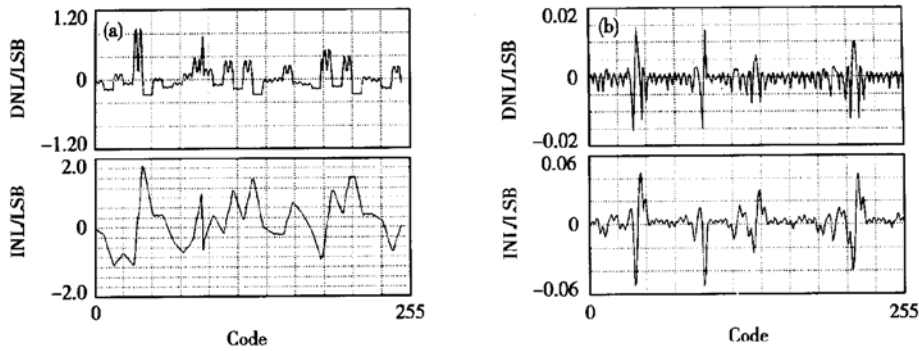


图 6 折叠插值 ADC 的精度性能 (a) 图 1 折叠结构; (b) 图 5 折叠结构

Fig. 6 Simulated DNL and INL

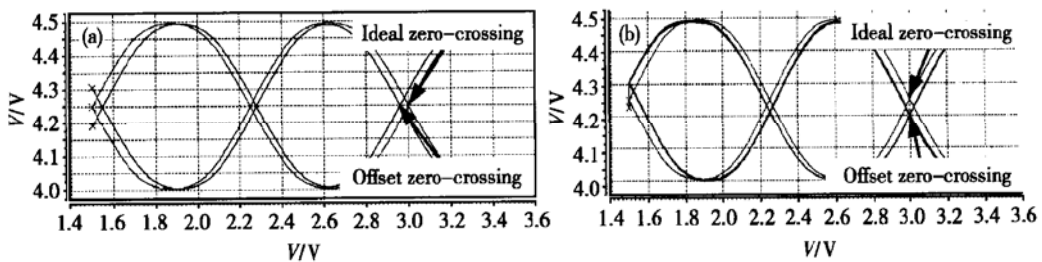


图 7 折叠信号 (a) 图 1 折叠结构; (b) 图 5 折叠结构

Fig. 7 Folding signal

对比精度性能,表明了动态匹配解决预放失调的有效性,为 8~10 位分辨率转换的折叠结构 ADC 设计提供了可行方案.高于 10 位分辨率的转换,参考电压电阻串匹配精度以及前端跟踪保持器的精度将起主要的制约作用.

动态匹配折叠结构 ADC 引入了新的时钟 ϕ_1 、 ϕ_2 来控制图 5 中的开关网络和第一级跟踪保持电路,如图 8 所示,其时钟周期与前端跟踪保持器时钟周期大小相同,但其时钟为高的时间 t_1 为前端跟踪

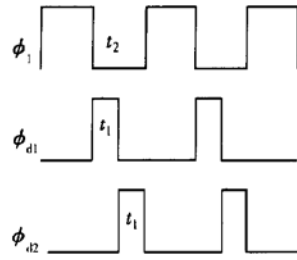


图 8 时序图

Fig. 8 Timing diagram

保持器时钟为低的时间(即保持时间 t_2)的一半.前端跟踪保持器的保持时间 t_2 受该电路保持模式时间常数 τ_h 的限制:

$$\tau_h = \frac{C_L C_{in} + C_{in} C_h + C_h C_L}{G_m C_h} \quad (19)$$

其中 G_m 、 C_{in} 分别为前端跟踪保持器中运放的跨导^[21]、输入电容; C_h 、 C_L 为前端跟踪保持器的保持电容、负载电容;而时间 t_1 受到差分对电路转换率 SR 及保持电容充放电常数 τ_c 的限制. (15)、(16) 式表明,SR 与 $1/\tau_c$ 均与级间跟踪保持电路保持电容 C_H 的数值呈反比,另外保持电容 C_H 数值必须保证跟踪保持电路的误差(可由(12)式来估算)小于 $1/2\text{LSB}$,则时间常数 τ_c 满足

$$\tau_c > \frac{W'L'C'_{ox}\Delta V}{A\text{LSB}g_{ds}} \quad (20)$$

其中 $\Delta V = V_{out1} - V_{out2} - \gamma(\sqrt{2\phi_B + V_{out1}} - \sqrt{2\phi_B + V_{out2}})$.

根据上述讨论,ADC 的转换速率设计根据 $2\tau_c$ 与 τ_h 两者中较大值设计.尽管动态匹配技术对转换速度引入了 τ_c 的影响,但其减小了前端跟踪保持器的负载电容 C_L ,减小了时间常数 τ_h .特别是在高分辨率转换导致预放差分管尺寸设计较大以适应匹配要求时,这对 τ_h 改善的效果越明显.基于上述讨论进行了电路设计,电路模拟结果表明本文设计的动

态匹配折叠结构 ADC 可工作在 50MSample/s 的转换速度下.

6 结论

本文首次采用动态匹配技术解决折叠预放失调效应,提出了一种新型的折叠插值结构,理论分析与实验验证结果表明,这种方式在电路复杂程度增加不大的情况下,突破了已有 CMOS 工艺制作折叠结构 ADC 实现 8 位以上分辨率转换的限制,为研制 CMOS 工艺高速高分辨率 ADC 提供了一个新的思路.

参考文献

- [1] Pan Hui, Segami M, Choi M, et al. A 3.3-V 12-b 50-MS/s A/D converter in 0.6- μm CMOS with over 80-dB SFDR. IEEE J Solid-State Circuits, 2000, 35(12): 1769
- [2] Analog Devices, AD6640 Data Sheet, 1998
- [3] Mehr I, Singer L. A 55-mW, 10-bit, 40-Msample/s Nyquist-rate CMOS ADC. IEEE J Solid-State Circuits, 2000, 35(3): 318
- [4] Analog Devices, AD9224 Data Sheet, 1999
- [5] Van de Grift R E J, Rutten I W J M, Van der Veen M. An 8-bit video ADC incorporating folding and interpolation techniques. IEEE J Solid-State Circuits, 1987, 22(6): 944
- [6] Vorenkamp P, Roovers R. A 12-b, 60-MSample/s cascaded folding and interpolating ADC. IEEE J Solid-State Circuits, 1997, 32(12): 1876
- [7] Nauta B, Venes A. A 70-MS/s 110-mW 8-b CMOS folding and interpolating A/D converter. IEEE J Solid-State Circuits, 1995, 30(12): 1302
- [8] Flynn M P, Allstot D J. CMOS folding A/D converters with current-mode interpolation. IEEE J Solid-State Circuits, 1996, 31(9): 1248
- [9] Venes A G W, Van de Plassche R J. An 80-MHz, 80-mW, 8-b CMOS folding A/D converter with distributed track-and-hold preprocessing. IEEE J Solid-State Circuits, 1996, 31(12): 1846
- [10] Bult K, Buchwald A. An embedded 240-mW 10-b 50-MS/s CMOS ADC in 1- μm^2 . IEEE J Solid-State Circuits, 1997, 32(12): 1887
- [11] Liu M H, Liu S I. An 8-bit 10 MS/s folding and interpolating ADC using the continuous-time auto-zero technique. IEEE J Solid-State Circuits, 2001, 36(1): 122
- [12] Liu Fei, Ji Lijiu. 150MS/s, 6bit digital CMOS folding A/D converter with current-mode interpolating. Chinese Journal of Semiconductors, 2002, 23(9): 988 (in Chinese) [刘飞, 吉利

- 久. 150MS/s, 6bit CMOS 数字工艺折叠、电流插值 A/D 转换器. 半导体学报, 2002, 23: 988]
- [13] Choe M J, Song B S, Bacrania K. A 13-b 40-MSamples/s CMOS pipelined folding ADC with background offset trimming. IEEE J Solid-State Circuits, 2000, 35(12): 1781
- [14] Kattmann K, Barrow J. A technique for reducing differential nonlinearity errors in flash A/D converters ISSCC Dig Tech Papers, San Francisco, CA, Feb, 1991: 170
- [15] Choe M J, Song B S, Bacrania K. An 8-b 100-MSample/s CMOS pipelined folding ADC. IEEE J Solid-State Circuits, 2001, 36(2): 184
- [16] Wang Ping, Shi Yin. A high precision reference resistor ladder for high-speed A/D converters. Acta Electronica Sinica, 2002, 30(12): 48(in Chinese)[王平, 石寅. 一种用于高速 A/D 转换器的高精度参考电压电阻网络. 电子学报, 2000, 30(12): 48]
- [17] Wittmann R, Schardein W, Hosticka B J, et al. Trimless high precision ratioed resistors in D/A and A/D converters. IEEE J Solid-State Circuits, 1995, 30(8): 935
- [18] Pelgrom M J M, Duinmaijer A C J, Welbers A P G. Matching properties of MOS transistors. IEEE J Solid-State Circuits, 1989, 24(10): 1433
- [19] Yotsuyanagi M, Etoh T, Hirata K. A 10-b 50-MHz pipelined CMOS A/D converter with S/H. IEEE J Solid-State Circuits, 1993, 28(3): 292
- [20] Hertle J. Folding and interpolation A/D converters. Workshop on A/D Converters for Telecommunication, 2001
- [21] Razavi B. Design of analog CMOS integrated circuits. McGraw-Hill Higher Education, 2001: 429

A CMOS Folding ADC with Dynamic Element Matching*

Li Zhigang and Shi Yin

(Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

Abstract: The offset of the preamplifier limits the accuracy of a folding ADC. Dynamic element matching technique is proposed to improve the match property of the folding circuit and break through the barrier of high resolution implementation in CMOS technology. The results of MATLAB and circuit simulation are summarized.

Key words: analog-to-digital converter; CMOS analog integrated circuit; folding and interpolation; offset; dynamic element matching

EEACC: 1290B

Article ID: 0253-4177(2004)02-0206-08

* Project supported by National High Technology Research and Development Program of China (No. 2002AA1Z1200)

Li Zhigang male, was born in 1975, PhD candidate. His research interest includes mixed-mode circuits and systems design.

Shi Yin male, professor. His research interests focus on high speed mixed-mode circuits and systems.

Received 17 February 2003, revised manuscript received 26 June 2003

©2004 The Chinese Institute of Electronics