

多晶硅注氮制备 4.6nm 超薄栅介质*

谭静荣 许晓燕 黄 如 程行之 张 兴

(北京大学微电子学研究所, 北京 100871)

摘要: 为了改善深亚微米 CMOS 器件 p^+ -poly 栅中硼扩散问题, 通过选择合适的注氮能量和剂量, 采用多晶硅栅注氮工艺, 既降低了硼在多晶硅栅电极中的扩散系数, 又在栅介质内引入浓度适宜的氮, 有效地抑制了硼在栅介质内的扩散所引起的平带电压漂移, 改善了 Si/SiO₂ 界面质量, 提高了栅介质和器件的可靠性, 制备出了性能良好的 4.6nm 超薄栅介质。

关键词: 注氮; 应力诱生泄漏电流; 电介质击穿

EEACC: 2560

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2004)02-0227-05

1 引言

对于深亚微米 CMOS 器件, 采用表沟 p^+ -poly/ p MOSFET 的 p^+ -poly 栅中, 硼在常规热 SiO₂ 栅介质中很容易扩散, 继而穿通到硅衬底中。随着栅介质厚度减薄, 硼扩散系数逐渐增大^[3]。多晶硅在注入硼或者 BF₂ 以后的激活退火和其他热处理过程中, 除了激活硼杂质以外, 还会引起硼的瞬间增强扩散, 即热过程中硼的扩散系数远远大于一般情况下的扩散系数。此外, BF₂ 中的 F 以及许多退火气氛中的 H 也会加剧硼扩散^[4]。硼扩散除了会引起平带电压正向漂移、阈值电压不稳定等, 还会使多晶硅耗尽效应增强^[1]。而扩散到 SiO₂ 体内的硼, 松散了 Si—O 结构, 产生了 Si—O 应力键和 Si—B 等弱键和缺陷, 这些弱键和缺陷在 FN 应力下容易被打断, 形成的非桥联氧缺陷起电子俘获陷阱作用, 降低了栅介质的可靠性, 影响器件工作性能。因此, 根据硼扩散特性及其对器件性能的影响, 本文主要采用多晶硅注氮工艺抑制硼扩散, 并观察了该工艺对 4.6nm 超薄栅介质可靠性的影响, 着重分析了硼扩散机制及其影响器件性能的原理。该工艺不仅有效地抑制了硼扩散, 而且在栅介质内引入浓度适宜的氮, 提高了栅介质和器件的可靠性, 即在栅电极方面, 多晶硅内注氮

可以降低硼在栅电极中的扩散系数, 使硼向 SiO₂ 的扩散得到抑制; 在栅介质方面, 栅介质内引入浓度适宜的氮改善了 Si/SiO₂ 界面质量, 同时也能起到抑制硼向硅衬底扩散的作用, 大大提高了栅介质和器件的可靠性。

2 实验

采用 LOCOS 技术在电阻率为 2.7~4Ω·cm 的 n 型(100)硅衬底上制备了 p^+ -poly/SiO₂/n-Si(100) 结构的 MOS 电容样品。栅氧化采用 850℃ 下氮气稀释氧化工艺, 得到的栅介质厚度为 4.6nm。在多晶硅栅内注入 N₂⁺ 离子, 部分样片注入后进行快速退火, 注入能量及剂量条件见表 1。多晶硅掺杂是在注入能量为 40keV, 注入剂量为 $2 \times 10^{15} \text{cm}^{-2}$ 的条件下注入 BF₂⁺, 激活退火条件为 1050℃ 下快速退火 20s。

表 1 多晶硅注入 N₂⁺ 剂量和能量

Table 1 Energy and dose of N₂⁺ implantation into polysilicon

硅片编号	注入 N ₂ ⁺ 能量 /keV	注入 N ₂ ⁺ 剂量 /cm ⁻²	氮注入后是否退火
2#	35	2×10^{15}	是
3#	35	2×10^{15}	否

* 国家重点基础研究发展规划(批准号: G2000036501)和国家自然科学基金(批准号: 90207004)资助项目

续表

硅片编号	注入 N ₂ ⁺ 能量 /keV	注入 N ₂ ⁺ 剂量 /cm ⁻²	氮注入后是否退火
4#	45	2×10 ¹⁵	是
5#	45	2×10 ¹⁵	否
6#	无	无	否

3 结果与分析

通过对样品的 SIMS、高频 $I-V$ 特性、正偏压下的 Q_{bd} 特性分析以及 SILC、TDDB 等的测试,研究了多晶硅注氮在抑制硼扩散以及提高栅介质可靠性方面的作用,并且对相关机理进行了分析.

3.1 样品的 SIMS 测量结果分析

从图 1 中可以看出,4# 样品的硼扩散程度最小,绝大部分硼杂质集中在多晶硅栅电极中;5# 样品硼扩散程度较小;6# 样品硼扩散最严重.硼在多晶硅栅中的浓度大大降低,栅介质中出现了一个硼的浓度峰值,大量的硼穿过 SiO₂ 扩散到硅衬底中.此结果显示多晶硅注氮能够有效地抑制硼扩散.这是因为:一方面,在多晶硅栅电极中,氮的扩散系数大于硼的扩散系数,可以快速占领晶粒粒界和一些缺陷扩散通道,有效地阻挡硼扩散;另一方面,硼在 SiO₂ 中的扩散主要是通过通过与过氧硅键 $\equiv\text{Si}-\text{O}-\text{O}-\text{Si}\equiv$ 结合生成 $\equiv\text{Si}-\text{O}-\text{B}-\text{O}-\text{Si}\equiv$ 键,而氮在 SiO₂ 中的扩散系数大于硼的扩散系数,可以抢先与过氧硅键 $\equiv\text{Si}-\text{O}-\text{O}-\text{Si}\equiv$ 结合生成 $\equiv\text{Si}-\text{O}-\text{N}-\text{O}-\text{Si}\equiv$ 键.多晶硅栅注氮后立即进行退火,可以促进氮的浓度分布向硅衬底方向推进,从而更有效地抑制了硼在多晶硅和 SiO₂ 中扩散.

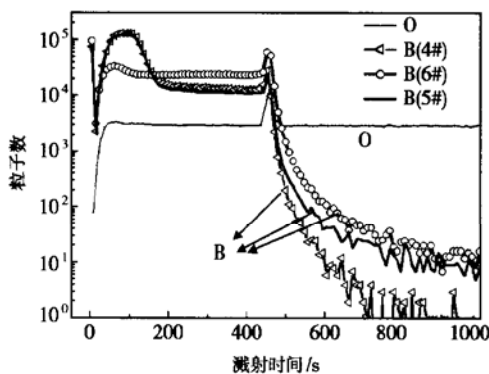


图 1 4#、5# 和 6# 样品的 SIMS 测试图

Fig. 1 SIMS profiles of sample 4#, 5# and 6#

3.2 多晶硅注氮对硼扩散引起的平带电压漂移的抑制

图 2 和图 3 分别是多晶硅注氮 MOS 电容样品与未注氮样品的高频 $C-V$ 曲线.从图中结果可以看出,注氮样品较未注氮样品平带电压漂移量明显减少,说明多晶硅内注氮能提高栅介质抗硼穿通能力.多晶硅注氮后的退火会促使多晶硅内的 H 向 SiO₂ 栅介质扩散,H 同 $\text{O}\equiv\text{Si}^+$ 反应形成 $\text{O}\equiv\text{Si}-\text{H}$,降低了氧化物固定电荷密度,H 同氧空位陷阱反应降低了空穴俘获密度,使得平带电压较不退火的略有增加^[1].

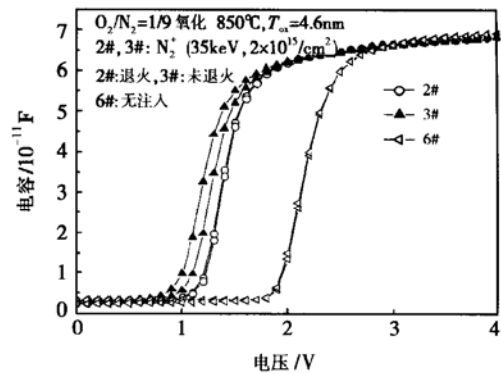


图 2 2#、3# 和 6# 硅片栅介质的高频 $C-V$ 曲线

Fig. 2 High frequency $C-V$ curves of samples 2#, 3#, and 6#

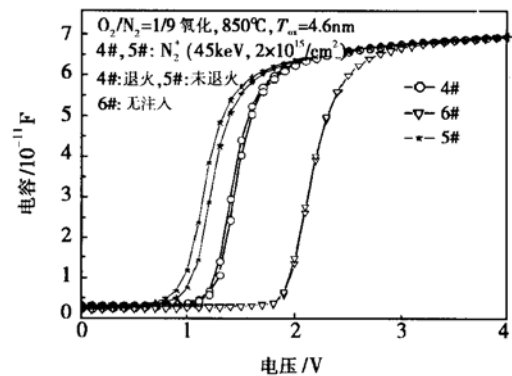


图 3 4#、5# 和 6# 硅片栅介质的高频 $C-V$ 曲线

Fig. 3 High frequency $C-V$ curves of samples 4#, 5#, and 6#

3.3 多晶硅注氮对栅介质击穿特性的改善

图 4 是 4# 和 5# 注氮栅介质与 6# 常规栅介质在正偏压下 Q_{bd} 的分布图.4# 和 5# 注氮栅介质的本征击穿电荷(分别是 $7.4\text{C}/\text{cm}^2$ 和 $8.6\text{C}/\text{cm}^2$)

比 6# 常规栅介质的本征击穿电荷 ($4.5\text{C}/\text{cm}^2$) 要大. 正偏压下的 Q_{bd} 主要反映了 SiO_2 栅介质及 Si/SiO_2 界面的特性. 硼扩散到 SiO_2 体内, 松散了 $\text{Si}-\text{O}$ 结构, 产生了 $\text{Si}-\text{O}$ 应力键和 $\text{Si}-\text{B}$ 等弱键和缺陷, 这些弱键和缺陷在 FN 应力下容易被打断, 形成的非桥联氧缺陷起电子俘获陷阱作用, 使栅介质的击穿特性变差. 硼扩散到 Si/SiO_2 界面, 增加了 $\text{Si}-\text{O}$ 应力键, 产生了 $\text{Si}-\text{B}$ 弱键, FN 应力下界面态形成加快, 不完善的界面结构降低了正偏压下的 Q_{bd} . 多晶硅注氮抑制了硼向 SiO_2 和硅衬底的扩散, 从而提高了栅介质的击穿特性.

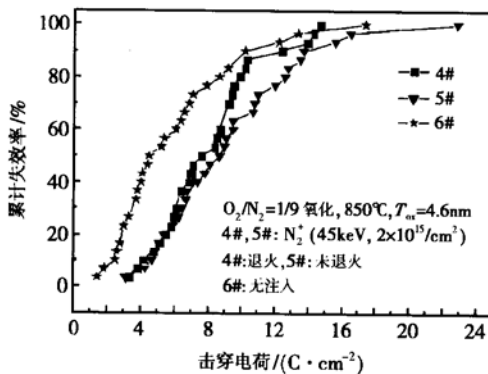


图 4 4#, 5# 和 6# 样品正偏压下的击穿电荷分布

Fig. 4 Dependence of accumulated failure ratio on Q_{bd} of samples of 4#, 5#, and 6# under positive bias

3.4 多晶硅注氮对栅介质 SILC 特性的改善

SILC 是超薄栅介质击穿前的主要失效模式, 影响 CMOS 器件的关态泄漏电流和热载流子损伤. 因此, 分析栅介质的 SILC 特性是衡量栅介质完整性的方法之一.

图 5 是 4# 和 6# 样品的 SILC 电流密度与应力时间的关系图. 从图中可以看出, 在高电场应力下, 6# 常规工艺电容的 SILC 电流密度均大于 4# 多晶硅注氮电容的 SILC 电流密度, 说明多晶硅注氮工艺改善了栅介质的 SILC 特性.

3.5 在最大衬底注入的情况下多晶硅注氮对 Si/SiO_2 界面特性的改善

随着器件尺寸不断缩小, 栅介质不断减薄, 热载流子损伤越来越严重^[5], 因此, 有必要研究多晶硅注氮对 Si/SiO_2 界面特性的改善作用. 在最大衬底注入下, 平带电压随应力时间的漂移情况主要反映的是 Si/SiO_2 界面特性. 图 6 是在最大衬底注入下 5#

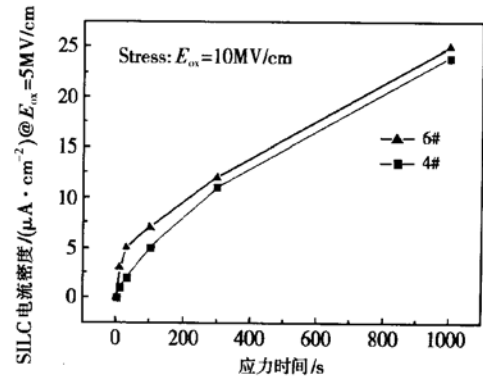


图 5 4# 和 6# 样品的 SILC 电流密度与应力时间关系

Fig. 5 Dependence of SILC current on stress time of samples 4# and 6#

和 6# 样品的平带电压漂移情况. 可以看出, 5# 注氮栅介质的平带电压随电应力时间的漂移较 6# 不注氮的样品大大改善. 这是因为氮有效地阻止了硼扩散, 减小了陷阱和缺陷密度, 而且扩散至 Si/SiO_2 界面处的氮, 与硅的悬挂键相结合, 部分 $\text{Si}-\text{N}$ 键代替 $\text{Si}-\text{O}$ 、 $\text{Si}-\text{H}$ 和 $\text{Si}-\text{OH}$ 等弱键, 抑制了界面态的产生, 改善了界面质量. 因此, 多晶硅注氮可以改善 Si/SiO_2 界面特性, 提高器件抗热载流子损伤能力.

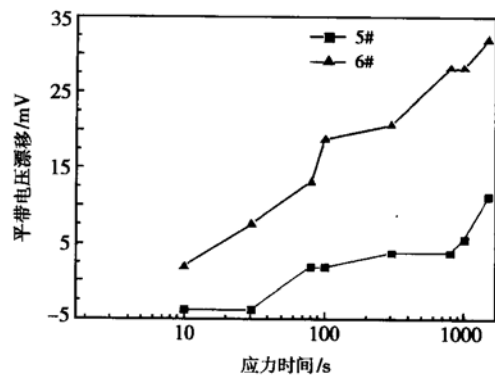


图 6 5# 和 6# 样品在最大衬底注入下平带电压漂移与应力时间的关系

Fig. 6 Band voltage shift versus stress time at biggest substrate current of samples 5# and 6#

3.6 多晶硅注氮栅介质的 TDDB 寿命的提高

当栅介质厚度减薄到 5nm 以后, TDDB 是用来衡量栅介质可靠性和寿命的主要方法.

图 7 给出了不同栅介质的 TDDB 特性. 6# 常规栅介质硼扩散程度大, TDDB 寿命较短; 硼扩散程度很小的 4# 注氮栅介质的 TDDB 寿命较长. 硼扩

散导致 TDDB 寿命下降的原因是硼杂质扩散到 SiO₂ 栅介质内(包括过渡层)松散了 Si—O 结构,产生了 Si—B 和 Si—O 等弱键.这些弱键在 FN 应力下容易被打断,形成的非桥联氧缺陷起电子俘获陷阱作用.此外, B 扩散到 Si/SiO₂ 界面产生了 Si—O 应力键或者 Si—B 弱键,使 FN 应力下界面态形成加快.因此随着硼扩散程度的增加, TDDB 寿命逐渐减小,多晶硅注氮大大抑制了硼扩散,并改善了界面特性,从而提高了器件的可靠性和寿命.

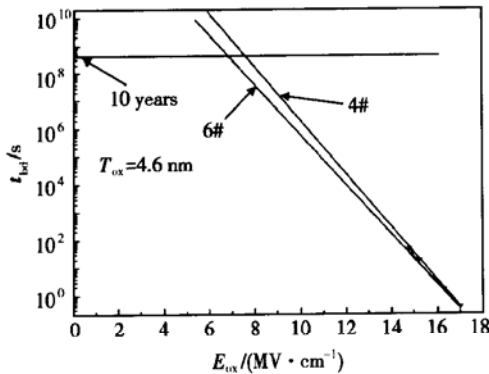


图 7 4# 和 6# 样品的 TDDB 寿命与栅介质电场的关系

Fig. 7 TDDB life versus E_{ox} of samples 4# and 6#

3.7 多晶硅注氮对栅介质 I_g-V_g 特性的改善

图 8 给出了栅介质正偏压下的 I_g-V_g 特性. 6# 栅介质的 FN 电流最大, 5# 样品的次之, 4# 栅介质 FN 电流最小. PMOS 电容在正偏压下的 I_g-V_g 特性主要反映栅介质的可靠性和 Si/SiO₂ 界面质量. 在注氮栅介质内, Si—N 替换了 Si—O 弱键, 减小了 FN

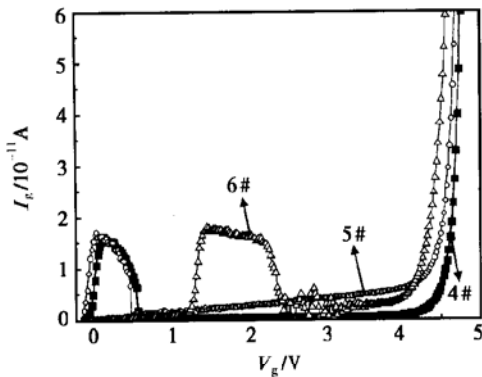


图 8 4#、5# 和 6# 样品正偏压下的 I_g-V_g 特性

Fig. 8 I_g-V_g characteristics of samples 4#, 5#, and 6# under positive bias

应力下 Si—O 键的断裂, 抑制了应力下的电子俘获陷阱产生, 同时也减小了硼扩散而产生的缺陷和电子俘获陷阱; 此外 N 与 Si/SiO₂ 界面的硅悬挂键相结合, 代替 Si—H 和 Si—OH 弱键, 改善了 Si/SiO₂ 界面质量^[6]. 因此, 注氮样品较未注氮样品具有更低的 FN 电流.

4 总结

本文采用多晶硅注 N₂ 工艺制备了 4.6nm SiO₂ 栅介质, 并对其性能进行了测试评估. 试验结果表明: 多晶硅内注氮降低了硼在栅电极中的扩散系数, 增强了栅介质抗硼穿通能力, 抑制了硼扩散引起的平带电压漂移; 在注氮栅介质内, Si—N 替换了 Si—O 和 Si—B 等弱键, N 与 Si/SiO₂ 界面的硅悬挂键相结合, 代替 Si—H 和 Si—OH 等弱键, 改善了栅介质的击穿特性, 减小了栅介质的 SILC 电流, 提高了栅介质的 TDDB 寿命, 改善了栅介质的 I_g-V_g 特性, 降低了低场漏电流. 说明选择合适的 N₂ 注入能量和剂量及合适的退火条件, 多晶硅内注氮工艺可以有效地改善栅介质性能.

参考文献

- [1] Manchanda L. Semiconductor characterization—present status and future needs. New York: Woodburg, 1996: 123
- [2] Hu G J, Bruce R H. Design tradeoffs between surface and buried-channel FET's. IEEE Trans Electron Devices, 1985, 32: 584
- [3] Cao M, Vande Voorde P, Cox M, et al. Boron diffusion and penetration in ultrathin oxide with poly-Si gate. IEEE Electron Device Lett, 1998, 19: 291
- [4] Yasuoka A, Kuroi T, Shimizu S, et al. The effects on metal oxide semiconductor field effect transistor properties of nitrogen implantation into p⁺ polysilicon gate. Jpn J Appl Phys, 1997, 36(2): 617
- [5] Chang C Y, Chen C C, Lin H C, et al. Reliability of ultrathin gate oxides for ULSI devices. Microelectron Reliab, 1999, 39: 553
- [6] Wu Y, Lucovsky G. Improvement of gate dielectric reliability for p⁺ poly MOS devices using remote PECVD top nitride deposition on ultra-thin (2.4~6nm) gate oxides. Microelectron Reliab, 1999, 39: 365

Effects of Nitrogen Implantation into Poly-Silicon Gate on 4.6nm Gate Oxide Properties^{*}

Tan Jingrong, Xu Xiaoyan, Huang Ru, Cheng Xingzhi and Zhang Xing

(*Institute of Microelectronics, Peking University, Beijing 100871, China*)

Abstract: To suppress boron impurities' diffusion into channel, nitrogen implantation into polysilicon gate is performed at optimized dose and energy. Boron impurities' diffusion in polysilicon is suppressed, and some nitrogen are introduced into gate oxide. As a result, the Si/SiO₂ interface is improved and the flat band voltage shift induced by boron diffusion into channel is suppressed, which result in good reliability.

Key words: nitrogen implantation; stress induced leakage current; dielectric breakdown

EEACC: 2560

Article ID: 0253-4177(2004)02-0227-05

^{*} Project supported by State Key Development Program for Basic Research of China (No. G2000036501) and National Nature Science Funding of China (No. 90207004)