

有限元方法对 SCSP 粘结剂溢出问题的研究

金 玮 桑文斌 张 奇 滕建勇

(上海大学材料科学与工程学院, 上海 201800)

摘要: 利用有限元分析方法对 SCSP 器件内部粘结剂的溢出问题进行了研究. 对粘结剂不同溢出高度的模型进行有限元建模分析, 模拟结果能很好地和实验结果相吻合. 为了有效减少由热应力引发产生的分层, 模拟得到了粘结剂溢出高度的最佳控制范围.

关键词: SCSP; 溢出高度; 分层; 有限元方法

EEACC: 0170J; 0170N

中图分类号: TN306

文献标识码: A

文章编号: 0253-4177(2004)02-0232-05

1 引言

封装是集成电路器件制造工艺中的重要环节. 作为连接芯片与系统的桥梁, 封装具有功率分配、信号分配、散热及保护电路的功能^[1]. 随着电子产品向轻、薄、短、小方向发展, 芯片的功能越来越复杂, 电路密度越来越高, 出现了“高密度封装”术语, 并发展起来使用 SMT 的各种先进的器件封装形式, 成为新一代电子产品的组装手段^[2,3].

SCSP(stacked chip scale package)是一种较新的芯片尺寸塑料封装技术, 其在一个单独的封装体内部垂直贴装了多层芯片. 这一技术在 BGA 架构中结合了传统的引线键合和转移成型技术, 可以减少器件中元件的数量, 简化印刷电路板的设计, 降低芯片之间的传输距离, 改善器件的电学性能, 有望应用于移动类电子产品(如 PDA, 寻呼机, 移动电话)和基于存储器的产品(如机顶盒, 闪存卡)以及全球定位系统(GPS).

但是在实际的封装过程中, 由于封装体各组成部件间的材料属性尤其是热膨胀系数的差异, 在封装过程中温度的改变会在封装材料间产生热应力, 其结果严重的会导致封装产生分层失效. 分层会损害芯片的长期稳定性, 由于它为水汽和离子污染的

进入提供通路, 使芯片局部由于分层导致的高温或腐蚀而产生失效. 相对于其他 CSP 封装而言, 在 SCSP 封装技术中, 随着芯片层数的增加和封装尺寸进一步的减小, 使得热应力导致的封装分层失效更为突出. 而封装过程中最重要的工序为芯片的贴装, 即通过粘结剂来固定芯片. 在芯片的贴装过程中芯片与芯片或芯片与衬底间由于粘结剂的覆盖不完全或其中空洞的存在会大大降低芯片的粘附强度. 因此在芯片贴装工艺中会存在粘结剂的溢出问题(wetout), 即在芯片的贴装后会在芯片的两端溢出粘结剂. 粘结剂溢出的存在, 会对整个封装体在封装过程中导致的局部热应力产生显著影响, 严重时会在应力集中的地方产生分层失效.

国内外对封装体系各类失效的分析, 大量应用有限元方法来解决. 如确定测试过程中内部芯片的断裂失效^[4], 封装组件受热应力作用而产生的失效^[5-7], 封装内焊点的热循环失效^[8,9]. 但目前很少有工作涉及芯片贴装后粘结剂的溢出问题. 本文利用 ANSYS 有限元分析软件对 SCSP 整个封装过程进行了热应力分析. 文中首先结合封装体的尺寸、材料属性建立了 SCSP 的简化模型. 然后根据实际的芯片粘贴工艺对粘结剂不同的溢出高度进行了模拟. 在此基础上分析了粘结剂的溢出高度对封装内部粘结剂与塑封料界面间分层的影响以及对芯片本

金 玮 男, 1980 年出生, 硕士研究生, 研究方向为半导体器件的模拟与制备.

桑文斌 男, 1947 年出生, 教授, 博士生导师, 研究方向为微电子、光电子材料与器件.

2003-02-21 收到, 2003-05-18 定稿

身应力的作用. 通过分析最后得到了 SCSP 最佳的粘结剂溢出高度.

2 模型建立与模拟过程

作为三维结构封装技术, SCSP 封装使得原来多个独立的单芯片封装体集合为一个多芯片叠层封装体, 其封装结构如图 1 所示. 在有限元模拟中, 二维模型相对于三维模型而言建模简单, 模型的单元数和节点数较小, 便于反复计算. 并且在大多数情况下, 二维有限元模拟能给出很好的结果, 包括与实验相符的应力分布^[10, 11]. 故将三维模型简化为二维模型, 利用 ANSYS 的前处理模块建立了一个包括衬底、两层芯片、芯片粘结剂和塑封料的 SCSP 二维实体模型. 模型的总高度为 0.96mm, 其中两层芯片厚度均为 0.2032mm (8mil), 芯片粘结剂厚度为 0.0254mm, 衬底厚度为 0.26mm. 考虑到金线和焊球对封装过程的热应力影响很小, 在模型中可以将其忽略.

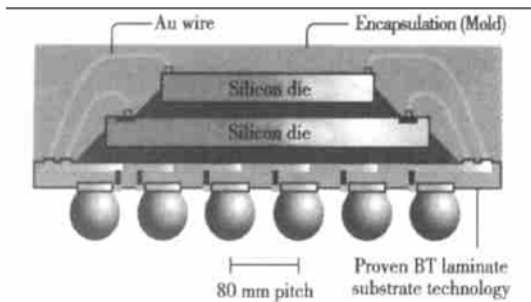


图 1 SCSP 剖面图

Fig. 1 Cross-section of SCSP

封装体内部各材料参数如表 1 所示. 封装体中塑封料和粘结剂均只有玻璃化转化温度前后的热膨胀系数和杨氏模量, 一般没有细节的温度相关 $E(T)$ 和 $\alpha(T)$ 实测值. 在模拟过程中利用对应关系由已测温度关系的同类材料来计算实际使用的材料属

性, 用温度相关弹性材料模型对封装体进行模拟. 杨氏模量的温度关系 $E(T)$ 的可以描述为^[12]:

$$E(T) = E(T_g) + \frac{E_h - E_l}{E_h^* - E_l^*} \times [E^*(T - T_g + T_g^*) - E^*(T_g^*)]$$

其中 $E(T_g) = E_l + \frac{E_h - E_l}{E_h^* - E_l^*} [E^*(T_g^*) - E_l^*]$

式中 $E^*(T)$ 为同类材料杨氏模量的温度关系; E_l^* 和 E_h^* 分别是其玻璃化温度 T_g^* 前后的杨氏模量. 热膨胀系数的温度关系 $\alpha(T)$ 计算方法与上式相同.

表 1 材料参数

Table 1 Properties of materials

材料	芯片	模塑	衬底	粘结剂
$T_g/^\circ\text{C}$	N/A	150	N/A	- 31
热膨胀系数	2.6	10	17	93
$/(\text{ppm} \cdot ^\circ\text{C}^{-1})$	/	35	/	174
杨氏模量	1.31×10^5	23520	3343	N/A
$/(\text{N} \cdot \text{mm}^{-2})$	/	1470	/	300
Poisson's ratio	0.28	0.3	0.18	0.33

在模拟计算过程中采用稳态条件求解, 设定封装体内部温度与外界环境温度相等. 在求解过程中设定参考温度为 175°C , 即模塑的固化温度. 封装体在参考温度下为应力自由态. 然后依实际封装过程将整个封装体从 175°C 自由冷却至室温计算整个封装内部的热应力分布情况.

图 2 给出了模拟中 SCSP 的二维有限元网格的划分, 采用二维 8 节点的结构单元, 在粘结剂及其溢出部分对网格加以细化处理. 整个构型共有 4124 个元素, 12789 个节点, 在建模中特别考虑了粘结剂的溢出. 为了定量描述粘结剂的溢出程度, 工艺上通常用百分比来表征粘结剂的溢出高度 (fillet height), 定义为粘结剂的溢出相对于芯片高度的百分比值. 本文在实验的基础上, 着重用有限元分析讨论在实际生产工艺中粘结剂的溢出高度对封装分层失效的影响.

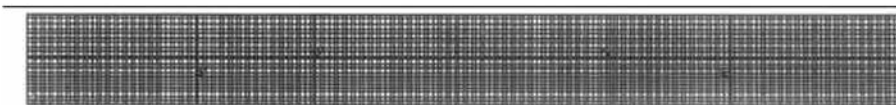


图 2 SCSP 的二维有限元网格模型

Fig. 2 2D mesh diagram of SCSP

3 模拟结果与分析

结合具体实验情况, 我们从封装过程热应力的角度对不同粘结剂的溢出高度模型进行了有限元模拟分析. 针对上层粘结剂的溢出变化分别建立了 8 种不同溢出高度的 SCSP 有限元模型, 其溢出高度分别为 50%, 60%, 70%, 75%, 85%, 90%, 95% 和 98%, 而下层粘结剂的溢出高度保持 50% 不变.

在模拟中首先选取上层粘结剂与塑封料的接触界面为研究对象, 主要观察了不同粘结剂溢出高度下该界面上最大等效应力的分布情况, 模拟结果如图 3 所示.

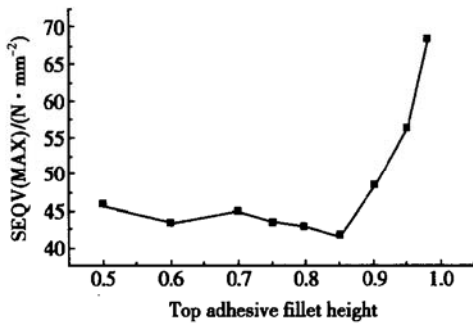


图 3 粘结剂与塑封料间的最大等效应力与粘结剂溢出高度的关系

Fig. 3 Maximum interfacial equivalent stress between adhesive and molding compound with fillet height

从图中不难发现粘结剂与塑封料界面间的最大等效应力与粘结剂的溢出高度有关. 当粘结剂的溢出高度超过 90% 时, 界面上的最大等效应力急剧增加. 而实验过程中发现往往较高的粘结剂溢出高度会导致粘结剂本身与塑封料之间产生分层失效, 图 4 为放大 200 倍的显微镜所观察到的 SCSP 内部粘结剂分层失效图像.

我们对同一批次的样品进行了分析检测, 从中可以发现粘结剂与塑封料间分层的产生在很大程度上取决于粘结剂的溢出高度, 对发生分层的样品进行粘结剂溢出高度测量表明, 产生分层的粘结剂溢出高度均大于 90%. 有限元模拟的结果与实验结果相当吻合, 即在粘结剂溢出高度较大时会增加粘结剂本身与塑封料界面间的最大等效应力, 从而导致该界面上的分层失效.

在模拟中还研究了上层粘结剂溢出高度不同时

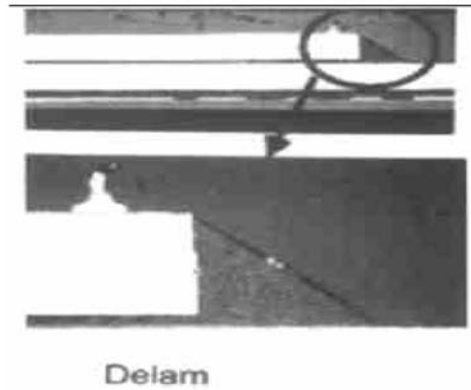


图 4 SCSP 中粘结剂分层发生的位置

Fig. 4 Delam position of adhesive in SCSP

芯片所承受的最大等效应力的变化趋势. 图 5 为 SCSP 两层芯片在上层粘结剂不同溢出高度时的最大等效应力变化图.

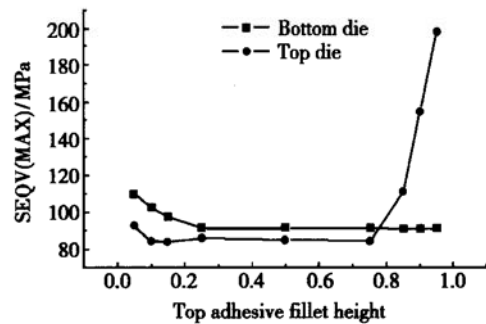


图 5 上层粘结剂溢出高度对芯片最大等效应力的影响

Fig. 5 Influence of top adhesive fillet height on the maximum equivalent stress of dies

从图 5 中可以看出上层粘结剂的溢出对上层芯片的应力变化影响最大. 当上层粘结剂的溢出高度大于 75% 时, 上层芯片的最大等效应力急剧增加; 而当上层粘结剂的溢出高度小于 25% 时, 会使下层芯片的最大等效应力增加. 为了综合考虑两层芯片的受力大小, 上层粘结剂的最佳溢出高度应控制在 25% ~ 75% 之间.

为了深入研究芯片所受最大等效应力对芯片产生分层的影响, 我们选取了上层粘结剂溢出高度为 90% 的有限元模型, 来观察上层芯片的应力分布情况, 如图 6 所示. 从上层芯片等效应力分布图上可以看出等效应力的最大值集中在芯片上层与塑封料接触界面的两侧. 且根据图 5 所示, 该应力随着上层粘结剂溢出高度的增加而急剧增大. 由此可以推出在上层粘结剂溢出高度较大的情况下, 该处容易产生

分层.

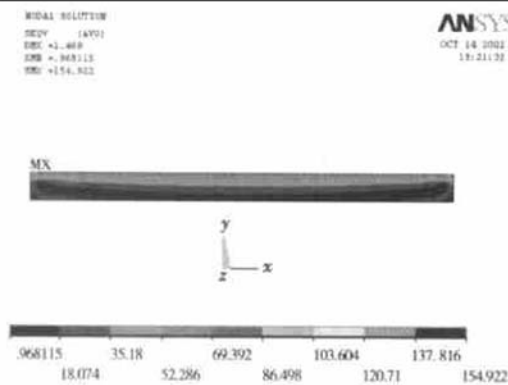


图 6 上层芯片等效应力分布图

Fig. 6 Equivalent stress distribution of top die

图 7 为 FESEM 拍摄到的 SCSP 内部芯片分层图像. 从图中可以看出上层芯片与塑封料间分层的位置位于芯片上层的边缘处, 并沿界面进一步向内延伸. 实验结果与有限元模拟计算出来的芯片所受最大应力的位置相一致. 通过有效控制粘结剂的溢出高度, 由封装过程热应力所引起的芯片与塑封料间的分层失效可以得到圆满的解决.

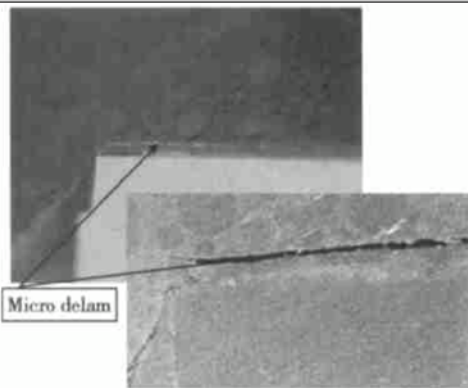


图 7 SCSP 内部芯片分层发生的位置

Fig. 7 Delam position of die in SCSP

4 结论

本文利用 ANSYS 对 SCSP 封装结构进行了二维有限元模拟计算. 对粘结剂不同溢出高度的模型进行求解, 得出了封装内部热应力的大小与粘结剂溢出高度的关系. 对封装内部由热应力导致的粘结剂和芯片分层进行了实验分析, 其结果与有限元的模拟结果相符合. 根据有限元分析结果并结合实验观察, 建议将粘结剂溢出高度控制在 25%~75% 范围.

参考文献

- [1] Anjoh I, Nishimura A, Eguchi S. Advanced IC packaging for the future applications. *IEEE Trans Electron Devices*, 1998, 45(3): 743
- [2] Sidharth, Valluri V, Gannammani R, et al. Characterization of a novel fine-pitch ball grid array package for flash memory application. *Proceedings - Electronic Components and Technology Conference*, 2000: 353
- [3] Garrou P. Wafer level chip scale Packaging (WL-CSP) -an overview. *IEEE Transactions on Advanced Packaging*, 2000, 23(2): 198
- [4] Pang Enwen, Lin Jing, Yu Fang, et al. Inner die crack simulation of vfBGA. *Chinese Journal of Semiconductors*, 2002, 23(9): 977(in Chinese)[庞恩文, 林晶, 郁芳, 等. vfBGA 内部芯片断裂问题. *半导体学报*, 2002, 23(9): 977]
- [5] Pitarresi J M, Sethuraman S, Nandagopal B, et al. Reliability modeling of chip scale packages. *Proceedings of the IEEE/CPMT International Electronics Manufacturing Technology (IEMT) Symposium*, 2000: 60
- [6] Moore T D, Jarvis J L. Failure analysis and stress simulation in small multichip BGAs. *IEEE Transactions on Advanced Packaging*, 2001, 24(2): 216
- [7] John S, Lidia L, Hsu S, et al. Fracture properties of molding compound materials for IC plastic packaging. *Microelectronics and Reliability*, 1996, 36(3): 442
- [8] Chen Liu, Zhang Qun, Wang Guozhong, et al. Thermal cycle failure of SnPb solder joint for flip chip package and effects of underfill material. *Chinese Journal of Semiconductors*, 2001, 22(1): 107(in Chinese)[陈柳, 张群, 王国忠, 等. 倒装焊 SnPb 焊点热循环实效和底充胶的影响. *半导体学报*, 2001, 22(1): 107]
- [9] Cai Xia, Chen Liu, Zhang Qun, et al. Thermal fatigue failure analysis of SnPb solder joint in flip-chip assemblies. *Chinese Journal of Semiconductors*, 2002, 23(6): 660(in Chinese)[彩霞, 陈柳, 张群, 等. 倒扣芯片连接焊点的热疲劳失效. *半导体学报*, 2002, 23(6): 660]
- [10] LeGall C A. Thermal mechanical stress analysis of flip chip package. Masters thesis. School of Mechanical Engineering, Georgia Institute of Technology, Atlanta, GA, 1996
- [11] Schubert A, Dudek R, Michel B, et al. Materials mechanics and mechanical reliability of flip chip assemblies on organic substrates. *Proceedings of the International Symposium and Exhibition on Advanced Packaging Materials Processes, Properties and Interfaces*, 1997: 106
- [12] Chen L, Zhang Q, Wang G, et al. The effects of underfill and its material models on thermo mechanical behaviors of a flip chip package. *IEEE Transaction on Advanced Packaging*, 2001, 24(1): 17

Investigation of Adhesive Fillet Height in SCSP by Finite Element Methods

Jin Wei, Sang Wenbin, Zhang Qi and Teng Jianyong

(*School of Materials Science and Engineering, Shanghai University, Shanghai 201800, China*)

Abstract: Finite element methods is used to analyze the adhesive fillet height in SCSP. The finite element simulation is performed according to different adhesive fillet height. The simulation results are in accordances with the experiment results. In order to reduce the delamination caused by thermal stress during assembly, the optimal adhesive fillet height range is obtained by finite element simulation.

Key words: SCSP; fillet height; delamination; finite element methods (FEM)

EEACC: 0170J; 0170N

Article ID: 0253-4177(2004)02-0232-05

Jin Wei male, was born in 1980. He is engaged in the research on semiconductor device simulation and fabrication.

Sang Wenbin male, was born in 1947, professor, advisor of PhD students. He is engaged in the research on microelectronic and photo-electronic materials and devices.

Received 21 February 2003, revised manuscript received 18 May 2003

©2004 The Chinese Institute of Electronics