

带主从式 T/H 电路的折叠插值 A/D 转换器*

刘 飞 贾 嵩 卢振庭 刘 凌 吉利久

(北京大学微电子学研究所, 北京 100871)

摘要: 提出了一种主从式 T/H 电路, 有效解决了折叠 ADC 预处理器限制输入信号带宽的问题, 使预处理电路速度及稳定性得到大幅度改善; 同时该 T/H 结构使用内部差分误差补偿技术, 在高采样率情况下保持良好的精度, 有效抑制了电荷注入、时钟馈通等问题。在 $1.2\mu\text{m}$ SPDM 标准数字 CMOS 工艺条件下, 实现 6bit CMOS 折叠、电流插值 A/D 转换器。仿真结果: 采样频率为 250Ms/s 时, 功耗小于 300mW, 输入信号带宽约 80MHz, 输入模拟信号和二进制输出码输出之间延迟为 2.5 个时钟周期。

关键词: ADC; CMOS; 主从式 T/H; 折叠; 电流插值

EEACC: 1265; 1280; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2004)04-0462-06

1 引言

目前高性能模数转换器(ADC)两大主要发展方向是高速、中低精度 ADC 和低速、高精度 ADC, 而信号采样/保持电路是高性能 ADC 中不可缺少的部件。在 CMOS 数模混合电路中, 高速、中低精度并行 ADC 在磁盘读写驱动电路、医用图像仪器、通信设备、HDTV 等多种领域得到了广泛应用^[1~3]。高速并行 ADC 具有高速度和最小转换延迟的优点, 在高速读写、实时控制等领域具有不可替代的作用, 然而它也有某些严重的缺点如功耗过大、与标准 CMOS 工艺不兼容(主要指采用双极和 BiCMOS 工艺的 ADC)等。为符合目前 SoC 技术发展的需求, ADC 作为嵌入式 IP 模块需要采用 SPDM 的 CMOS 工艺, 以降低成本和增加可嵌入性。

高速并行 ADC 一般有两种基本结构: Flash 型 ADC 和折叠插值 ADC。Flash 型 ADC 具有较大信号带宽和高功耗的特点: 折叠插值 ADC 功耗较低, 但信号带宽由于信号预处理电路对输入信号折叠作

用而下降 $\pi F/2$ 倍(F 为折叠率), 同时由于预处理电路本身对信号延迟影响及工艺偏差形成的不对称性, 使输入信号带宽被进一步降低。为提高频率特性, 二者可分别采用前置集总式采样/保持电路^[4]和分布式采样/保持电路^[5]。这两种采样/保持电路均可以在一定程度上增大输入信号带宽、提高转换频率。但是受这两种 ADC 基本结构所限, 通常只能采用其中一种采样/保持电路, 否则会引起噪声干扰、带宽下降等诸多不良影响。

上述的前置采样/保持电路和分布式采样/保持电路存在以下问题: (1) 由于 CMOS 工艺很难设计高速高增益的运算放大器, 导致只能采用简单的无源开关电容采样/保持电路, 这使信号采样精度很低, 难以超过 6bit 分辨率; (2) 在 Flash 结构 ADC 中为防止比较器噪声串扰和放大输入信号, 通常在前置的采样/保持电路和比较器阵列之间插入一级或多级信号预放大器, 而这造成比较器输入信号带宽受限, 最终降低转换频率; (3) 折叠插值结构 ADC 内预处理电路的使用造成输入信号带宽下降。通过使用分布式采样/保持电路可以一定程度上改善预

* 电子预研资助项目(批准号: 41308010402, 415011005)

刘 飞 男, 1974 年出生, 博士生, 主要从事数模混合电路设计研究。

卢振庭 男, 1979 年出生, 硕士生, 研究方向为数模混合电路设计。

吉利久 男, 教授, 博士生导师, 从事集成电路设计研究。

2003-02-10 收到, 2003-11-25 定稿

©2004 中国电子学会

处理器的高频特性,但由于缺乏前置采样/保持电路,受内部放大器带宽有限的影响,导致在高频输入信号时 ADC 有效分辨率下降。

本文提出一种新型主从式 T/H 结构,并作为折叠插值 ADC 预处理器^[6]的一部分,极大拓展了信号带宽。其中分布式主从 T/H 电路的使用,使预处理电路的频率特性大为改善,进一步提高 ADC 整体工作速度和信号稳定性。

2 新型主从式 T/H 工作原理

在高速 CMOS ADC 设计中,高速采样/保持电路设计非常困难,主要因为 CMOS 工艺条件下,具有高增益带宽积的放大器设计困难,而采用简单的开关电容保持信号,会由于电荷注入和时钟馈通效应而引入非常大的误差^[7]。仿真结果表明,在 $1.2\mu\text{m}$ 工艺条件下,输入信号频率为 100MHz、采样频率为 200MHz 时,电荷注入形成的误差可达 30mV 以上。

2.1 前置 T/H 电路

采用全差分结构开关电容 T/H 电路^[8]可有效消除电荷注入和时钟馈通对 T/H 电路造成的影响,在保持一定精度的前提下获得高采样频率和高输入信号带宽。但对于折叠插值 ADC,由于预处理电路的引入,使信号因折叠作用而带宽大为下降。

2.2 折叠器内部分布式 T/H 电路

本设计在折叠单元^[6]内部插入分布式 T/H 电路,有效改善了预处理器的高频特性。预处理器由 40 个独立折叠放大器组成^[7,9],其中每 5 个放大器组成一个 4 折叠率的折叠单元,共有 8 个折叠单元。信号的折叠和电流插值统一在放大器信号输出端进行,电流输出信号直接送入电流比较器以获得最大工作速度。从 T/H 电路采用分布式结构,置于折叠放大器内部每个放大器的差分电压输出处,对差分信号进行采样保持,其所需精度原则上只需保存 zero-crossing 点相对位置不变,即保证相对精度。因此从 T/H 电路精度要求很低,可以使用小开关管和小 MOS 电容构成,不会对该节点频响特性造成大的负面影响。

2.3 主从式 T/H 电路

前置 T/H 电路可提高输入信号频率范围,而折

叠器内部分布式 T/H 电路可提高转换频率,因此二者结合可构成具有高输入信号带宽、高转换频率的主从式 T/H 电路。置于折叠器前的前置 T/H 电路作为主 T/H 电路,同时为预处理器内部所有折叠单元提供稳定输入信号,而折叠器内部分布式 T/H 电路使折叠器由原来的两级放大器变为事实上的两个单级放大器,显著增加了折叠器带宽,使整个 ADC 能实现更高的转换频率。整个折叠插值 ADC 的框架结构图如图 1 所示。

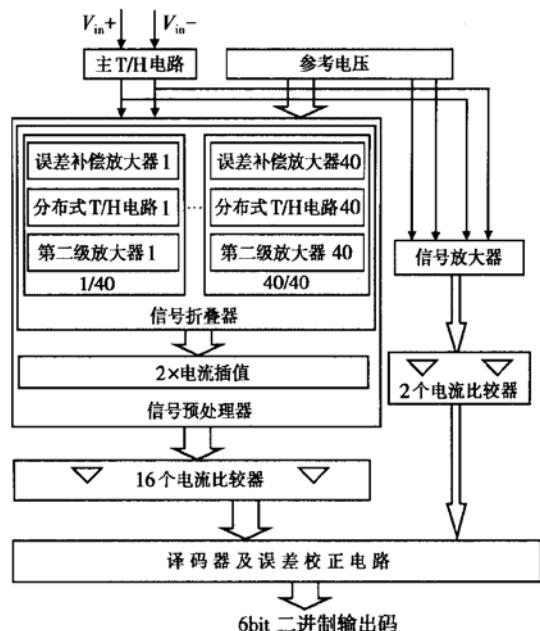


图 1 主从 T/H 电路 ADC 结构框图

Fig. 1 Diagram of ADC with master-slave T/H circuit

主从式 T/H 电路结构如图 2 所示。主 T/H 电路和从 T/H 电路之间为信号预放大器,能够有效减小输入差分采样信号的误差,所以也称为误差补偿放大器,后面将做详细讨论。输入差分信号($V_{in}01$ 、 $V_{in}02$)经过主 T/H 电路采样后,同时送入 40 个相同折叠单元内的误差补偿放大器,分别进行误差补偿,得到对应于参考电压 V_{ref+} 和 V_{ref-} 的输出差分电压;然后经过从 T/H 电路采样后送入后续电路。

主 T/H 电路由 MOS 开关和 MOS 存储电容构成。为消除 MOS 开关造成的电荷注入效应,增加一个伪开关管,尺寸约为 MOS 开关的一半。MOS 电容为 4pF。为使 T/H 电路对高频输入信号具有足够快速的跟踪能力,开关 MOS 管 M1, M2 的 W/L 必

须足够大,而大的开关MOS管必然会造成严重的电荷注入效应,伪开关管的加入能有效减少该效应。然而,由于输入信号快速变化造成的MOS开关沟道电荷量变化,以及互补时钟信号事实上的不对称性,使采样精度远小于理论值。本设计使用差分误差补偿方式来消除电荷注入效应的影响,可大幅度增加采样精度。由于在许多实际情况下,并不存在具有良好对称关系的互补输入,因此本设计仍采用单端输入,同时取某一参考电平做补偿。下面具体讨论差分误差补偿放大器的工作原理。

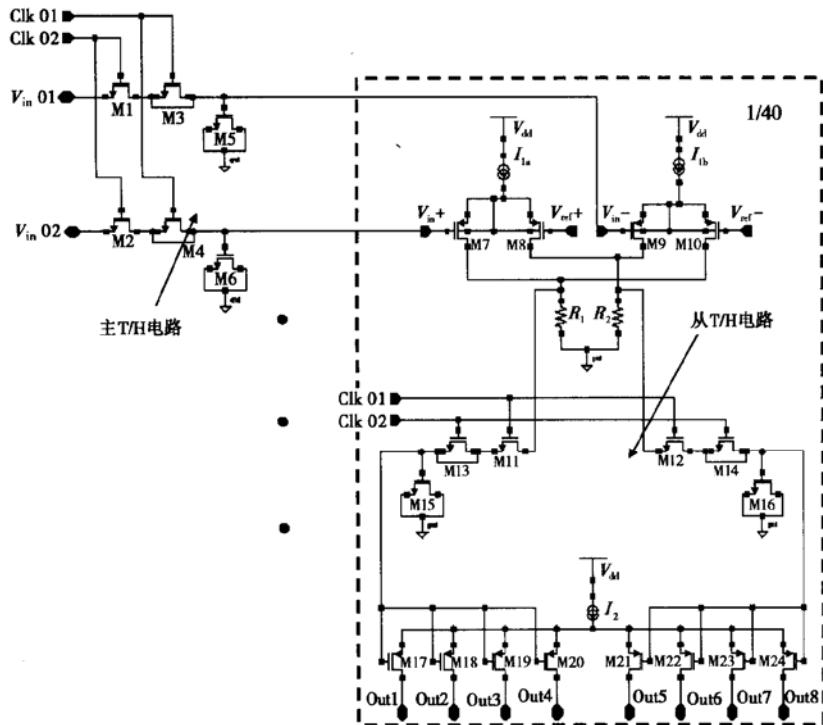


图 2 主从式 T/H 电路

Fig. 2 Master-slave T/H circuit

2.4 误差补偿放大器

误差补偿放大器由图2中M7, M8, M9, M10及 R_1, R_2 组成。

设输入差分电压为 V_{in} 和 V_0 ,则可取参考电压为 $V_{ref}^+ = V_{ref}$, $V_{ref}^- = V_0$ 。当考虑采样误差时,采样后的电压为

$$\begin{aligned} V_{in}^+ &= V_{in} + \Delta V_{in} \\ V_{in}^- &= V_0 + \Delta V_0 \end{aligned} \quad (1)$$

则放大器输出为

$$\begin{aligned} V_d &= R[g_m(V_{in}^+ - V_{ref}^+) - g_m(V_{in}^- - V_{ref}^-)] \\ &= R[g_m(V_{in} + \Delta V_{in} - V_{ref}) - g_m(V_0 + \Delta V_0 - V_0)] \\ &= R[g_m(V_{in} - V_{ref}) + g_m(\Delta V_{in} - \Delta V_0)] \quad (2) \end{aligned}$$

只考虑一阶效应时,可认为采样误差与 V_{in} 大小无关,即 $\Delta V_{in} \approx \Delta V_0$,可得

$$V_d = Rg_m(V_{in} - V_{ref}) \quad (3)$$

由(3)式可知采样误差被消除。

2.5 误差补偿放大器的误差分析

(1) 当考虑高阶效应时,由于输入信号电平和参考电平不等($V_{in} \neq V_0$)会导致两条支路的采样误差不完全相同,即 $\Delta V_{in} \neq \Delta V_0$,这表明(3)式有一定误差。

(2) 当输入高频 V_{in} 时,误差补偿放大器输出电压 V_d 通过 C_{dg} 反馈到采样电容,使采样电容变化量为 $C\Delta V_d \Delta t$ 。由于存在40个放大器电路,且每个放大器输入分别为 $V_{in} \sim V_{ref-n}$,使 V_{in} 不同时,累计到采样电容中得反馈电荷量不同,带来一定误差。然而累计电荷误差为一种平均效应,因此其影响有一定限度,而非单个放大器反馈量的简单叠加。

(3) 由于放大器本身存在非线性问题、电荷注入效应(电荷注入可由图示伪开关结构消除主要影响),会进一步降低 T/H 精度.

差分式 T/H 中两条支路的采样电容所保持电压的相对精度可接近 60dB,但由于误差补偿放大器本身的非线性以及放大器电路中寄生电容 C_{dg} 的存在,使得高采样率下,补偿后的实际有效差分采样电压精度被降低到 50dB 左右(此精度会随采样频率降低而明显提高).而高频输入信号时,ADC 的 DNL 误差会明显增大.

3 仿真结果

设计使用贝岭 1.2 μm 工艺(SPDM),通过 Cadence Spectre 对几种采用不同 T/H 电路的 ADC 进行仿真验证.其中采用主从式 T/H 电路的 6bit 折叠插值 ADC 仿真结果(输入为 1MHz 正弦波,输入信号幅度为 2.5~0.5V,采样时钟频率为 250MHz)如图 3 所示.

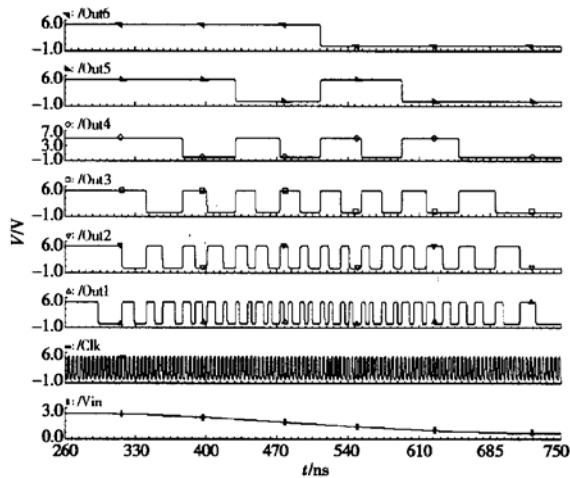


图 3 带主从式 T/H 的 6bit 折叠插值 ADC 仿真结果

Fig. 3 Simulation results for 6bit folding ADC with master-slave T/H circuit

图 4 为无独立 T/H 电路的 6bit 折叠插值 ADC 在 10MHz 输入信号时的信号频谱图.图 5 为本文给出的带主从式 T/H 电路的 6bit 折叠插值 ADC 在 50MHz 输入信号时的信号频谱图.二者电路结构基本相同,唯一区别在于是否采用独立的 T/H 电路.从图 4 可明显看出,当无独立 T/H 电路时,由于折叠插值 ADC 的信号预处理器的倍频效应,使得输

入信号带宽受到极大的限制.而从图 5 可看出,当采用本文给出的主从式 T/H 电路时,ADC 信号带宽得到极大拓展,在 50MHz 输入信号情况下,ADC 仍能保持良好的动态性能.

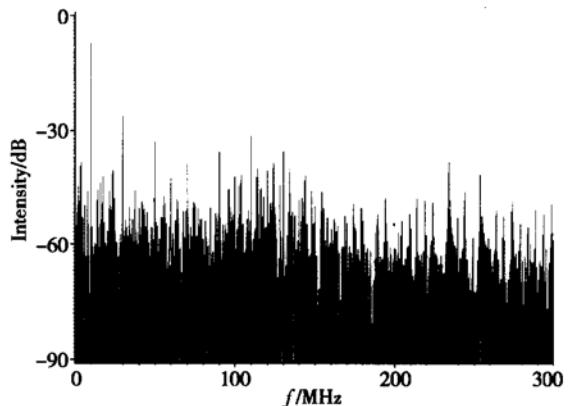


图 4 信号频谱图 输入信号为 10MHz, 无独立 T/H 电路
Fig. 4 Typical output spectrum at 150MHz/s $f_{in} = 10\text{MHz}$, without T/H

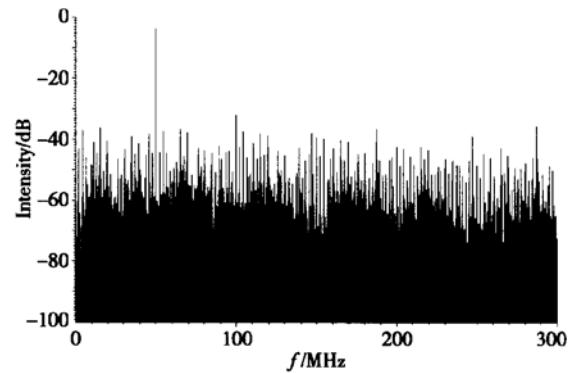


图 5 信号频谱图 输入信号为 50MHz, 带主从式 T/H 电路
Fig. 5 Output spectrum at 250MHz/s $f_{in} = 50\text{MHz}$, with M-S T/H

这里需要指出,在无独立 T/H 电路的折叠插值 ADC 中,由于信号预处理器对信号折叠作用会增加比较器阵列各个输入信号之间的时间不确定性,使得 ADC 误码率随着转换频率增加而迅速增大,从而限制 ADC 实际最大转换频率.而采用主从式 T/H 电路后(特别是从 T/H 电路),信号预处理器各个输出信号之间的同步性明显提高,从而增加了比较器阵列输入信号的稳定时间,降低了 ADC 输出的误码率,最终使 ADC 最大转换率得到提高.在 1.2 μm CMOS 工艺下,仿真结果表明,无独立 T/H

电路和采用主从式 T/H 电路的 6bit 折叠插值 ADC, 最大转换率分别为 150MHz/s 和 250MHz/s.

图 6(a) 所示为无独立 T/H 电路的 6bit 折叠插值 ADC 版图照片, 芯片面积为 $2.1\text{mm} \times 1.4\text{mm}$, 图 6(b) 所示为采用主从式 T/H 电路的 6bit 折叠插值 ADC 版图照片, 芯片面积为 $2.5\text{mm} \times 1.5\text{mm}$. 二者对比可看出, 采用主从式采样保持电路并不会大幅度增加 ADC 的芯片面积.

ADC 性能参数及对比总结如表 1 所示. 表中采用主从式 T/H 电路的折叠插值 ADC 功耗增大的主要原因是 ADC 最大转换频率被提高, 而在相同转换频率时, 采用主从式 T/H 电路并不会明显增加电路功耗.

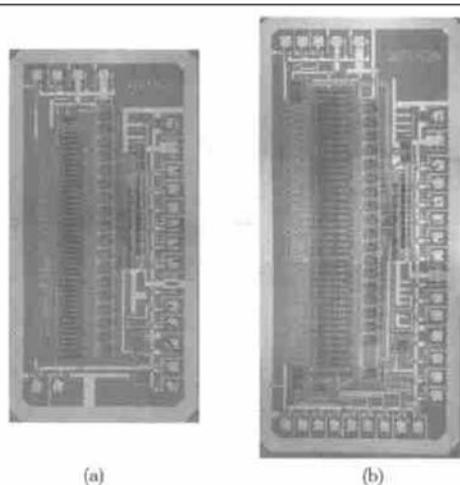


图 6 ADC 版图照片

Fig. 6 Micrograph of ADC

表 1 ADC 仿真结果

Table 1 Simulated results of ADCs

| ADC 类型 | Flash 型 ADC | 折叠插值 ADC | 折叠插值 ADC | 折叠插值 ADC |
|-----------------------|-----------------------------|-------------------------------|-----------------------------|-----------------------------|
| 分辨率 | 4~5bit | 6bit | 6bit | 6bit |
| T/H 结构 | 简单 CMOS 开关电容 T/H | 无 | 差分前置主 T/H | 主从式 T/H |
| 采样误差补偿放大器 | 无 | 无 | 有 | 有 |
| 工艺 | $1.2\mu\text{m}$ 标准数字 CMOS | $1.2\mu\text{m}$ 标准数字 CMOS | $1.2\mu\text{m}$ 标准数字 CMOS | $1.2\mu\text{m}$ 标准数字 CMOS |
| 最大采样率 | $\geq 200\text{MS/s}$ | 150MS/s | 200MS/s | 250MS/s |
| 输入信号带宽 | $> 50\text{MHz}$ | $\geq 0.5\text{MHz}$ | 30MHz | 80MHz |
| 输入信号 $V_{\text{P-P}}$ | 2.5V | 2.5V | 2V | 2V |
| 输入电容 | 4pF | 4pF | $2 \times 4\text{pF}$ | $2 \times 4\text{pF}$ |
| INL/DNL | 0.5/0.5 LSB (1MHz input) | 0.8/0.5 LSB (0.5MHz input) | 0.5/0.5 LSB (1MHz input) | 0.5/0.5 LSB (1MHz input) |
| 电源电压 | 5V | 5V | 5V | 5V |
| 最大功耗 | 150~300mW | 185mW | 230mW | 300mW |
| 最大延迟时间 | 2 clock cycles | ≤ 1.5 clock cycles | 2 clock cycles | 2.5 clock cycles |

4 结论

本文提出的主从式 T/H 电路结构, 能够有效提高 ADC 的输入信号带宽, 并一定程度增加转换频率. 同时该 T/H 结构通过使用内部差分误差补偿技术来消除采样误差, 保证高采样率情况下的采样精度. 在 $1.2\mu\text{m}$ 数字 CMOS 工艺下实现 250MS/s 采样率、6bit CMOS 折叠、电流插值 A/D 转换器. 仿真结果表明该设计中主从式 T/H 电路的实际采样精度约为 50dB, ADC 输入信号带宽可达到 80MHz . 此外, 主从式 T/H 电路结构的应用范围并不仅仅局限于折叠插值 A/D 转换器, 也可用于目前使用的高速 Flash 型 ADC 中.

参考文献

- [1] Van De Grift R, Rutten I W J M, Van Der Veen M. An 8-bit video ADC incorporating folding and interpolation techniques. IEEE J Solid-State Circuits, 1987, 22(6): 944
- [2] Flynn M P, Allstot D J. CMOS folding A/D converters with current-mode interpolation. IEEE J Solid-State Circuits, 1996, 31(9): 1248
- [3] Van Valburg J, Van de Plassche R J. An 8-b 650-MHz folding ADC. IEEE J Solid-State Circuits, 1992, 27(12): 1662
- [4] Nauta B, Venes A G W. A 70-MS/s 110mW 8-b CMOS folding and interpolating A/D converter. IEEE J Solid-State Circuits, 1995, 30(12): 1302
- [5] Venes A G W, Van de Plassche R J. An 80-MHz, 80-mW, 8b, CMOS folding and interpolating A/D converter with distributed track-and-hold preprocessing. IEEE J Solid-State Circuits, 1996, 31(9): 1248

- Circuits, 1996, 31(12): 1846
- [6] Liu Fei, Ji Lijiu. 150-Ms/s, 6b digital CMOS folding A/D converter with current-mode interpolating. Chinese Journal of Semiconductors, 2002, 23(9): 988 (in Chinese) [刘飞, 吉利久. 150-Ms/s、6b CMOS 数字工艺折叠、电流插值 A/D 转换器. 半导体学报, 2002, 23(9): 988]
- [7] Razavi B. Design of analog CMOS integrated circuits. New York: McGraw-Hill Book, 2001: 418
- [8] Choi M, Abidi A A. A 6-b 1.3Gsample/s A/D converter in 0.35- μ m CMOS. IEEE J Solid-State Circuits, 2001, 36(12): 1847
- [9] Flynn M P, Sheahan B. A 400-Msample/s, 6-b CMOS folding and interpolating ADC. IEEE J Solid-State Circuits, 1998, 33(12): 1932

A Folding and Interpolating A/D Converter with Master-Slave T/H Circuit*

Liu Fei, Jia Song, Lu Zhenting, Liu Ling and Ji Lijiu

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: A master-slave T/H circuit with the offset compensative amplifiers is proposed, which can improve sample precision and input bandwidth. A 250Ms/s, 6-bit CMOS folding and interpolating A/D converter with M-S T/H is designed in a 1.2 μ m standard digital CMOS process. The simulation results demonstrate that the power dissipation of the converter is less than 300mW for 5V supply and the signal bandwidth is about 80M Hz. The latency between input and output is 2.5 clock cycles.

Key words: ADC; CMOS; master-slave T/H; folding; interpolating

EEACC: 1265; 1280; 2570D

Article ID: 0253-4177(2004)04-0462-06

* Project supported by Electronic Pre-Research Foundation of China(Nos. 41308010402, 415011005)

Liu Fei male, was born in 1974, PhD candidate. He is engaged in the research on mixed A/D circuit design.

Lu Zhenting male, was born in 1979, MS candidate. He is engaged in the research on mixed A/D circuit design.

Ji Lijiu male, professor. He is engaged in the research on IC design.