

薄栅氧高压 CMOS 器件研制

刘奎伟¹ 韩郑生^{1,3} 钱鹤^{1,3} 陈则瑞² 于洋² 仙文岭² 饶竞时²

(1 中国科学院微电子中心, 北京 100029)

(2 首钢日电电子有限公司, 北京 100041)

(3 北京首科微电子工业研发中心有限公司, 北京 100029)

摘要: 研制了与 0.5 μm 标准 CMOS 工艺完全兼容的薄栅氧高压 CMOS 器件. 提出了具体的工艺制作流程—在标准工艺的基础上添加两次光刻和四次离子注入工程, 并成功进行了流片试验. 测试结果显示, 高压 NMOS 耐压达到 98V, 高压 PMOS 耐压达到 -66V. 此结构的高压 CMOS 器件适用于耐压要求小于 60V 的驱动电路.

关键词: 0.5 μm ; 高压 CMOS; 高低压兼容; CMOS 工艺; 驱动电路

EEACC: 2560A; 2560S

中图分类号: TN303; TN405

文献标识码: A

文章编号: 0253-4177(2004)05-0568-05

1 引言

近年来, 集成低压 CMOS(LVCMOS) 控制电路和高压驱动电路的高压集成电路大量应用于平板显示驱动、工业控制和汽车电子等领域. 由于高压 CMOS(HVCMOS) 是一种较理想的高压器件, 具有开关特性好、功耗小等优点, 在标准 CMOS 工艺中集成 HVCMOS 器件, 即高低压混载的 CMOS 工艺可以实现此类集成电路的低成本、高性能.

集成 HVCMOS 器件到标准 CMOS 工艺中时, 高压器件的制作一般采用厚栅氧工艺, 即 HVCMOS 器件的栅氧厚度比 LVCMOS 的厚, 这样高压器件能承受高的栅源耐压, 但会造成器件跨导降低^[1], 提高工艺复杂度和成本. 国外及中国台湾地区在这一集成技术方面已取得显著成果, 部分代加工 (Foundry) 公司已实现规模化生产. 对于采用薄栅氧工艺的高压器件, 即高低压 CMOS 器件的栅氧厚度相同, 在应用于实际电路的过程中, 必须在电路中控制高压器件栅源电压的波动, 使其大小保持在低压控制电路工作电压范围内. 针对薄栅氧高压器件

的设计及其应用电路的设计^[2~4], 国外已进行了一些研究工作. 而国内在这方面做的工作却很少, 本文主要针对薄栅氧高压器件进行了研究.

实现高压工艺, 可以采用智能电压扩展 (SVX) 技术^[3]. SVX 技术已成功应用于 2 μm 标准 CMOS 工艺中, 现在正向亚微米和深亚微米标准 CMOS 工艺发展. 对于亚微米标准工艺以下的 SVX 技术, 如何在要求的击穿电压条件下采用最少的工艺修改来实现集成的 HVCMOS 器件, 是当今不断缩小的低压标准 CMOS 工艺中的一大挑战. 我们在首钢日电电子有限公司 (SGNEC) 0.5 μm 标准 CMOS 双阱工艺的基础上, 通过添加两块掩膜版和四次离子注入分别完成了 HVCMOS 所需的高压 N 阱、高压 P 阱和 HVCMOS 阈值电压的调整, 实现了薄栅氧 HVCMOS 器件与 LVCMOS 器件的集成.

2 高压驱动电路

高压驱动电路是高压器件的主要应用对象, 本文对此进行简单介绍, 并对电路中高压器件栅源电压的要求进行说明. 高压驱动电路是低压逻辑部分

刘奎伟 男, 1979 年出生, 硕士研究生, 研究兴趣是半导体器件与超大规模集成电路工艺技术.

韩郑生 男, 1962 年出生, 研究员、博士生导师, 研究兴趣是半导体器件与超大规模集成电路工艺技术.

钱鹤 男, 1963 年出生, 研究员、博士生导师, 研究兴趣是半导体器件与超大规模集成电路工艺技术.

2003-05-25 收到, 2003-07-15 定稿

产生控制信号控制高压部分工作的电路, 现在常用电路的简单结构如图 1 所示, 其中 V_{DD} 和 V_{DDH} 分别是低压电路和高压电路的工作电压, 虚线框内是电平位移电路. 根据电路相关知识可知, HVP MOS 的栅源耐压必须要大于 V_{DDH} , 即该器件要采用厚栅氧工艺, 这将增加工艺复杂度和成本.

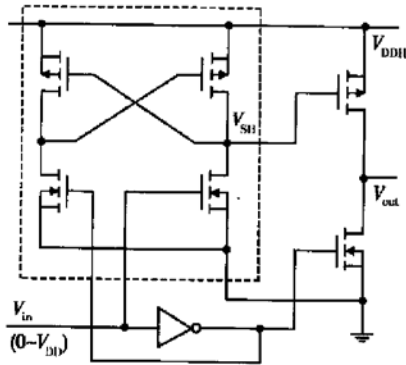


图 1 高压驱动电路图

Fig. 1 Schematic of high-voltage driver

要在电路中采用薄栅氧 HVC MOS 器件, 则必须对电路进行改进. 由于薄栅氧 HVC MOS 器件具有与 LVC MOS 器件相同的栅源耐压, 因此必须在驱动电路中控制高压器件栅源电压的波动. 由图 1 知, HVNMOS 的栅控制电压为 $0 \sim V_{DD}$, 因此采用薄栅氧没有问题. 但要采用薄栅氧 HVP MOS, 其栅电压必须被控制在 $(V_{DDH} - V_{DD}) \sim V_{DDH}$ 之间^[1], 即 V_{SH} 的输出值为 $(V_{DDH} - V_{DD}) \sim V_{DDH}$, 这就需要对图 1 中的电平位移电路进行改进设计, 使其输出电压 V_{SH} 满足薄栅氧 HVP MOS 的要求. 采用改进的电平位移电路后^[1, 3, 4], 尽管驱动电路中包含高压器件和低压器件, 但高压器件和低压器件可采用相同的栅氧厚

度, 这样既简化了工艺又降低了制作成本.

另外, 薄栅氧 HVC MOS 器件还可以单独与电阻串联组成高压驱动电路, 如真空荧光屏显示器 (VFD) 等的驱动电路, 在这些电路中薄栅氧 HVC MOS 器件可以得到很好的应用.

3 HVC MOS 器件

在 $2\mu\text{m}$ 标准 CMOS 工艺中应用 SVX 技术已成功集成了 HVC MOS 器件^[3], 而且未修改和添加工艺流程. 但将 SVX 技术用于亚微米标准工艺, 则必须修改或添加工艺流程以解决许多技术上的难题, 如克服高压器件的击穿电压降低、实现 HVC MOS 器件的漂移区等.

3.1 器件结构

我们在 $0.5\mu\text{m}$ 标准 CMOS 双阱工艺基础上设计完成的薄栅氧 HVC MOS 器件结构如图 2 所示, HVNMOS 采用 DMOS 结构直接制作在衬底上, HVP MOS 采用偏置栅结构制作在高压 N 阱 (HVNwell) 中. 通过添加两块掩膜版分别完成了两个高压器件所需的漂移区, 即 HVNwell 和高压 P 阱 (HVPwell), 其中 HVNwell 通过一次离子注入和高温推进完成, HVPwell 通过三次离子注入完成. 高压阱作为器件漂移区, 决定着器件的耐压特性, 其注入剂量可根据表面电场降低 (RESURF) 等理论确定^[5]; 高压阱除作为器件漂移区外, 还直接影响器件的阈值特性, 因此高压阱注入能量和剂量的选择需要在二者之间折衷. 对于 HVNMOS, 我们采用 HVPwell 和 P 阱 (Pwell) 两次累加注入的方法进行该器件的阈值调整, 以达到防源漏穿通和减少掩膜版数目降低成本的目的.

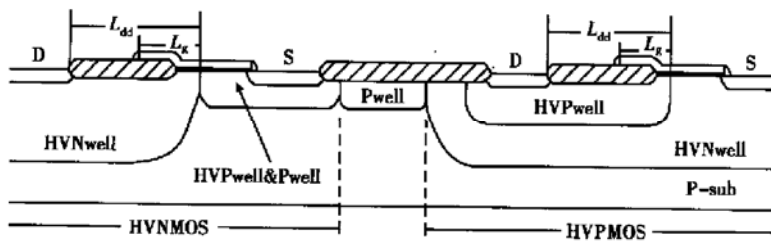


图 2 高压 CMOS 器件结构

Fig. 2 Schematic cross-section of HVC MOS

3.2 工艺流程

根据以上设计的器件结构,我们对 0.5 μm 标准 CMOS 双阱工艺流程进行了修改,完成了兼容高低压 CMOS 器件的薄栅氧流程.该工艺以 P 型硅作为衬底材料,先通过离子注入和高温推进形成 HVN-well, 然后进行 LOCOS 工艺实现器件隔离,紧接着通过注入完成工艺中所需的其他阱,接下来的工艺是栅氧化、多晶硅栅制备、LDD 注入、形成侧墙、源漏注入、接触孔刻蚀、蒸铝刻铝及钝化处理等,这个过程与标准 CMOS 工艺完全兼容.

图 3 列出了多晶硅栅形成前,标准 CMOS 工艺、薄栅氧工艺和厚栅氧工艺^[6]的关键工艺步骤.从图中可直观地看出薄栅氧工艺流程与标准工艺流程的差别,仅增加了两个阱工程,而且添加的两个阱工程不会对低压器件的特性产生影响,从电路模拟角度来看,要想保证原标准 CMOS 工艺中的相关器件模型在薄栅氧工艺中仍然有效,则必须做到这一点.

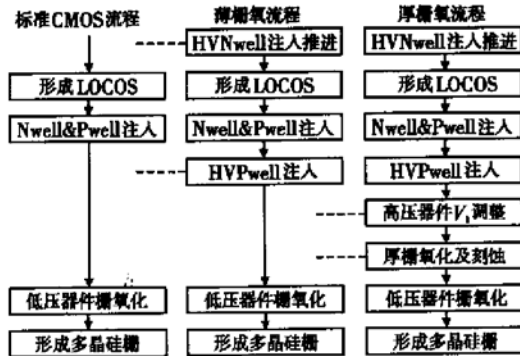


图 3 工艺流程比较

Fig. 3 Comparison of the processes

与厚栅氧工艺相比,工艺流程得到了简化,并降低了成本.

3.3 模拟与测试

在 Taurus WorkBench(TWB) 软件环境下,用 TSUPREM4 对设计的薄栅氧工艺过程进行了模拟,同时用 MEDICI 对工艺模拟产生的相关器件的特性也进行了模拟.模拟确定器件结构参数和相关注入浓度及剂量后,我们在 SGNEC 的 150mm 生产线上进行了流片试验,并对实际器件特性进行了测试.

击穿电压、阈值电压和饱和电流是我们设计高压器件要考虑的主要性能参数.影响高压器件特性的主要器件结构参数是图 2 中所示的 L_{dt}, L_g 以及器件多晶硅栅宽长比.经过模拟优化后,确定 HVN-MOS 器件的 L_{dt}, L_g 和栅宽长比分别为 6 $\mu\text{m}, 2.5\mu\text{m}$ 和 50/5, HVP MOS 器件的 L_{dt}, L_g 和栅宽长比分别为 6 $\mu\text{m}, 2.5\mu\text{m}$ 和 50/6, 然后以这些值作为相关结构参数的中心值进行了流片试验,并获得了较理想的结果.

表 1 列出了薄栅氧工艺中相关器件的主要性能指标要求、器件特性的模拟值和实测值以及测试条件.从表中的器件特性模拟值和实测值来看,工艺与器件模拟较准确地预测了器件的特性,对实际器件制造起到了很好的指导作用,有利于降低成本和缩短工艺或器件开发周期.从低压器件的模拟测试结果可以看出,添加的阱工程没有影响器件的特性,由此可以降低薄栅氧工艺的器件模型开发成本,因为只需要另外开发高压器件的模型.

表 1 高低压 CMOS 器件特性

Table 1 Characteristics of LVCMOS and HVCMOS

		LVNMOS	LVP MOS	HVNMOS	HVP MOS	测试条件
阈值电压 /V	规格值	0.65±0.15	- 0.8±0.15	1.15±0.15	- 1.15±0.15	LV: V _{ds} = 5V HV: V _{ds} = 10V
	模拟值	0.64	- 0.82	1.14	- 1.13	
	实测值	0.62±0.01	- 0.78±0.01	1.18±0.01	- 1.16±0.01	
击穿电压 /V	规格值	> 7	< - 7	> 40	< - 40	V _{gs} = 0
	模拟值	11.6	- 11.4	100	- 67.5	
	实测值	11.8±0.02	- 10.9±0.02	98±1	- 66±1	
饱和电流 /(A· μm^{-1})	规格值	> 3×10 ⁻⁴	< - 1.6×10 ⁻⁴	> 9×10 ⁻⁵	< - 3×10 ⁻⁵	V _{gs} = 5V LV: V _{ds} = 5V HV: V _{ds} = 40V
	模拟值	3.5×10 ⁻⁴	- 1.9×10 ⁻⁴	1.17×10 ⁻⁴	- 5.2×10 ⁻⁵	
	实测值	≈3.7×10 ⁻⁴	≈- 2×10 ⁻⁴	≈1.14×10 ⁻⁴	≈- 5×10 ⁻⁵	

图 4 和图 5 是用 Tektronix 370A 型测试仪测得的 HVNMOS 和 HVP MOS 的漏极特性曲线,其

中 |V_{gs}| 变化范围是 0~ 5V, 步长 1V. 从图中可看出, 在 |V_{ds}| 小于 60V 的饱和区内, 器件的漏极特性

曲线都比较平直, 因此器件可应用于耐压要求小于 60V 的电路中; 继续增大漏源电压, HVP MOS 很快会发生击穿, 而 HVNMOS 的特性曲线会逐渐上翘, 直到器件击穿, 且器件的击穿电压会随栅源电压的增大而降低, 这主要是由衬底电流引起的体效应 (SCBE) 造成的。

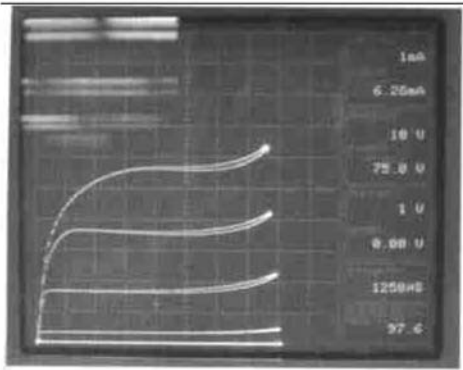


图 4 高压 NMOS 的 $I_{ds}-V_{ds}$

Fig. 4 $I_{ds}-V_{ds}$ curves of HVNMOS

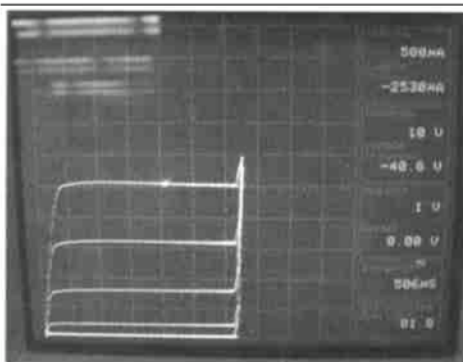


图 5 高压 PMOS 的 $I_{ds}-V_{ds}$

Fig. 5 $I_{ds}-V_{ds}$ curves of HVP MOS

4 结论

在首钢日电电子有限公司 0.5 μm 标准 CMOS 双阱工艺的基础上, 通过添加两块掩膜版和四次离

子注入实现了兼容性高、低压 CMOS 器件的高压工艺, 并成功进行了流片试验. HVNwell 注入推进后, 可满足 HVNMOS 对击穿电压以及 HVP MOS 对阈值电压的要求; 对于 HVNMOS、HVPwell 和 Pwell 两次累加注入实现了该器件的阈值调整, 以上这些措施既降低了工艺复杂度, 又降低了制作成本. 从实际测得的高压器件的性能可知, 此项高压工艺可以用来制作高压集成电路, 如 LCD、VFD 等的显示驱动电路。

致谢 感谢首钢日电电子有限公司提供的软硬件环境以及前工序研发室、制作科全体员工在整个研发制造过程中给予的帮助和支持。

参考文献

- [1] Declercq M J, Schubert M, Clement F. 5V-to-75V CMOS output interface circuits. IEEE ISSCC, 1993, 36: 162
- [2] Bassin C, Ballan H, Declercq M. High voltage devices for 0.5 μm standard CMOS technology. IEEE Electron Device Lett, 2000, 21(1): 40
- [3] Ballan H, Declercq M. High voltage devices and circuits in standard CMOS technologies. Kluwer Academic Publisher, 1999
- [4] Doutreligne J, De Smet H, Van den Steen J, et al. Low-power high-voltage CMOS level-shifters for liquid crystal display drivers. The Eleventh International Conference on Microelectronics, 2000: 213
- [5] Appels J A, Vaes H M J. High voltage thin layer devices (resurf devices). In: 25th Int Electron Devices Meeting, 1979: 238
- [6] Liu Kuiwei, Han Zhengsheng, Qian He, et al. Design and simulation of high-voltage CMOS devices compatible with standard CMOS technologies. Chinese Journal of Semiconductors, 2003, 24(7): 758(in Chinese)[刘奎伟, 韩郑生, 钱鹤, 等. 兼容标准 CMOS 工艺的高压器件设计与模拟. 半导体学报, 2003, 24(7): 758]

Fabrication of Thin Gate Oxide High-Voltage CMOS

Liu Kuiwei¹, Han Zhengsheng^{1,3}, Qian He^{1,3}, Chen Zerui², Yu Yang²,
Xian Wenling² and Rao Jingshi²

(1 *Microelectronics R&D Center, The Chinese Academy of Sciences, Beijing 100029, China*)

(2 *Shougang NEC Electronics Corporation Limited, Beijing 100042, China*)

(3 *Beijing Shouke Microelectronics Industry R&D Center Corporation Limited, Beijing 100029, China*)

Abstract: The thin gate oxide high voltage CMOS (HVCMOS) compatible with the 0.5 μm standard CMOS process is fabricated. An idiographic process flow which only needs adding two lithography steps and four implantations in the standard CMOS technology is given. After the fabrication, the breakdown voltages of 98V for high-voltage NMOS (HVN MOS) and -66V for high-voltage PMOS (HVPMOS) are obtained. As a result, the HVCMOS will be applied to the driver IC that the absolute breakdown voltage value of the devices is up to 60V.

Key words: 0.5 μm ; HVCMOS; high voltage/low voltage compatible; CMOS process; driver IC

EEACC: 2560A; 2560S

Article ID: 0253-4177(2004)05-0568-05

Liu Kuiwei male, was born in 1979, graduate student. His research interests are semiconductor devices and VLSI process technology.

Han Zhengsheng male, was born in 1962, professor. His research interests are semiconductor devices and VLSI process technology.

Qian He male, was born in 1963, professor. His research interests are semiconductor devices and VLSI process technology.

Received 25 May 2003, revised manuscript received 15 July 2003

©2004 The Chinese Institute of Electronics