

一个 10 位 50MS/s CMOS 折叠流水 结构 A/D 转换器*

李志刚 石 寅 于云华 刘 扬

(中国科学院半导体研究所, 北京 100083)

摘要: 在 0.6 μ m DPDM 标准数字 CMOS 工艺条件下, 实现 10 位折叠流水结构 A/D 转换器, 使用动态匹配技术, 消除折叠预放电路的失调效应; 提出基于单向隔离模拟开关的分步预处理, 有效压缩了电路规模, 降低了系统功耗. 在 5V 电源电压下, 仿真结果为: 当采样频率为 50MSPS 时, 功耗为 120mW, 输入模拟信号和二进制输出码之间延迟为 2.5 个时钟周期, 芯片面积 1.44mm².

关键词: A/D 转换器; CMOS 模拟集成电路; 折叠插值; 失调; 动态匹配; 单向隔离模拟开关

EEACC: 1290B

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2004)06-0720-06

1 引言

高性能数字信号处理在各领域的广泛应用, 极大地促进了高速、高分辨率 A/D、D/A 转换器(以下简称 ADC、DAC)的发展. 目前 ADC 的结构, 较多采用的是两步或多步流水方式^[1~4]. 但这些方式需备置多个宽带、高增益的运放和高匹配精度的器件, 设计制作有一定难度, 同时芯片面积和功耗的开销亦较大, 不利于 SOC 系统集成.

折叠结构 ADC^[5~8] 基于信号的非线性处理, 无须对信号进行精密放大, 因而无需高增益的运放, 同时折叠电路本身的折叠增益又缓解了后续比较器的设计要求, 因此折叠结构可在电路规模、系统功耗上取得一定优势. 本文提出一种新型 CMOS 折叠流水结构, 其中动态匹配技术^[9]能有效抑制预放电路失调, 确保折叠结构 ADC 的线性精度(不超过 $\pm 1/2$ LSB), 特别是在高分辨率转换时同样能保证线性精度的要求. 基于单向隔离模拟开关的分步预处理大

大压缩了电路规模, 降低了系统功耗. 采用 0.6 μ m DPDM 标准数字 CMOS 工艺设计了一个 10 位、50MS/s 的新型 CMOS 折叠流水结构 ADC, 系统功耗为 120mW, 芯片面积为 1.44mm². 其较低的功耗以及较小的尺寸显然符合 SOC 系统芯片集成和嵌入式应用的发展需要.

文章分别阐述了动态匹配技术和基于单向隔离模拟开关的分步预处理, 在此基础上提出了新型折叠流水结构, 并介绍了适于奇数倍折叠电路的非二进制数字校正方案, 最后给出仿真结果和结论.

2 动态匹配技术

预放电路的失调是限制 CMOS 折叠结构实现高分辨率转换的一个主要因素^[5~7,9]. 本文采用动态匹配技术, 以较小的电路代价实现了对预放失调的校正. 图 1(a) 为采用动态匹配技术(以下简称 DEM)的预放差分对, 其中 V_{OS} 为等效输入失调电压. 结合前端的跟踪保持电路, 在输入信号保持期间, 通过开

* 国家高技术研究发展计划资助项目(编号: 2002AA1Z1200)

李志刚 男, 1975 年出生, 博士研究生, 从事数模混合电路方面的研究.

石 寅 男, 研究员, 博士生导师, 现从事高速数模混合电路方面的研究.

2003-05-29 收到, 2003-09-15 定稿

关信号 s_0, s_1 的选通, 输入保持信号 V_{in} 和参考电压信号 V_{ref} 分别驱动两个输入端, 输出的一个单端作为输出信号, 并用开关来选通后续的两路跟踪保持电路; 两路输出保持信号作为差分输出信号, 图 1

(b) 为其传输特性曲线. 在差分对输入失调不超出其活动区 (active range) 范围时, 输出信号的过零点 V_{zero} 与理想位置 V_{ref} 重合. 这表明采用动态匹配技术消除了预放失调带来的过零点精度误差.

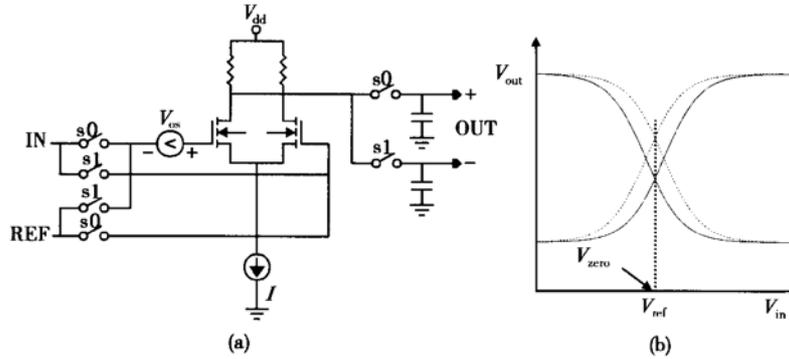


图 1 采用动态匹配的差分对

Fig. 1 A differential pair with DEM

差分对采用动态匹配技术, 引入了若干个开关和电容, 势必会引入新的误差源, 影响差分对的速度. 通过分析^[9]发现, 其中主要的误差源, 即沟道电荷注入的等效输入误差为

$$\Delta V_{q, in} = \frac{WLC_{OX}}{2AC_H} [V_{out1} - V_{out2} - \gamma(\sqrt{2\phi_B + V_{out1}} - \sqrt{2\phi_B + V_{out2}})] \quad (1)$$

式中 A 为差分增益 (即折叠增益); C_H 为保持电容; W, L 和 C_{OX} 分别为开关管的宽、长和单位栅电容.

小信号动态响应的时间常数为

$$\tau = C_H / g_{ds} \quad (2)$$

式中 g_{ds} 为差分对的输出导抗. 由 (2) 式可得, 差分对输出端由于保持电容 C_H 的作用, 速度受到一定的限制. 在保证 $\Delta V_{q, in} \leq 1/2LSB$ 的前提下, 可减小 C_H 值来提高速度. 动态匹配技术使得折叠预放的差分对管可采用最小尺寸设计, 其输入电容可取得最小值, 这对减小前端跟踪保持器的负载电容从而提高采样频率十分有利.

采用动态匹配技术改进折叠预放电路, 将预放失调移到折叠电路之后来修正, 不仅消除了预放失调, 而且随动态匹配技术而来的附加误差源可由折叠增益来有效抑制. 相比其他的改善失调技术^[5~7], 动态匹配以较小的电路和功耗代价达到了消除预放失调的目的.

3 基于单向隔离模拟开关的分步预处理

折叠结构 ADC 要通过模拟预处理电路产生所有的 2^N 个过零点信号, 如 10 位 ADC 需产生 1024 个过零点. 直接通过折叠电路产生, 需要上千个预放电路来产生过零点信号. 采用内插技术可以成倍地缩减预放电路的数目, 但高倍内插率又会导致较大规模的插值电路, 而且还会引入较大的插值误差. 若结合级联结构, 分级采用低倍内插率, 则需要多级级联结构, 造成转换延迟增大. 另外, 折叠结构 ADC 采用高倍内插率必然导致比较器的数目成倍增加. 基于模拟开关的分步预处理技术, 采用分步原理, 成倍地缩减了折叠结构所需产生的过零点数目, 从而有效地压缩了高分辨率转换折叠 ADC 预放电路规模, 附加的电路只是模拟开关阵列和少量的粗量化比较器.

基于模拟开关的分步预处理, 类似基于模拟开关的两步结构, 如图 2 所示. 粗量化转换 ADC_C 确定输入信号 V_{in} 所处的参考电压区间, 通过 ADC_C 的输出选通模拟开关阵列确定精量化转换 Folding ADC 的参考电压, 精化了折叠结构对应的过零点范围, 从而成倍地压缩了预放电路规模. 在图 2 中, 精量化转换是由折叠结构来完成, 这与基于模拟开关的两步结构不同. 基于模拟开关的两步结构, 级间无增益,

精量化转换比较器的设计要求较高. 相比之下, 基于模拟开关的分步预处理, 精量化转换由折叠结构完成, 折叠增益有效地缓解了比较器的设计要求. 整个 ADC 的转换精度由折叠结构的过零点精度保证. 在折叠结构实现高分辨率转换时, 基于模拟开关的分步操作位于折叠结构之前, 作为一种预处理方案, 精化了折叠结构对应的过零点范围, 大大压缩了折叠结构的电路规模.

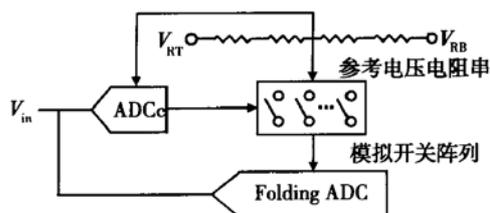


图 2 基于模拟开关的分步预处理

Fig. 2 Sub-range based on analog switch

尽管图 2 所示的预处理方案大大缩减了预放电路数目, 但在满量程转换范围内, 预放电路产生过零点, 其所对应的参考电压数目没变, 因而所需的参考电压电阻数目没变, 并且须根据参考电压电阻的数目引入同等数目的模拟开关, 以传输参考电压信号. 在高分辨率转换时, 过零点数目指数增加, 参考电压电阻和模拟开关的数目大量增长, 以及模拟开关控制信号的连线规模增大, 导致这部分的电路规模也不容小视. 同时, 大量的精密电阻的制作带来了电路面积的增大. 为此, 本文进一步提出了基于单向隔离模拟开关的分步预处理, 如图 3 所示.

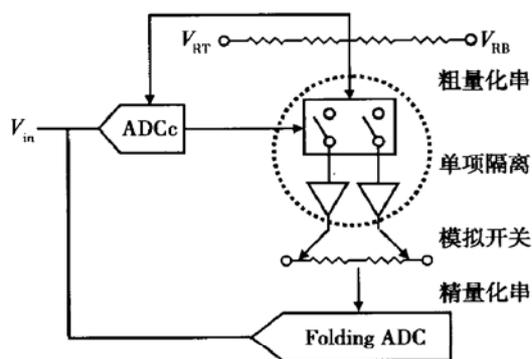


图 3 基于单向隔离模拟开关的分步预处理

Fig. 3 Sub-range based on single-way analog switch

与图 2 所示分步预处理方案不同, 图 3 中采用双参考电压电阻串: 粗量化参考电压电阻串和精量化参考电压电阻串. 粗量化电阻串为粗量化转换 ADCc 提供参考电压, 并由 ADCc 的输出, 选择其中

的两个参考电压, 通过单向隔离模拟开关的传输, 为精量化电阻串提供首尾电压, 从而确定精量化转换 Folding ADC 的参考电压范围.

双参考电压电阻串的设计大大减少了精密电阻的个数以及模拟开关的个数, 同时也降低了模拟开关的连线规模. 进一步分析双参考电压电阻串, 发现精量化电阻串的首尾电压只是满量程参考电压的一部分, 因此精量化电阻串的匹配精度要求被降低了, 但粗量化电阻串仍维持高匹配精度的要求. 在同等制作面积的条件下, 精密电阻个数的减小有利于提高电阻的匹配精度^[10].

4 新型折叠流水结构 ADC

新型折叠流水结构 ADC 的系统框图如图 4 所示. 它包括跟踪保持器、分步预处理、动态匹配开关网络、两级流水级联折叠结构和数字校正等五个主要的模块. 前端的跟踪保持器 S/H1 和分步预处理中的粗量化转换 ADC1 确定精量化转换的输入范围, 跟踪保持器 S/H2 为精量化转换提供延时. 精量化转换由两级流水级联折叠结构来完成. 为了消除折叠电路预放大器失调效应, 级联折叠结构前置动态匹配开关网络, 并对第一级折叠电路后的跟踪保持电路按动态匹配技术要求改造. 最后的数字校正网络用于校正各级输出的数字码.

图 4 所示的折叠 ADC 完成了 10 位分辨率的转换. 当输入 V_{in} 加载于跟踪保持器 S/H1 的输入端, 得到保持信号; 该保持信号驱动 ADC1, 同时由跟踪保持器 S/H2 进行延时处理; ADC1 对 S/H1 的保持信号量化得到 3 位数字码; 数字码选通单向隔离模拟开关 (single-way analog switch), 确定折叠结构的参考电压输入范围, 由精量化电阻串分压得到 30 个参考电平信号, 与 S/H2 延时处理后的保持信号一并送到动态匹配开关网络; 经由控制脉冲 φ_{dem1} , φ_{dem2} 选通, 第一级 3 倍折叠电路预放的各个输入端先后接入参考电压和模拟输入信号, 其后的级间跟踪保持电路也由 φ_{dem1} , φ_{dem2} 选通, 得到 10 对 3 倍折叠率的折叠信号; 上述的 10 对折叠信号接入第二级折叠电路, 同时其中的 5 对折叠信号还接入了 ADC2 并由此得到 4 位数字输出码; 第二级折叠电路同时进行 2 倍插值和 5 倍折叠得到 4 个 15 倍折叠率的折叠信号, 并由级间跟踪保持电路保持; 由第二个级间跟踪保持电路保持的折叠信号经过 5 倍插值, 得到

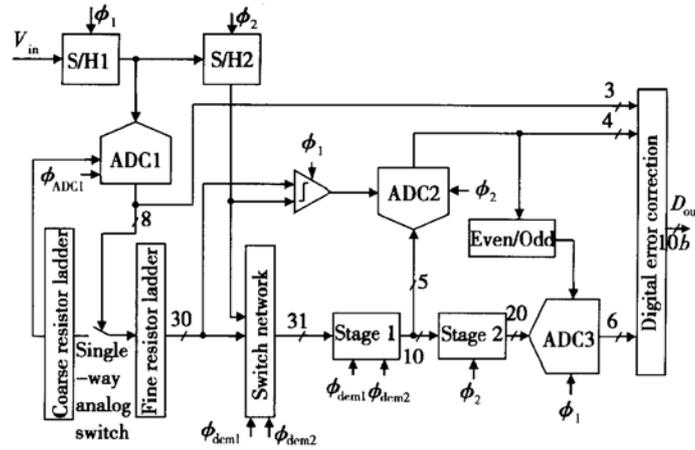


图 4 新型折叠流水结构 ADC 的系统框图
 Fig. 4 A novel pipelined folding ADC

20 个 15 倍折叠率的折叠信号; 经 ADC3 量化得到 6 位数字码. ADC1, ADC2 和 ADC3 各自得到的数字码经数字校正逻辑处理, 得到 10 位数字输出码 D_{out} .

新型折叠流水结构 ADC 采用流水方式工作, 转换分三步: 第一步为分步预处理, 第二步为 3 倍折叠, 第三步为 5 倍折叠, 其中, 第二步转换按动态匹配的要求分为两小步. 系统工作时序如图 5 所示. 按照图 5 所示的系统工作时序, 由输入模拟信号到数字输出稳定需要 2.5 个时钟周期, 而数据吞吐率为 1 个时钟周期.

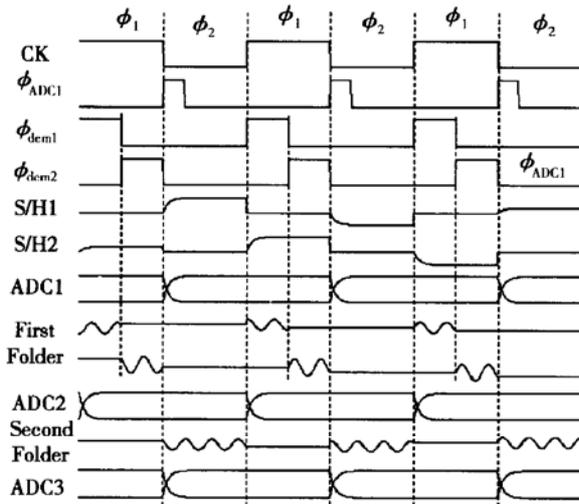


图 5 系统工作时序图
 Fig. 5 Timing diagram

5 非二进制数字校正

新型 CMOS 折叠流水结构 ADC 采用奇数倍折

叠率设计, 因而不适用于一般的二进制校正方案, 而应采用非二进制的数字校正方案. 非二进制数字校正方案的特点是精量化转换的数字码的编码根据粗量化转换的数字码的奇偶性而变化, 同时各级转换并不是满二进制量程的.

图 4 中的比较器和奇偶模块正是起着粗量化转换向精量化转换提供奇偶判决信号的关键作用. 比较器是 ADC1 向 ADC2 提供奇偶判断的部件, 已被简化: 从参考电压电阻网络引入相关参考电平, 并与输入信号比较, 直接得到奇偶判决信号; 奇偶模块是 ADC2 向 ADC3 提供奇偶判断的部件. 根据奇偶判决信号, 精量化转换的编码则相应地改变. 为了简化数字校正的实现逻辑电路, 根据粗量化转换的数字码直接译码, 得到对应于各粗量化转换码的二进制码, 通过数字加法器相加, 得到整个 ADC 最终的数字输出码.

6 仿真结果

本文采用 0.6μm DPDM 标准数字 CMOS 工艺设计了一个 10 位 .50MS/s 新型 CMOS 折叠流水结构 ADC. 为了验证动态匹配技术的有效性, 预放输入端引入随机电压, 系统仿真结果如图 6 所示. 未采用动态匹配技术的 ADC 的精度特性如图 6(a) 所示, INL 为 -0.9~0.9LSB, DNL 为 -0.3~0.3LSB; 图 6(b) 为采用动态匹配技术后的精度性能, INL 为 -0.04~0.12LSB, DNL 为 -0.13~0.05LSB. 图示数据表明: 动态匹配技术有效地抑制了预放失调对 ADC 精度的影响.

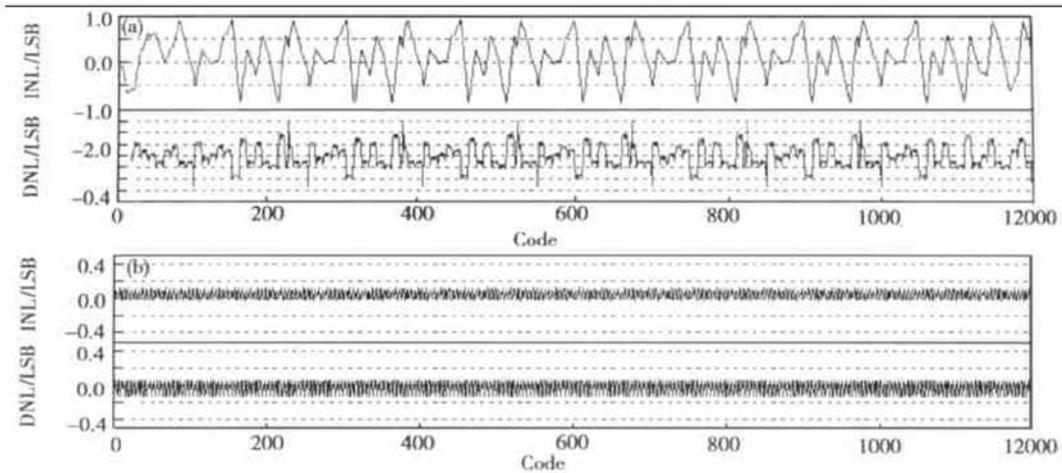


图6 动态匹配技术采用前后的精度性能对比 (a)未采用动态匹配技术;(b)采用动态匹配技术
Fig.6 Comparison of INL&DNL (a) Without DEM; (b) With DEM

采用 Foundry 提供的 CSMC-HJ 0.6 μ m DPDM 标准数字 CMOS 工艺 BSIM3V3 模型参数设计电路,并经 HSPICE 仿真,结果表明:在 5V 电源电压下,系统功耗为 120mW.图 7 为芯片的版图,面积为 1.44mm².

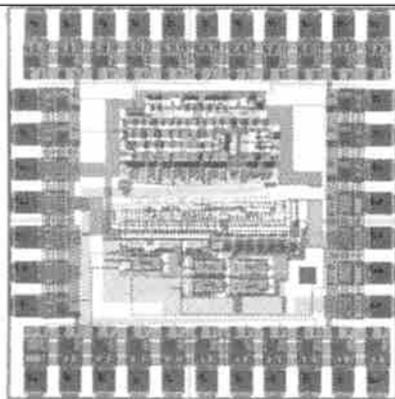


图7 芯片版图
Fig.7 Layout of the chip

7 结论

本文提出了一种新型 CMOS 嵌入式高速高精度折叠 ADC 结构.其中动态匹配技术消除了折叠预放失调,确保了高分辨率转换时的精度要求;基于单向隔离模拟开关的分步预处理,极大地压缩了电路规模,10 位转换只需 32 个比较器,30 个折叠预放电路,28 路分布式跟踪保持电路,系统功耗也随之降低.5V 电源电压下,仿真结果为:采样频率 50MS/s 时,功耗小于 120mW,输入模拟信号和二进制输出码之间延迟为 2.5 个时钟周期,芯片面积为

1.44mm².

参考文献

- [1] Pan H, Segami M, Choi M, et al. A 3.3-V 12-b 50-MS/s A/D converter in 0.6- μ m CMOS with over 80-dB SFDR. IEEE J Solid State Circuits, 2000, 35(12): 1769
- [2] Analog Devices, AD6640 Data Sheet, 1998
- [3] Mehr I, Singer L. A 55-mW, 10-bit, 40-msample/s nyquist-rate CMOS ADC. IEEE J Solid-State Circuits, 2000, 35(3): 318
- [4] Analog devices, AD9224 data sheet, 1999
- [5] Bult K, Buchwald A. An embedded 240-mW 10-b 50-MS/s CMOS ADC in 1- μ m². IEEE J Solid-State Circuits, 1997, 32(12): 1887
- [6] Liu M H, Liu S I. An 8-bit 10 MS/s folding and interpolating ADC using the continuous-time auto-zero technique. IEEE J Solid-State Circuits, 2001, 36(1): 122
- [7] Choe M J, Song B S, Bacrania K. A 13-b 40-MSamples/s CMOS pipelined folding ADC with background offset trimming. IEEE J Solid-State Circuits, 2000, 35(12): 1781
- [8] Liu Fei, Ji Lijiu. 150MS/s .6bit digital CMOS folding A/D converter with current-mode interpolating. Chinese Journal of Semiconductors, 2002, 23(9): 988(in Chinese)[刘飞,吉利久.150MS/s .6bit CMOS 数字工艺折叠、电流插值 A/D 转换器.半导体学报,2002, 23(9): 988]
- [9] Li Zhigang, Shi Yin. A CMOS folding ADC with dynamic element matching. Chinese Journal of Semiconductors, 2004, 25(2): 206(in Chinese)[李志刚,石寅.一种 CMOS 折叠结构 ADC 中的失调抵消技术.半导体学报,2004, 25(2): 206]
- [10] Wittmann R, Schardein W, Hosticka B J, et al. Trimless high precision ratioed resistors in D/A and A/D converters. IEEE J Solid-State Circuits, 1995, 30(8): 935

A 10-bit 50-MS/s CMOS Pipelined Folding A/D Converter*

Li Zhigang, Shi Yin, Yu Yunhua and Liu Yang

(*Institute of Semiconductor, The Chinese Academy of Sciences, Beijing 100083, China*)

Abstract: A 10-bit 50-MS/s CMOS pipelined folding A/D converter is designed in a 0.6 μ m DPDM digital CMOS technology. Dynamic element matching technique is proposed to eliminate the offset of the preamplifier. Based on the single-way analog switch, the sub-range preprocessing greatly compresses the circuit and reduces the power dissipation. Simulation results show the converter consumes 120mW from a 5V supply. The delay between input signal and output code is 2.5 clocks. The chip occupies 1.44mm².

Key words: analog-to-digital converter; CMOS analog integrated circuit; folding and interpolation; offset; dynamic element matching; single-way analog switch

EEACC: 1290B

Article ID: 0253-4177(2004)06-0720-06

* Project supported by National High Technology Research and Development Program of China(No. 2002AA1Z1200)

Li Zhigang male, was born in 1975, PhD candidate. His research interest includes mixed-mode circuits and systems design.

Shi Yin male, professor. His research interests focus on high speed mixed-mode circuits and systems.

Received 29 May 2003, revised manuscript received 15 September 2003

©2004 The Chinese Institute of Electronics