

新的多比特增量-总和调制器结构

王晓峰¹ 王正宏² 胡波¹ 凌燮亭¹

(1 复旦大学电子工程系, 上海 200433)

(2 普林斯顿大学电子工程系, 普林斯顿)

摘要: 在单级多比特 $\Sigma\Delta$ (增量-总和) 调制电路中, 内部的 ADC 和 DAC 的结构规模和精度都会对调制器的性能有很大的影响. 文中探讨能够减小内部 ADC 量化器规模的调制器新结构, 并与其他结构和算法的性能进行比较.

关键词: 增量-总和调制器; 多比特量化器; 模数转换器

EEACC: 1250

中图分类号: TN761

文献标识码: A

文章编号: 0253-4177(2004)06-0726-05

1 引言

在各种结构的 $\Sigma\Delta$ (增量-总和) 调制器当中, 单级多比特结构具有很多优点: 拓扑结构简单; 在相对低的过采样率下可以获得较高的信噪比; 有利于消除 idling tone 噪声; 在开关电容电路的实现中, 明显降低对运放的某些特性(如压摆率)的要求等. 然而, 由于量化器的规模, 包括面积、功耗, 通常是和其比特数成指数关系增长的, 所以当比特数很大时, 就变得难以实现. 目前已有的报道中多比特量化器的比特数一般为 2~4 比特. 为了能够用更小的代价实现更高的精度, 必须对调制器电路结构进行改进. 当然, 任何性能的改进都是在减小结构中某一部分开销的同时, 不可避免地增加其他部分的规模. $\Sigma\Delta$ 调制器内部的 DAC 和 ADC 正是体现这一矛盾的两个方面. 因此, 我们完全可以把对 $\Sigma\Delta$ 调制器结构的改进划分成两个方面: 对 DAC 的改进或者是对 ADC 的改进.

例如降噪环路(noise-reducing loop)结构^[3]就是为了减小 ADC 的规模而提出的. 和传统结构相比, 该结构只需增加一些简单的模块就可以大幅度降低内部 ADC 的输入幅值, 因此在保持量化比特数的同时, 只需通过降低量化参考电压 V_{ref} 就可以得到更精细的量化结果, 相当于提高了 ADC 的比特数. 但

这种结构必须使用高比特的 DAC 反馈完整的信号至模拟端参与调制, 内部 ADC 的量化电压越小, Δ 也越小, 内部 DAC 的比特数就会越大, 这不仅会增加器件的模块, 而且由于工艺问题, 高比特的 DAC 会带来比较严重的非线性误差; 同时, 内部 ADC 量化电压的减小也不是无限制的, 而是受到过采样率 OSR 制约的. 我们的目的就是要克服该结构的缺陷, 更进一步地提高调制器的整体性能.

本文对一种基于 Estimate 原理的调制器结构进行分析, 并把它与其他类似的电路性能进行比较, 可以发现它使用较少的比特数的量化器得到较高的输出信噪比, 同时又克服了降噪环路结构中的上述缺陷.

2 多比特 ADC

描述一个均匀量化的量化器一般需要两个参数: 量化间隔和量化阶数. 图 1 给出了一个 2 比特均匀量化的量化器, 量化间隔为 Δ , 量化阶数为 4. 在不过载的条件下, 量化噪声由量化间隔 Δ 决定. 通常, 人们近似地认为量化噪声为在 $-\Delta/2 \sim \Delta/2$ 中均匀分布的白噪声, 这时噪声功率可表示为:

$$e_{rms}^2 = \frac{\Delta^2}{12} \quad (1)$$

当量化间隔 Δ 一定时, 量化器的输入范围由量

化阶数 M 决定, $V_{\max} = (M - 1) \Delta$. 由此可以看出, 要想降低量化噪声, 必须减小量化间隔 Δ , 但为了保证原有的输入幅度, 付出的代价是更多的量化阶数, 而量化阶数通常正比于实现该量化器所需要的硬件规模.

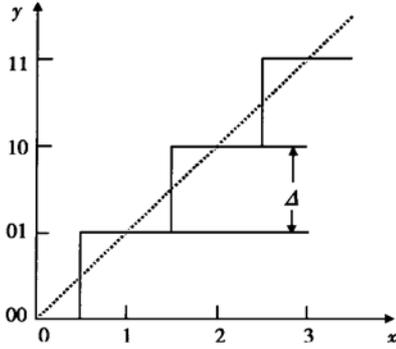


图1 2比特量化器

Fig. 1 2-bit quantizer

多比特增量-总和调制器中的量化器通常采用 flash 结构, 如图 2 所示. 可以看到, 若量化器比特数为 3, 则量化阶数为 $2^3 = 8$, 而比较器的个数等于量化阶数, 是与量化器比特数成指数关系的, 因此实际应用增量-总和调制器中的 flash 量化器一般都少于 5 比特.

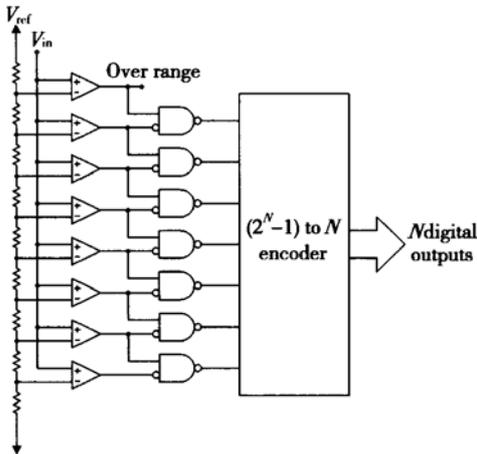


图2 3比特 flash 量化器

Fig. 2 3-bit flash quantizer

3 降噪的实现

出于稳定性和复杂度的考虑, 调制器结构的调制阶数都限制在二阶以内. 图 3 是一个基本的二阶 3 比特调制器结构, 输出信号

$$y(z) = \text{STF} \times U(z) + \text{NTF} \times e(z) \quad (2)$$

其中 STF 为信号传递函数; NTF 为噪声传递函数;

$e(z)$ 为量化误差; $U(z)$ 为输入信号; $q(z)$ 为 DAC 的非线性误差, 在理想情况下 $q(z)$ 为零, 即 $y'(z) = y(z)$. 由于输入信号是低频带限信号, 而在有用频带内噪声受到二阶调制衰减, $y(z)$ 还将通过一系列的数字低通滤波器, 滤除带外的高频噪声.

$$\text{STF} = z^{-1} \quad (3)$$

$$\text{NTF} = (1 - z^{-1})^2 \quad (4)$$

量化器输入端信号的表达式为:

$$W(z) = z^{-1}U(z) + [(1 - z^{-1})^2 - 1]e(z) \quad (5)$$

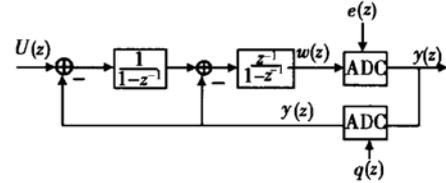


图3 二阶 3 比特调制器

Fig. 3 3-bit $\Sigma\Delta$ modulator of second order

我们设计的思路是: 如何通过只增加为数不多的模块, 使得量化器的输入信号 $w(z)$ 幅值得到衰减, 这样就可以在不增加量化比特数的情况下, 只减少量化器的参考电压值 V_{ref} , 从而减少量化间隔 Δ , 得到新的量化噪声 $e'(z)$, 就可以达到明显的降噪效果.

降噪环路^[3]就是基于这一思路而提出的, 如图 4 所示. 其中 $L(z)$ 为调制电路, 若为二阶调制则与图 3 中电路一致. 和普通的二阶调制电路相比, 该结构增加了 H_1 和 H_2 环节:

$$H_1 = (1 - z^{-1})^{-1} \quad (6)$$

$$H_2 = z^{-1} \quad (7)$$

因此, 量化器的输入端 B 点的信号表达式为:

$$V_B(z) = (1 - z^{-1})z^{-1}U(z) + [(1 - z^{-1})^3 - 1]e(z) \quad (8)$$

调制器的输出端 $Y(z)$ 的表达式为:

$$Y(z) = z^{-1}U(z) + (1 - z^{-1})^2e(z) \quad (9)$$

可见, 和 (5) 式相比, (8) 式中量化器的输入端信号, $U(z)$ (低频信号) 得到一阶的衰减, 而这一信号的幅值正是原结构中确定量化器参考电压的主要依据. 这样只需要增加一个数字积分器 H_1 和模拟的延时环节 H_2 就可以实现降噪, 同时不存在噪声泄漏问题.

将图 4 中的 H_1 展开, 能够得到图 5. 可以这么理解降噪环路: 在量化之前用一个估计值减去原信号, 使其得到衰减, 量化后再用这个估计值补偿. 估计值和信号越是相近, 信号受衰减的幅度越大, 量化

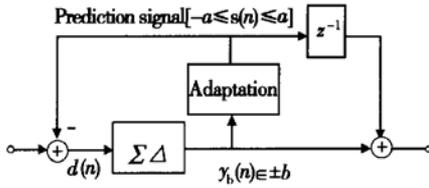


图 7 Adaptive 结构

Fig. 7 Adaptive structure

幅值范围为 $[-1, 1]$ 的正弦信号进行调制, 并比较效果. 在比较前, 我们对 Estimate 结构再做一次变化, 如图 8 所示. 变化后结构的最大变化就是将原结构中 DAC1 的输入分解成两部分, 一部分是 ADC1 转化的数字信号, 一部分是 ADC2 转化的数字信号. 而后一部分实际上已经由 DAC2 完成了, 因此没有必要在后端重复转换这一部分信号, 只需要如图 8 所示将两部分模拟信号相加, 这样就大大节约了内部 DAC 所耗资源.

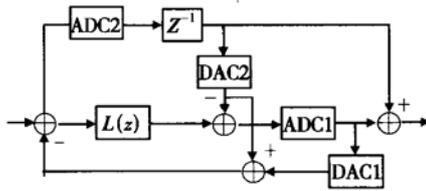


图 8 变形后的 Estimate 结构

Fig. 8 Estimate structure after transmutation

通过表 1, 我们基本上可以对两种结构的面积、实现难易程度有一定的感性了解. 由(11)式可知, 当 OSR 分别为 32, 16, 8 时, NRL 结构 ADC 的参考电压分别要大于 $\pi/32$, $\pi/16$ 和 $\pi/8$, 因此分别取 0.125, 0.25 和 0.5. 而 Estimate 结构保持不变, 只是由 3 比特的 ADC2 的 Δ 决定. 可知 $\Delta = 1/4$, 因此 $V_{ref} = \Delta/2 = 0.125$.

表 1 两种调制器结构的比较

Table 1 Comparison between two modulator structures

	内部 ADC	内部 DAC	增加的其他模块
降噪环路结构	一个 3 比特的量化器 ADC, 参考电压 V_{ref} 分别取 0.125, 0.25 和 0.5	一个 DAC, 随着 V_{ref} 不同, 分别为 6 比特, 5 比特和 4 比特	一个模拟的延时单元和一个数字积分单元
Estimate 结构	一个 3 比特的量化器 ADC2 和一个 3 比特的量化器 ADC1, $V_{ref} = 0.125$	一个 3 比特的 DAC1 和一个 3 比特的 DAC2	一个数字延时单元

由于 DAC 和 ADC 的规模都是与比特数成指数规模增长的, 所以不管过采样率是多少, Estimate 结构的 ADC 资源耗费始终是 NRL 结构的 2 倍, 而内部 DAC 耗费资源则相反: 只有在为 8 的时候, NRL 结构的耗费才和 Estimate 结构相等, 在为 16 和 32 的时候, NRL 结构的耗费则分别是 Estimate 结构的 2 倍和 4 倍, 其他增加的模块都是非常易于实现的. 综上所述, 为 8 时, Estimate 结构所耗费资源比 NRL 结构多; 为 16 时, 两者耗费资源相当; 为 32 时, Estimate 结构所耗费资源比 NRL 结构少. 图 9, 10 和 11 是对这两种结构在不同情况下的性能测试的结果.

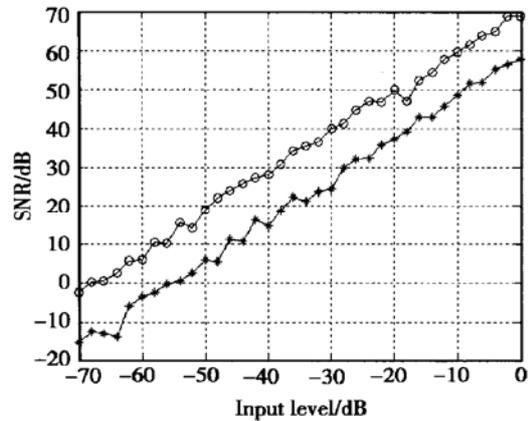


图 9 OSR= 8 时输出信噪比和输入信号幅度的关系曲线

'-*-' 为 NRL 结构; '-o-' 为 Estimate 结构

Fig. 9 SNR versus input amplitude when OSR= 8

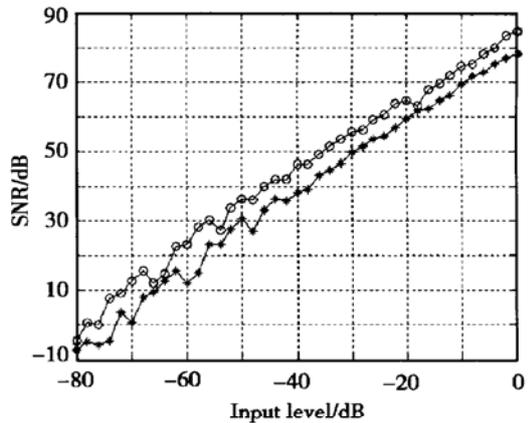


图 10 OSR= 16 时输出信噪比和输入信号幅度的关系曲线

'-*-' 为 NRL 结构; '-o-' 为 Estimate 结构

Fig. 10 SNR versus input amplitude when OSR= 16

就是说 Estimate 结构以更少的代价达到了 NRL 结构的性能指标.

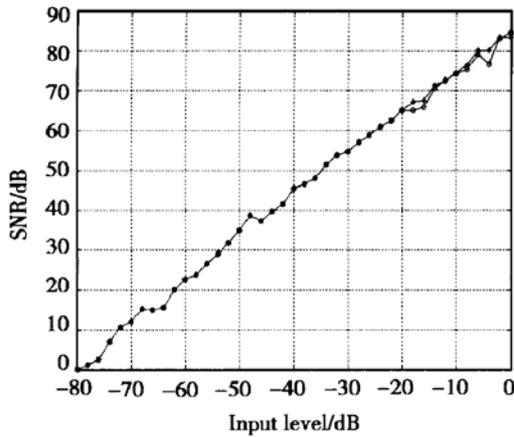


图 11 OSR= 32 时输出信噪比和输入信号幅度的关系曲线
‘-*’ 为 NRL 结构; ‘-σ’ 为 Estimate 结构

Fig. 11 SNR versus input amplitude when OSR= 32

5 结论

本文对增量-总和调制器的结构设计进行了分析,如何在面积、功耗和性能之间找到平衡点是我们的追求目标.随着大规模集成电路制造工艺的改进,会使许多结构成为现实,但也可能会使许多已有的结构模型或者误差模型发生相应的改变,因此在设计中对于实际电路模型要有充分的了解.

本文针对 NRL 结构的一些缺陷,提出了一种

基于 Estimate 原理的新结构.通过选取适当的过采样率,可以以更小的代价获得更高信噪比的输出信号.

参考文献

- [1] Norsworthy S R, Schreier R, Temes G C. Delta-Sigma data converters: Theory, design and simulation. New York: IEEE Press, 1997: 193
- [2] Leslie T C, Singh B. An improved sigma delta modulator architecture. Proc IEEE Int Sympo Circuits and Systems' 85, 1985: 372
- [3] Wang Zhenghong, Ling Xieting. Noise-reducing loop in multibit sigma delta modulators. Proc of the IEEE International Conference on Circuits and Systems, Sydney, Australia, 2001: 284
- [4] Lindfors S, Halonen K. Two-step quantization in multi-bit $\Delta\Sigma$ -modulators. Proc IEEE Int Symposium Circuit and Systems, 1999: 1701
- [5] Brooks T L, Robertson D H, Kelly D F, et al. A cascaded sigma delta pipeline A/D converter with 1.25MHz signal bandwidth and 89 dB SNR. IEEE J Solid-State Circuits, 1997, 32: 1896
- [6] Zierhofer C M. Adaptive Sigma-Delta modulation with one-bit quantization. IEEE Trans Circuits Syst- II: Analog and Digital Signal Processing, 2000, 47(5): 408

New Multi-Bit $\Sigma\Delta$ Modulator

Wang Xiaofeng¹, Wang Zhenghong², Hu Bo¹ and Ling Xieting¹

(1 Department of Electronic Engineering, Fudan University, Shanghai 200433, China)

(2 Department of Electronic Engineering, Princeton University, Princeton, USA)

Abstract: In the single-stage multi-bit $\Sigma\Delta$ modulating electronic circuit, the structure scale and accuracy of the internal ADC and DAC have a profound impact on the function of modulators. A new modulator structure is proposed, which can decrease the scale of the internal ADC. Furthermore, the new function is compared with that of other previous structures and algorithms.

Key words: $\Sigma\Delta$ modulator; multi-bit quantizer; ADC

EEACC: 1250

Article ID: 0253-4177(2004)06-0726-05