

源区浅结 SOI MOSFET 的辐照效应模拟

赵洪辰 海潮和 韩郑生 钱 鹤

(中国科学院微电子中心, 北京 100029)

摘要: 研究了源区浅结的不对称 SOI MOSFET 对浮体效应的改善, 模拟了总剂量、抗单粒子事件(SEU)、瞬时辐照效应以及源区深度对抗辐照性能的影响. 这种结构器件的背沟道抗总剂量能力比传统器件有显著提高, 并且随着源区深度的减小, 抗总剂量辐照的能力不断加强. 体接触不对称结构的抗 SEU 和瞬时辐照能力优于无体接触结构和传统结构器件, 这与体接触对浮体效应的抑制和寄生 npn 双极晶体管电流增益的下降有关.

关键词: 源区浅结; 不对称 SOI MOSFET; 辐照效应

PACC: 7340Q

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2004)06-0735-06

1 引言

半导体上硅(SOI)技术中, 埋氧化层把制作器件的硅膜与衬底隔离, 使电荷收集体积变得非常有限, 在抗单粒子事件(SEU)和瞬时辐照方面有着体硅不可比拟的优势^[1]. 但是有两种机制会降低 SOI 集成电路的抗辐照性能: (1) 浮体效应会降低抗 SEU 和瞬态辐照能力^[2]; (2) 总剂量辐照在硅膜和埋氧化层界面建立正电荷, 使背沟道发生漏电^[3]. 抑制浮体效应的最常用方法是利用体接触, 把体区电位固定(通常与源区电位相同)^[4]. 体接触能够为辐照产生的空穴提供导电通道, 使其离开体区, 降低体区和源区之间可能的电势差. 加固背沟道的方法主要有两种: (1) 使用特殊的 SOI 埋氧化层, 减少被陷阱捕获的正电荷^[5], 但是这种 SOI 基片非常昂贵, 通常很难通过商业途径得到; (2) 设计对埋氧化层陷阱电荷不敏感的晶体管.

本文利用二维器件模拟程序 Medici^[6] 对一种不对称 SOI MOSFET 的总剂量 SEU 和瞬时辐照特性进行了模拟, 并研究了源区深度对器件抗辐照性能的影响.

2 器件描述

不对称 SOI MOSFET 的结构与传统的 SOI MOS-

FET 结构很接近, 如图 1 所示. 不同之处有两点: (1) 源区形成浅结, 没有贯穿整个硅膜; (2) 在源区旁边有作为体接触的重掺杂 p 型区. 由于源区没有延伸到硅膜与埋氧化层(BOX)的界面处, 所以即使背沟道发生反型, 也无法在源漏区之间形成导电通道, 因而可以减弱甚至完全消除电离辐照导致的 SOI MOSFET 背沟道漏电问题.

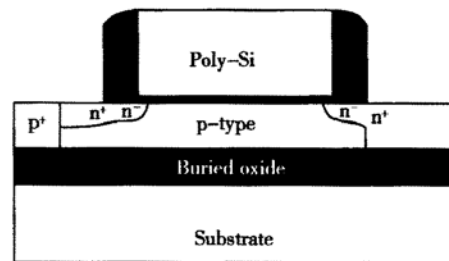


图 1 不对称 SOI MOSFET 的结构示意图

Fig. 1 Schematic cross-section of the asymmetric SOI MOSFET

不对称 SOI MOSFET 的制备流程与一般的部分耗尽 SOI MOSFET 兼容, 只是多了两步光刻和注入(NMOSFET 的漏区和 PMOSFET 的体接触; PMOSFET 的漏区和 NMOSFET 的体接触): (1) 光刻、刻蚀多晶硅栅; (2) n⁺注入, 形成 LDD; (3) 淀积、刻蚀氧化层, 形成侧墙; (4) n⁺注入, 形成浅结源漏; (5) 光刻漏区和 PMOS 体接触区; (6) n⁺注入, 形成正常漏区和 PMOS 体接触; (7) 光刻体接触区和 PMOS 漏区; (8)

赵洪辰 男, 1976 年出生, 博士研究生, 目前从事 SOI 抗辐照工艺及器件研究.

2003-05-29 收到, 2003-09-03 定稿

p^+ 注入, 形成体接触和 PMOS 正常漏区; (9) 淀积金属, 形成硅化物.

根据以上流程我们在 SIMOX 衬底硅片上制备了 $36\mu\text{m}/0.8\mu\text{m}$ 的部分耗尽 SOI NMOSFET, 并利用半导体参数测试仪 HP4145A 测量了器件的电学性能. 器件的栅氧化层厚度为 1.8nm , 埋氧化层厚度为 300nm , 最终硅膜厚度为 150nm , 采用 LOCOS 实现器件的横向隔离. 器件的掺杂情况如下: 沟道区注入 B^+ , 70keV , $2 \times 10^{13}\text{cm}^{-2}$, BF_2^+ , 100keV , $5 \times 10^{11}\text{cm}^{-2}$; LDD 注入 P^+ , 30keV , $2.5 \times 10^{13}\text{cm}^{-2}$; 源漏区 n^+ 注入 As^+ , 30keV , $2.5 \times 10^{15}\text{cm}^{-2}$; 漏区第二次 n^+ 注入 As^+ , 100keV , $4.5 \times 10^{15}\text{cm}^{-2}$.

3 器件辐照效应的模拟和讨论

本文模拟所用 SOI MOSFET 的栅长为 $0.8\mu\text{m}$, 栅氧化层厚度 1.8nm , 硅膜厚度 150nm , 埋氧化层厚度 300nm , 不对称结构的源区深度为 $50\sim 130\text{nm}$. 硅膜均匀掺杂 p 型杂质 $1 \times 10^{14}\text{cm}^{-3}$, 采用 $2 \times 10^{16}\text{cm}^{-3}$ 的阈值调整掺杂, 背沟道杂质浓度为 $7.5 \times 10^{17}\text{cm}^{-3}$, 源漏区注入 n 型杂质浓度 $4 \times 10^{15}\text{cm}^{-2}$, p 型体接触区的杂质浓度为 $2 \times 10^{20}\text{cm}^{-3}$.

在对器件电学特性的模拟中, 采用 CONSRH 分析 Shockley-Read-Hall 复合造成的杂质浓度对载流子寿命的影响; 采用 Auger 模型分析 Auger 复合; 采用 BGN 模型分析禁带变窄的影响; 采用 CCSMOB 模型分析载流子间的散射及杂质和温度对迁移率的影响; 采用 FLDMOB 模型分析横向电场对迁移率的影响.

在 SEU 和瞬态辐照模拟中, 辐照产生的载流子由以下公式计算:

$$Gn(l, r, t), Gp(l, r, t) = L(l)R(r)T(t)$$

其中 $L(l)$, $R(r)$ 和 $T(t)$ 分别为与射线入射长度、电离半径和时间相关的量, 具体表达形式见参考文献[6]. 本研究在对 SEU 的模拟中选取 $R.CHAR = 0.2$, $t_0 = 3 \times 10^{-12}$, $t_c = 1.5 \times 10^{-12}$, 射线均匀分布; 在瞬态辐照的模拟中, 选取 $R.CHAR = 0.2$, $a_1 = 8.21 \times 10^{24}$, 射线呈 Gaussian 分布. 其中 $R.CHAR$ 为电荷产生的半径, a_1 为产生的电荷与深度的关系常数, t_0 为脉冲的时间偏移量, t_c 为脉冲的特征时间.

3.1 不对称 SOI MOSFET 对 kink 效应的改善

图 2 表示了栅压为 3V 时, 传统 SOI MOSFET 和不对称 SOI MOSFET 的输出特性曲线. 可以看出, 它们都发生了 kink 效应, 但是当 $I_{DS} = 4\text{mA}$ 时, 对应的 V_{DS} 分别为 5.1 和 5.6V . 表 1 中同时给出了两种器件的亚阈值斜率和击穿电压. 可见, 由于浮体区的存在, 器件的亚阈值斜率都小于理论最小值 $60\text{mV}/\text{dec}$, 然而不对称结构的亚阈值斜率为 $44\text{mV}/\text{dec}$, 明显大于传统结构的 $33.4\text{mV}/\text{dec}$. 另外, 不对称结构的击穿电压也较传统结构有所提高.

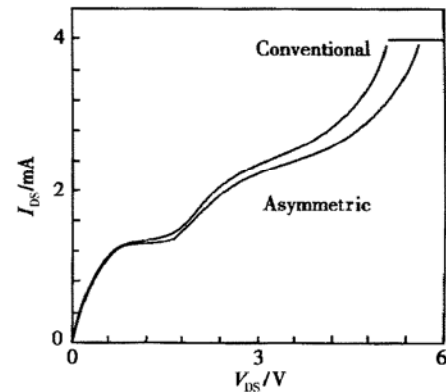


图 2 栅电压为 3V 时, 传统器件和不对称器件的输出特性曲线

Fig. 2 Drain characteristics of conventional and asymmetric MOSFET when $V_g = 3\text{V}$

表 1 传统器件和不对称器件的亚阈值斜率 ($V_{DS} = 3\text{V}$)、输出特性 ($V_g = 3\text{V}$) 和击穿电压 ($V_g = 0\text{V}$) 的比较

Table 1 Sub-threshold slope, output characteristics, and breakdown voltage of conventional and asymmetric MOSFET

| Type | V_{DS}/V ($I_{DS} = 4\text{mA}$, $V_g = 3\text{V}$) | Sub-threshold slope ($\text{mV} \cdot \text{dec}^{-1}$) | BV_{DS}/V ($V_g = 0$) |
|---------------------|--|--|-------------------------------------|
| Conventional MOSFET | 5.1 | 33.4 | 6.3 |
| Asymmetric MOSFET | 5.6 | 44 | 6.8 |

以上实验结果证明, 源区浅结不对称 SOI MOSFET 对浮体效应有一定的抑制作用. 其主要原因是源区的浅结有助于减小寄生 npn 双极晶体管的电流增益, 因为源区的 n^+ 注入采用较低能量和较低剂量的 As 注入 (As^+ , 30keV , $2.5 \times 10^{15}\text{cm}^{-2}$), n^+ 源区的横向延伸减小了, 这相当于增加了基区的宽度. 可以想象, 不对称结构器件对浮体效应的抑制作用必然有利于其抗单粒子事件和瞬时辐照能力的提高.

3.2 总剂量辐照效应的模拟

由于不对称 SOI MOSFET 的优势在背沟道的抗辐照性能上, 在栅氧化层和侧面场隔离方面的辐照特性与传统 SOI MOSFET 基本相同, 为简便和着重比较背沟道抗辐照性能的差异, 本文对总剂量效应的模拟忽略了栅氧化层和侧面场隔离中辐照电荷对器件特性的影响. 总剂量辐照效应的模拟是通过在硅膜与埋氧化层界面增加电荷实现的. 事实上, 埋氧化层中电离电荷的产生是不均匀的, 与材料的质量和电场有关. 本文分析所假设的情况实际上是最劣条件, 即辐照产生的电荷都被 Si/BOX 界面的陷阱捕获.

辐照剂量与氧化物中产生的电荷密度是相关的, 如 1krad(SiO₂) 的辐照能产生 8.1×10^{15} 电子-空穴对/cm³[7]. 如果所有的空穴都没有被复合, 而是被 Si/BOX 界面陷阱捕获; 所有的电子都成功流出氧化层(即本文所假设的条件), 那么辐照剂量就与界面电荷密度 Q_{bc} 相对应. 本文使用的 SOI MOSFET 的 BOX 厚度为 300nm, 因此 1krad(SiO₂) 辐照剂量的效果相当于 2.43×10^{11} cm⁻² 的界面电荷密度.

图 3 和图 4 分别表示了传统 SOI MOSFET 和不对称 SOI MOSFET 在不同辐照剂量下漏电流与栅电压的关系, 其中漏电压保持 0.1V, 栅电压由 0 增加到 2.0V. 可见, 传统 SOI MOSFET 在很小的辐照剂量下(41.2krad(SiO₂)) 已经开始有明显的背沟道漏电, 主要是因为背沟道发生反型, 在源漏区之间形成了导电通道. 当然, 在实际的辐照中, 并非所有的空穴都会被 Si/BOX 界面陷阱捕获, 有相当一部分被复

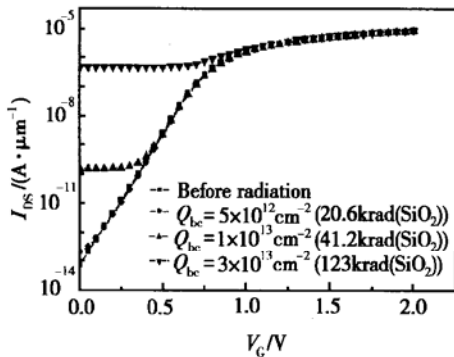


图 3 传统 SOI MOSFET 在不同背沟电荷下漏电流与栅电压的关系

Fig. 3 Response of conventional MOSFET to radiation-induced charge

合, 还有一些被距离界面较远的陷阱捕获^[8], 这些因素都说明该传统 SOI MOSFET 在更高剂量辐照下才会发生漏电. 而不对称 SOI MOSFET 在很高的辐照剂量下(4.12Mrad(SiO₂)) 漏电流仍然没有传统 SOI MOSFET 在 41.2krad(SiO₂) 的辐照剂量大, 说明不对称结构背沟道有更强的抗总剂量辐照能力. 同理, 在实际辐照条件下, 它能够经受的剂量会更高.

以上的模拟说明, 不对称 SOI MOSFET 能够很大程度地减弱电离辐照在埋氧化层产生的电荷对器件特性的影响, 与传统结构相比, 抗总剂量辐照能力有明显提高.

图 5 表示了 4.12Mrad(SiO₂) 的辐照剂量下, 具有不同源区深度 D_s 的不对称 SOI MOSFET 的转移特性曲线. 源区深度为 100nm 的器件已经发生了明显漏电, 而深度为 50nm 的器件的转移特性与辐照前没有改变. 由此可见, 源区深度对不对称结构器件的抗总剂量辐照性能有显著影响: 源区越浅, 背

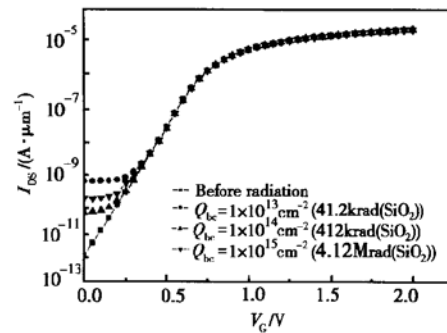


图 4 不对称 SOI MOSFET 在不同背沟电荷下漏电流与栅电压的关系

Fig. 4 Response of asymmetric MOSFET to radiation-induced charge

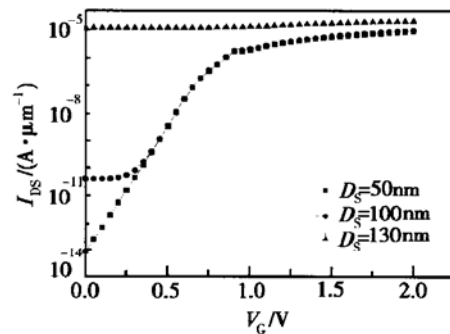


图 5 具有不同源区深度 D_s 的不对称 SOI MOSFET 的转移特性曲线

Fig. 5 I_{DS} V_G characteristics of asymmetric SOI MOSFET with different D_s

沟道越难形成导电通道,抗辐照性能越好.

3.3 SEU 的模拟

不对称 SOI MOSFET 能够减弱甚至消除背沟道漏电问题,但由于源区较浅,其耗尽区必然有所增大,可能会使抗 SEU 和瞬时辐照性能下降. 体接触一直被认为是能够有效提高器件抗 SEU 和瞬时辐照性能的方法之一. 本部分内容将分析体接触和源区深度对不对称结构 SEU 的影响.

模拟的不对称 SOI MOSFET 分为两种: 有体接触和无体接触, 栅电压保持 0V, 漏电压为 3V, 粒子由漏区注入, 对使漏电压降低到 1.5V 的粒子 LET 进行比较. 其中, LET 为线性能量转化 (linear energy transfer), 表示粒子入射到物质中时, 单位轨迹长度产生的电荷, 在 Si 中 $LET = 100 \text{MeV} \cdot \text{cm}^2/\text{mg}$ 的粒子将在 $1 \mu\text{m}$ 的轨迹上产生 1picoCoul 的电荷. 器件输出端电压变化一定程度 (上升或下降) 所需的粒子 LET 越大, 则该器件的抗 SEU 能力越强. 同样是简便起见, 没有考虑 BOX 中因辐照产生的电荷.

对于有体接触的不对称结构器件, 当 $LET = 33 \text{MeV} \cdot \text{cm}^2/\text{mg}$ 时, 漏电压降低到 1.5V, 如图 6(a) 所示; 无体接触的不对称结构器件, 当 $LET = 29 \text{MeV} \cdot \text{cm}^2/\text{mg}$ 时, 漏电压已经降低到 1.5V, 如图 6(b) 所示. 器件抗 SEU 能力的提高是由于体接触的存在减弱了浮体效应, 即减弱了电离电荷的收集.

图 7 表示了源区深度对有体接触不对称 SOI MOSFET 的 LET 的影响. 随着源区深度由 50nm 增加到 130nm, 漏电压减半的 LET 由 $33 \text{MeV} \cdot \text{cm}^2/\text{mg}$ 减小到 $28.2 \text{MeV} \cdot \text{cm}^2/\text{mg}$. 源区深度的增加会减小源区的耗尽层, 但由于 Si 本身的厚度就很小, 耗尽区的减小并不十分明显; 另外, 由于体接触, 源区收集电荷的能力很弱. 另一方面, 源区深度的增加会导致更大的横向扩散, 相当于减小了寄生 npn 双极晶体管的基区宽度, 即增大了它的电流增益, 增强了电荷收集能力. 因此, 决定体接触不对称器件 LET 的主要因素是寄生双极晶体管的基区宽度, 源区浅的 SOI MOSFET 会有更大的 LET.

3.4 瞬时辐照的模拟

本部分模拟了传统、无体接触和有体接触 SOI MOSFET 的瞬时辐照效应, 辐照脉冲呈 Gaussian 分布, 持续 20ns, 剂量率为 $2 \times 10^{11} \text{rad}(\text{Si})/\text{s}$. 辐照过程中栅电压为 0, 漏电压为 3V.

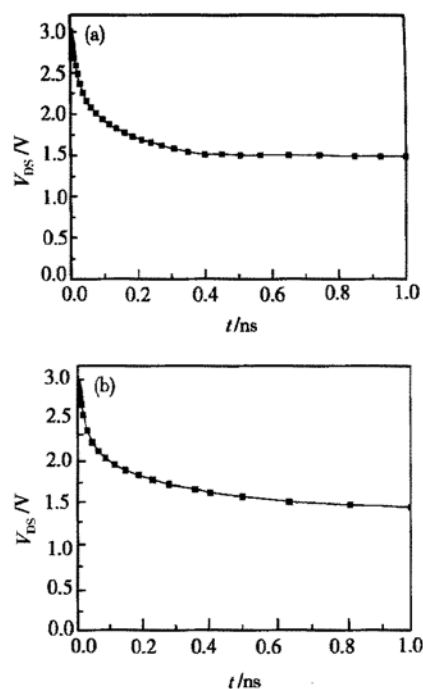


图 6 体接触对不对称结构器件的抗 SEU 能力的影响 (a) 有体接触; (b) 无体接触

Fig. 6 SEU hardness of asymmetric SOI MOSFET with (a) and without (b) body tie

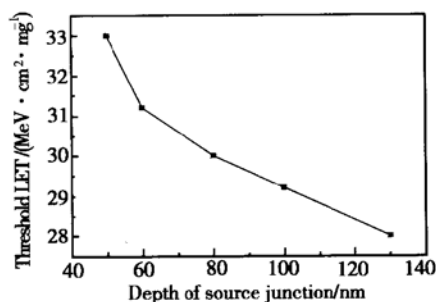


图 7 源区深度对有体接触不对称 SOI MOSFET 的 LET 的影响

Fig. 7 Dependence of LET on the drain depth of asymmetric SOI MOSFET with body tie

图 8 表示了三种器件的漏电流随时间变化的关系. 有体接触 SOI MOSFET 的光电流最小, 约为 $1.71 \times 10^{-7} \text{A}/\mu\text{m}$; 无体接触和传统 SOI MOSFET 的漏电流在达到 $1.7 \times 10^{-7} \text{A}/\mu\text{m}$ 后, 都有明显增大, 出现了 kink 效应, 其中传统结构器件的 kink 效应更严重. 其原因可能与上面对 SEU 的解释相同: 体接触不对称器件的体区电压受体接触的控制, 浮体效应最小, 在 $2 \times 10^{11} \text{rad}(\text{Si})/\text{s}$ 的辐照下也没有出现 kink 效应; 无体接触的器件次之, 体区电压不受控制, 但源区横向扩散较小, 寄生双极晶体管的电流增益较

小, kink 效应也较弱; 传统器件最差, 虽然源区耗尽层较小, 但源区在收集电荷上起的作用很小, 而寄生双极晶体管的电流增益较大, kink 效应严重.

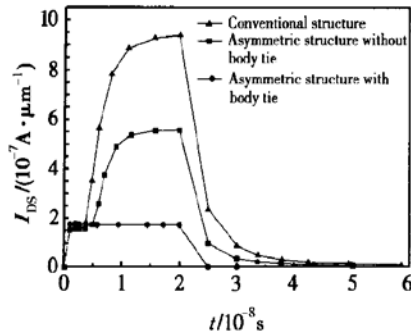


图 8 瞬时辐照时三种器件的漏电流随时间变化的关系

Fig. 8 Leakage current of the devices under dose rate radiation

4 结论

制备了源区浅结的不对称 SOI MOSFET, 并对它的浮体效应进行了研究. 源区浅结的横向延伸减小了, 相当于增加了基区的宽度, 有助于减小寄生 npn 双极晶体管的电流增益, 对浮体效应有一定的抑制作用. 模拟了不对称 SOI MOSFET 的总剂量、SEU 和瞬时辐照效应, 并研究了源区深度对器件抗辐照性能的影响. 结果显示, 由于不对称 SOI MOSFET 的源区没有贯穿整个硅膜, 在背沟道很难形成导电通道, 能够减弱甚至完全消除电离辐照导致的背沟道漏电问题, 与传统结构相比, 抗总剂量辐照能力提高两个数量级以上. 源区深度对不对称结构器件的抗总剂量辐照性能有显著影响: 源区越浅, 背沟道越难形成导电通道, 抗辐照性能越好. 体接触的存在减弱了浮

体效应, 即减弱了电离电荷的收集, 有效改善了不对称 SOI MOSFET 的 SEU 性能, 使漏电压降低到减半的粒子 LET 由 $29\text{MeV} \cdot \text{cm}^2/\text{mg}$ 增大到 $33\text{MeV} \cdot \text{cm}^2/\text{mg}$. 对于有体接触的不对称结构器件, 源区深度的增大会使 LET 有所下降. 体接触不对称 SOI MOSFET 的瞬时辐照性能同样优于无体接触结构和传统结构, 其中传统结构最差, 其原因与 SEU 基本相同, 都是由于体接触使源区收集电荷的能力很小, 而浅源区的横向扩散较小, 降低了寄生 npn 双极晶体管的电流增益, 减弱了电荷收集能力.

参考文献

- [1] Davis G E, Hite L R, Blake T G W, et al. Transient radiation effects in SOI memories. *IEEE Trans Nucl Sci*, 1985, 32(6): 4432
- [2] Hite L R, Lu H, Houston T W, et al. An SEU resistant 256K SOI SRAM. *IEEE Trans Nucl Sci*, 1992, 39(6): 2121
- [3] Fleetwood D M, Tsao S S, Winokur P S. Total-dose hardness assurance issues for SOI MOSFET. *IEEE Trans Nucl Sci*, 1988, 35(6): 1361
- [4] Alles M L, Kerns S E, Massengill L W. Body tie placement in CMOS/SOI digital circuits for transient radiation environments. *IEEE Trans Nucl Sci*, 1991, 38(6): 1259
- [5] Liu S T, Jenkins W C, Hughes H L. Total dose radiation hard 0.35 μm SOI CMOS technology. *IEEE Trans Nucl Sci*, 1998, 45(6): 2442
- [6] TMA MEDICI User' s manual. Version 4. 0, 1997
- [7] Benedetto J M, Boesch H E. The relationship between ^{60}Co and 10-keV X-ray damage in MOS devices. *IEEE Trans Nucl Sci*, 1986, 33(6): 1318
- [8] Boesch H E, Taylor T L, Hite L R, et al. Time-dependent hole and electron trapping effects in SIMOX buried oxide. *IEEE Trans Nucl Sci*, 1990, 37(6): 1982

Radiation of SOI MOSFET with Shallow Source

Zhao Hongchen, Hai Chaohe, Han Zhengsheng and Qian He

(Microelectronics R&D Center, The Chinese Academy of Sciences, Beijing 100029, China)

Abstract: The floating body effect of an asymmetric SOI MOSFET is studied. The total dose, SEU, and dose rate radiation effect of asymmetric SOI MOSFET with shallow source are simulated. The total dose radiation tolerance of its back channel can increase two order of magnitude more than its conventional counterpart. The total dose hardness is improved with the decrease of source depth. The SEU and dose rate hardness of asymmetric structure with body tie is better than that without body tie and conventional structure because of the suppress of floating body effect and the decrease of parasitic npn bipolar transistor.

Key words: shallow source; asymmetric SOI MOSFET; radiation

PACC: 7340Q

Article ID: 0253-4177(2004)06-0735-06