

用于微波/射频集成电路的一种新型低损耗介质 ——多孔硅及氧化多孔硅厚膜*

龙永福^{1,2} 朱自强¹ 赖宗声¹ 忻佩胜¹ 石艳玲¹

(1 华东师范大学电子系, 上海 200062)

(2 常德师范学院物理系, 常德 415000)

摘要: 提出在单片微波集成电路(MMIC)中用多孔硅/氧化多孔硅厚膜作微波无源器件的低损耗介质膜. 研究了厚度为 $70\mu\text{m}$ 的多孔硅/氧化多孔硅厚膜在低阻硅衬底上的形成, 这层厚膜增加了衬底的电阻率, 减少了微波的有效介质损耗. 通过测量在低阻硅衬底上形成的氧化多孔硅厚膜上的共平面波导的微波特性, 证明了在低阻硅衬底上用厚膜氧化多孔硅可以提高共平面传输线(CPW)的微波特性.

关键词: 微波/射频; 多孔硅/氧化多孔硅; 介质膜; 损耗

PACC: 3220D; 5270G; 7740

中图分类号: TN304

文献标识码: A

文章编号: 0253-4177(2002)06-0609-05

1 引言

随着通讯、特别是无线移动通信市场的飞速发展, 急需将大量小型化、高集成度、低价格的微波/射频无源器件, 如微共平面波导、微电容器、微螺旋电感器、微相移器及微天线等微器件集成在与成熟的 CMOS 电路兼容的微波集成电路中. 由于直接在低阻 ($1\sim 30\Omega\cdot\text{cm}$) 的 Si 衬底上制作微波/射频无源器件导致极大的介质损耗, 且所制作的 Si(或 BJT 等)器件工作频率低, 所以, 尽管微波技术问世近半个世纪, 但微波领域仍未大量采用已广泛应用于 IC 且极为廉价的低阻 Si 衬底来制作单片微波集成电路(MMIC). 制作 MMIC 电路要解决的瓶颈技术是在低阻 Si 衬底上制备低损耗的微波/射频无源器件.

在过去近四十多年内, 工业、军事上使用的微波器件大多数采用价格昂贵的 GaAs、InP 等材料作衬底. 但这造成元件占用的面积大、集成度低且成本与

Si 作衬底相比高出数十倍, 不能与当今极为成熟的 CMOS 工艺兼容, 所以很难将其转为民用. 已经有很多文献研究了减少低阻 Si 衬底对微波/射频无源器件的损耗. Veljko *et al.*^[1] 在低阻 Si 衬底上通过体微机械技术制成了微波共平面波导, 其损耗在 30GHz 时为 6dB/cm, 如使用体微机械技术则要在所制备的微波器件的背面腐蚀成 V 形槽, 来隔离器件和低阻 Si 衬底之间的电磁耦合效应, 但增加了工艺的难度; Warns *et al.*^[2] 在 Si 衬底上加入多层薄膜绝缘介质, 可以降低标准传输线的损耗, 实现了与 GaAs 衬底相似的性能, 但其工艺较为复杂; Nam *et al.*^[3] 在低阻 Si 衬底上淀积 $50\mu\text{m}$ 厚的 SiO_2 绝缘层, 其微波隔离效果虽能达到较为理想的数值, 但由于 SiO_2 层和 Si 衬底层之间的热膨胀系数相差很大, 导致 SiO_2 层和 Si 层界面处存在着很大的热应力, 限制了器件工艺. 由于氧化多孔硅(oxidized porous silicon)的电阻率可达到 $10^6\Omega\cdot\text{cm}$ ^[4] 数量级, 用它来作微波/射频无源器件和低阻 Si 衬底的

* 国家自然科学基金(批准号: 69876012), 国家杰出青年基金(批准号: 69925409), 国家重点基础研究规划(973)(批准号: G1999033105)及上海市科技发展基金资助项目

龙永福 男, 1965 年出生, 博士研究生, 主要兴趣为微波/射频 MEMS 器件设计与数值模拟.

朱自强 男, 1960 年出生, 教授, 博士生导师, 主要从事 MEMS、半导体材料与器件的研究.

赖宗声 男, 1943 年出生, 教授, 博士生导师, 目前研究领域集中在微光电系统、微型传感器.

2001-09-29 收到, 2001-11-30 定稿

隔离层, 将极大地抑制衬底的损耗和电磁耦合效应; 同时多孔硅(PS)的制作工艺简单且成本低廉, 与现今的 VLSI 技术兼容. 因此, PS/氧化多孔硅(OPS)薄膜将是微波/射频无源器件非常有前途的材料. 本文对此种材料的制备和器件应用方面作了进一步研究.

2 多孔硅/氧化多孔硅的制备

2.1 有关多孔硅的理论

多孔硅不是一种新材料, 四十多年前, 当 Uhlir 对 Si 片在 HF 溶液中进行电化学抛光处理时就发现了 PS 的存在^[5]. PS 电阻率可达 $10^6 \Omega \cdot \text{cm}$ 数量级, 其折射率在 $1.1 \sim 3.1$ ^[6] 之间随多孔度的变化而变化. 近四十多年来, 有关 PS 及其特性的研究可以在大量文献中查到, 但大部分均停留在有关 PS 制作特别是 PS 发光特性的研究和用 PS 作牺牲层^[7]. PS 的特性如多孔度、厚度、孔径以及 PS 内部的微结构等受电化学腐蚀条件的影响很大, 如 Si 片的类型及电阻率、腐蚀液的浓度、电流密度、通电时间、溶液的温度、环境的湿度及形成的 PS 的后期干燥条件等. 有关 PS 特性的详细描述可参考具有代表性的综述文献[6].

PS 是在 HF(或 TMAH) 溶液中通过电化学腐蚀而形成的. 其具体的电化学原理图如图 1 所示. 对 P 型 Si 片, 阳极接硅片, 阴极接到耐腐蚀的金属铂片上, 将硅片和铂片两极完全浸没在电化学腐蚀液中. 当在两极加上电压时, Si 片表面发生电化学反应, Si 在阳极的溶解反应可以表示成:

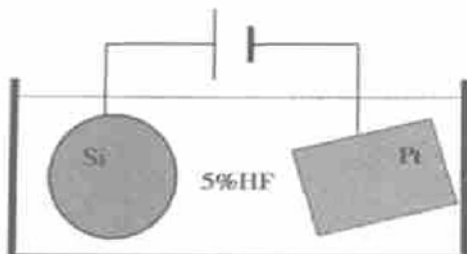
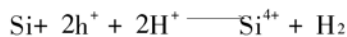


图 1 在 5% HF 电解液中由硅片和铂片作电极的电化学示意图

Fig. 1 Schematic diagram of a galvanic element by a silicon sample and a Pt electrode in 5% HF electrolyte

如上述所示的电化学反应, 每腐蚀一个 Si 原子要两个价电子参加反应, 同时将产生一个氢分子. 当所加电压小于阈值电压(大于阈值电压时硅表面将发生电抛光现象)时, 微结构的多孔层将在 Si 表面下形成. 在通常情况下, PS 微结构的孔径和孔距在 $1 \sim 5 \text{nm}$ 之间^[8].

2.2 多孔硅的制备

为了得到高阻 PS, 本实验使用的电化学腐蚀仪为 CHI600A 型电化学分析仪. PS 的制备是在一电化学腐蚀槽中完成, 其示意图如图 1 所示. 所使用硅片的类型为 P(100), 电阻率为 $0.01 \Omega \cdot \text{cm}$, 硅片作为电化学腐蚀的阳极, 薄铂片作为电化学腐蚀的阴极. 样片全部浸没在浓度为 5% 的 HF 溶液中(HF 和水的质量比 = 1:8), 在 Si 片上所加的电流密度为 5 和 $10 \text{mA}/\text{cm}^2$, HF 腐蚀液的温度为 27°C . 为了便于研究, 我们选择了两组实验, 其实验参数和对应的数据如表 1 所示.

表 1 实验参数及对应的数据

Table 1 Experimental parameters and results

编号	硅片电阻率 / $(\Omega \cdot \text{cm})$	电流密度 / $(\text{mA} \cdot \text{cm}^{-2})$	时间 /s	PS 多孔度 /%	PS 厚度 / μm
1	0.01	5	2100	61	10
2	0.01	10	7500	64	70

根据文献[6]并结合上述的实验条件, 所形成的两片 PS 厚膜的多孔度分别约为 61%、64%, 厚度分别为 $10 \mu\text{m}$ 、 $70 \mu\text{m}$.

在扫描电镜(SEM)下, PS 表面微结构图如图 2 所示.



图 2 多孔硅表面的扫描电镜图

Fig. 2 SEM image of surface of porous silicon

2.3 氧化多孔硅的实现

高温下 PS 在有氧条件下很容易转化为氧化多

孔硅^[9]. PS 在氧化成 OPS 前、后的示意图如图 3 所示.

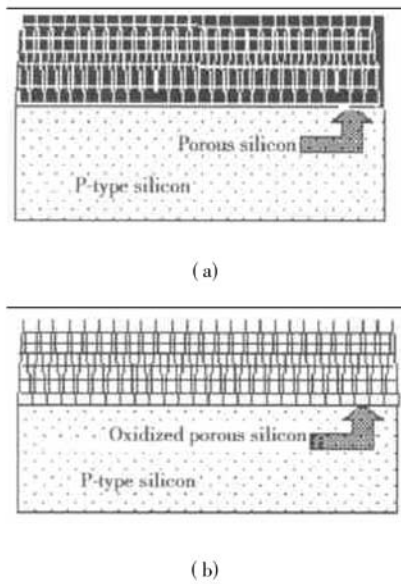


图 3 多孔硅/氧化多孔硅和 Si 衬底交界面的剖面微结构示意 (a) 硅衬底和 PS 界面; (b) 硅衬底和氧化多孔硅界面

Fig. 3 Cross-sectional schematic diagram of micro-structure of a thick PS layer and oxidized PS layer (a) Interface between Si substrate and PS; (b) Interface between Si substrate and oxidized PS

当 PS 形成之后, 为了防止厚膜 PS 在干燥的空气中裂开, 我们将厚膜 PS 完全浸泡在去离子水中. 在需要氧化时, 再将厚膜 PS 在 1080℃ 的条件下进行高温氧化 1h. 为了研究和比较的方便, PS 高温氧化时, 在其旁边放电阻率为 $1\Omega \cdot \text{cm}$ 的 P(100) Si 片一片, 使其表面高温氧化生成一层 $2\mu\text{m}$ 厚的 SiO_2 . 当 PS 厚膜完全转化为 OPS 厚膜, 所得到的 OPS 厚膜是半透明的(如图 3(b) 所示), 测得的 OPS 厚膜电阻率高达 $10^6\Omega \cdot \text{cm}$, 折射率为 1.1~1.6.

3 讨论

为了便于研究、分析和比较, 在制成的 OPS 厚膜和一片有 $2\mu\text{m}$ 厚 SiO_2 的 P(100) Si 片上用 CMOS 工艺制作微共平面传输线(CPW), CPW 的长度均为 2mm. 其制作工艺如下: 在 OPS 和 SiO_2 表面蒸发一层 $1\mu\text{m}$ 厚 Cr/Au 金属并光刻形成 CPW. 其中信号线和地线的宽度分别为 $20\mu\text{m}$ 和 $15\mu\text{m}$, 两

者之间的间距为 $50\mu\text{m}$, 所得到的 CPW 的特征阻抗为 120Ω . 从而得到不同介质膜上的共平面传输线. 其介质膜的参数如表 2 所示.

表 2 共平面传输线介质膜的参数

Table 2 Parameters of interlayer of CPW transmission-line

编号	衬底电阻率/ $(\Omega \cdot \text{cm})$	介质膜	介质膜厚度/ μm
1	0.01	OPS	10
2	0.01	OPS	70
3	1	SiO_2	2

CPW 的等效电路可以简单地描述成如图 4 所示的电路图.

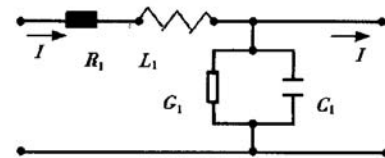


图 4 CPW 传输线的等效电路

Fig. 4 Equivalent circuit of CPW transmission line

CPW 的特征阻抗和传播常数可以用下列公式定义:

$$Z_0 = \sqrt{\frac{R_1 + j\omega L_1}{G_1 + j\omega C_1}} \quad (1)$$

$$Y = \sqrt{(R_1 + j\omega L_1)(G_1 + j\omega C_1)} = \alpha + j\beta \quad (2)$$

其中 R_1 、 L_1 、 G_1 和 C_1 分别是 CPW 的电阻、电感、漏电导和电容. 由公式(1)、(2)可知: Z_0 和 Y 均由实部和虚部组成且与信号的频率 ω 有关, α 和 β 分别表示 CPW 的衰减常数和相位常数. 在本文的研究中, 通过测量不同介质膜上 CPW 的参数 S_{21} 来确定低阻 Si 衬底对 CPW 的插入损耗. 测量使用了一台自动网络分析仪 (HP8722D) 和一台微波探针台, 工作频率从 1 到 40GHz. 图 5 为表 2 中所描述的三种不同介质膜对微共平面传输线的插入损耗 S_{21} .

从图 5 可知, 对电阻率为 $1\Omega \cdot \text{cm}$ 的 Si 衬底来说, 隔离层 SiO_2 介质膜的厚度为 $2\mu\text{m}$ 时, 当工作频率从 1GHz 到 40GHz 变化时, 共平面传输线的插入损耗几乎随频率的增加而线性增加. 当工作频率达到 40GHz 时, 共平面传输线的插入损耗为 28dB. 但对电阻率为 $0.01\Omega \cdot \text{cm}$ 的 Si 衬底来说, 当 OPS 介

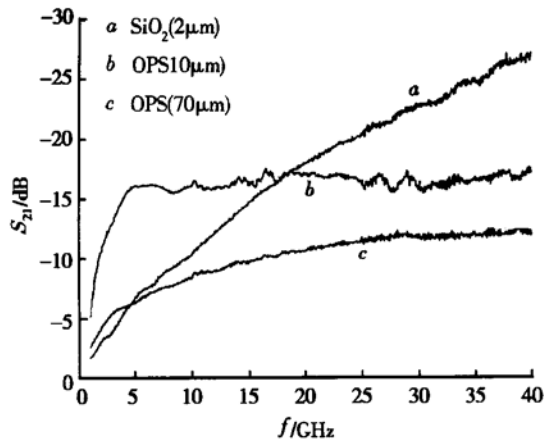


图5 不同介质膜上2mm长的传输线的插入损耗(S_{21})的测量值

Fig. 5 Measured insertion loss of 2mm-long transmission line on different interlayers

质膜隔离层的厚度为 $10\mu\text{m}$ 时,工作频率从 1GHz 增加到 4.8GHz 时,共平面传输线的插入损耗几乎随频率的增加而线性增加;当工作频率大于 4.8GHz 时其插入损耗很快达到饱和值 17dB ;对同样条件的 $70\mu\text{m}$ 厚的 OPS 介质膜隔离层来说,当工作频率大于 28GHz 时,衬底及 OPS 介质膜对共平面传输线的插入损耗仅为 12dB 。由本文的研究可以得出如下结论:在工作频率小于 4.8GHz 时,在 $10\mu\text{m}$ 厚的 OPS 介质膜上形成的共平面传输线的损耗主要由 OPS 隔离层的损耗决定;频率大于 4.8GHz 时,插入损耗基本上由低阻的 Si 衬底的寄生效应和介质损耗所引起。对 $70\mu\text{m}$ 厚的 OPS 介质膜上形成的共平面传输线来说,在 $1\sim 28\text{GHz}$ 的工作频率里,其插入损耗随工作频率的增加而增加,当工作频率达到 28GHz 时,其插入损耗基本达到饱和值 12dB ,且主要由 OPS 隔离层的损耗决定。因此,对 P 型 Si 衬底来说,增加 Si 衬底的电阻率,增加 OPS 介质膜隔离层的厚度(大于 $70\mu\text{m}$)将强烈抑制衬底对微波的寄生效应和介质损耗,从而减少衬底对微波器件的插入损耗。

4 结论

本文讨论了 PS/OPS 的实现,对 PS/OPS 介质膜上的共平面传输线的损耗进行了详细的研究和分

析。在工作频率为 40GHz 时,得到了 $70\mu\text{m}$ 厚的 OPS 介质膜上 2mm 长的共平面传输线插入损耗仅为 12dB 。本文的研究同文献[1]采用微机械技术报道的结果(插入损耗从 16dB/cm 减少到 6dB/cm)相比较还有一些差距,可能的原因有二:其一本实验的 PS/OPS 介质膜的厚度太薄(仅 $70\mu\text{m}$),对微波的隔离效果还不够理想;其二是 PS 在后期干燥及 OPS 的形成过程中,残存液体如 H_2O 、 HF 及电化学反应的反应物等可能没有从多孔硅内部微结构中完全排出来,从而影响 PS/OPS 隔离层对微波的隔离性能;所有这些我们将在今后进一步研究。但本文研究表明,PS/OPS 是一种廉价、低损耗、与 CMOS 工艺完全兼容的新型衬底隔离材料。为把 PS/OPS 作为一种新型的衬底隔离层应用到微波/射频无源器件中打下良好的基础。

参考文献

- [1] Veljko M, Michael G, Edwin D B, et al. Micromachined microwave transmission lines in CMOS technology. *IEEE Trans Microw Theory Tech*, 1997, 45: 630
- [2] Warns C, et al. *IEEE Trans Microw Theory Tech*, 1998, 46: 616
- [3] Nam C M, Kwon Y-S. High-performance planar inductor on thick oxidized porous silicon (OPS) substrate. *IEEE Microwave Guided Waved Lett*, 1997, 17: 236
- [4] Canham L T, Houlton M R, Leong W Y, et al. Atmospheric impregnation of porous silicon at room temperature. *J Appl Phys*, 1991, 70: 422
- [5] Uhlir A. *Bell Syst Tech J*, 1956, 35: 333
- [6] Bisi O, Ossicini S, Pavesi L. Porous silicon: a quantum sponge structure for silicon based optoelectronics. *Surface Science Reports*, 2000, 38: 1
- [7] Lai Z S, Wan X, Zhou P, et al. The application of porous Si micromachining technology in the calorimetric sensor. *Micromachining and Microfabrication Process Technology II*, SPIE, 2000, 2879: 338
- [8] Ashruf C M A, French P J, Sarro P M, et al. Galvanic etching for sensor fabrication. *Micromech Microeng*, 2000, 10: 505
- [9] Ou Haiyan, Yang Qinqing, Lei Hongbing, et al. Growth and microanalysis of thick oxidized porous silicon. *Chinese Journal of Semiconductors*, 2000, 21: 260 (in China)[欧海燕,杨沁清,雷红兵,等.用氧化多孔硅方法制备厚的 SiO_2 膜及其微观分析. *半导体学报*, 2000, 21: 260]

A Low-Loss Interlayer——Thick Layers of Porous Silicon and Oxidized Porous Silicon for Application to the Microwave/RF-IC*

Long Yongfu^{1,2}, Zhu Ziqiang¹, Lai Zongsheng¹, Xin Peisheng¹ and Shi Yanling¹

(1 *Department of Electronic Engineering, East China Normal University, Shanghai 200062, China*)

(2 *Department of Physics, Changde Normal University, Changde 415000, China*)

Abstract: The use of a thick layer of porous silicon (PS)/oxidized porous silicon(OPS) is proposed as a low-loss interlayer for passive elements in the monolithic microwave integrated circuit. The formation of the PS/OPS thick layers about $70\mu\text{m}$ on low-resistivity Si is studied, which is expected to increase the substrate resistivity and reduce its effective dielectric loss under the microwave operation. A significant improved microwave performance on low- R Si substrates is demonstrated by measuring the microwave characteristics of coplanar waveguides fabricated on the Si substrates with thick OPS.

Key words: microwave/RF; porous silicon/oxidized porous silicon; interlayer; loss

PACC: 3220D; 5270G; 7740

Article ID: 0253-4177(2002)06-0609-05

* Project supported by National Natural Science Foundation of China (No. 69876012), National Foundation for Distinguished Young Scholars (No. 69925409), Major State Basic R/D Program (No. G1999033105), and Science and Technology Development Foundation of Shanghai (2001)

Long Yongfu male, was born in 1965, PhD candidate. His research interests focus on the numerical simulation and design of MEMS devices in microwave/RF fields.

Zhu Ziqiang male, was born in 1960. He is a professor and tutor of PhD candidates. Currently, his research activities are MEMS, semiconductor materials and devices.

Lai Zongsheng male, was born in 1943. He is a professor and tutor of PhD candidates. Currently, his research activities include MOEMS, micro-sensors.

Received 29 September 2001, revised manuscript received 30 November 2001

©2002 The Chinese Institute of Electronics