

# 一种敏感的 MOSFET ESD 潜在损伤检测方法\*

马仲发 庄奕琪 杜 磊 花永鲜 吴 勇

(西安电子科技大学微电子研究所, 西安 710071)

**摘要:** MOSFET ESD 潜在损伤的有效检测一直是一个难以解决的问题。实验对比发现, MOSFET 沟道电流的  $1/f$  噪声比传统的电参数更能敏感地反映栅氧化层中 ESD 潜在损伤的情况。在相同的静电应力条件下,  $1/f$  噪声的变化要比常规电参数敏感的多, 其功率谱幅度的相对变化量比跨导的最大相对退化量大 6 倍以上, 因此可以作为 MOSFET ESD 潜在损伤的一种敏感的检测方法。在给出实验结果的同时, 对这一敏感性的机理进行了较深入的分析。

**关键词:** MOSFET; ESD; 潜在损伤;  $1/f$  噪声; 检测方法

**EEACC:** 2560R

**中图分类号:** TN 34; TN 386. 1

**文献标识码:** A

**文章编号:** 0253-4177(2002)11-1211-06

## 1 引言

随着 VLSI 技术的发展, MOSFET 尺寸越来越小, 抗静电损伤(ESD) 的性能也越来越弱, 但在微电子器件制造和使用环境中, 器件遭受 ESD 的机会却越来越多, 从而使 ESD 损伤成为 VLSI 系统的主要可靠性问题之一<sup>[1]</sup>。

MOSFET 的 ESD 损伤通常分为两种: 时退化失效和潜在损伤。前者可通过常规电参数测量检测出来, 而后者由于所导致的器件电参数变化不大, 故很难通过常规电参数测量检测出来。研究表明大部分情况下 ESD 损伤表现为潜在损伤<sup>[2]</sup>。当器件存在潜在损伤时, 尽管电特性没有明显变化, 但其经时击穿(TDDB)性能、热载流子性能、抗辐射性能及长期工作可靠性和寿命都会受到严重影响<sup>[1]</sup>。存在潜在损伤的器件极易被装入整机, 成为系统可靠性的严重隐患, 极有可能在使用现场提前失效, 造成巨大损失。所以迫切需要找到一种敏感的 ESD 潜在损伤检测方法。

现有的 ESD 潜在损伤检测方法有多种<sup>[3]</sup>, 一般可分为物理方法和常规电学方法。物理方法不但需要昂贵的仪器, 而且具有破坏性, 不能用于筛选和在线检验; 常规电学方法虽然较为简便, 但敏感度不高。

ESD 的潜在损伤从微观动力学机构上看, 通常来自 ESD 作用下 MOSFET 栅氧化层中产生的缺陷<sup>[4]</sup>。这些缺陷在  $\text{SiO}_2$  禁带中形成一些局域能级, 这些局域能级作为电子陷阱或空穴陷阱, 对沟道电子或空穴进行俘获或发射。研究发现, ESD 潜在损伤优先发生在近邻沟道的 Si-SiO<sub>2</sub> 界面。随着 ESD 应力次数的增加, 潜在损伤存在着累积效应<sup>[2]</sup>, 即氧化层中的陷阱浓度随着 ESD 应力次数的增加而不断增大。MOSFET 的沟道电流噪声对近邻沟道陷阱的浓度变化很敏感。因此可以利用沟道电流  $1/f$  噪声对近邻沟道陷阱浓度的敏感性, 来监测 ESD 潜在损伤程度的发展。本文对 MOSFET 的 ESD 应力进行了试验, 并在实验过程中对常规电参数和  $1/f$  噪声进行监测。结果发现 ESD 潜在损伤程度的发展与  $1/f$  噪声的变化存在着极其密切的关系。

\* 国家自然科学基金资助项目(批准号: 69671003)

马仲发 男, 1974 年出生, 博士研究生, 研究领域: 微电子可靠性。

庄奕琪 男, 1956 年出生, 教授, 博士生导师, 研究领域: VLSI 技术、微电子可靠性、电子器件噪声。

杜 磊 男, 1954 年出生, 副教授, 硕士生导师, 研究领域: 微电子可靠性、电子材料技术。

2001-12-01 收到, 2002-05-10 定稿

©2002 中国电子学会

## 2 实验与结果

### 2.1 实验方法

实验样品为 CMOS 工艺制作的 n 沟道 MOSFET, 栅氧厚度为  $20 \pm 1.5\text{ nm}$ , 宽长比为  $50\mu\text{m}/1.0\mu\text{m}$ . 采用人体静电模拟器, 在 MOSFET 栅-源间施加 ESD 应力<sup>[2]</sup>, 放电时间为  $150 \pm 20\text{ ns}$ . 为了研究潜在损伤的发展, 所以选择低压 ESD 应力, 峰值幅度为  $30\text{ V}$ , 应力次数为  $1 \sim 12$  次, 相临两次放电时间间隔不短于  $5\text{ s}$ , 以消除累积的热效应的影响<sup>[1]</sup>. 在 ESD 应力期间, 用 HP4156B 半导体参数分析仪监测器件的主要电参数——阈值电压  $V_{th}$  和最大跨导  $G_{m(\max)}$  的变化.  $G_{m(\max)}$  是指在固定漏压下测得的跨导-栅压曲线中的跨导极大值. 通过 A/D 卡采集相同条件下的噪声时间序列, 再通过 FFT 分析得到噪声功率谱, 提取相应的  $1/f$  噪声参数. 所采用的噪声测试系统的偏置电路如图 1 所示.

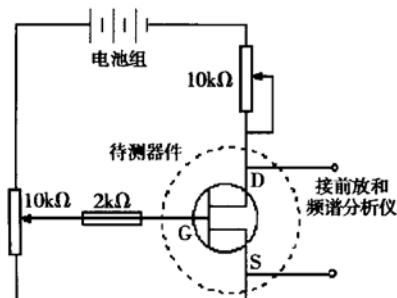


图 1 噪声测试系统偏置电路图

Fig. 1 Bias circuit of noise testing system

### 2.2 实验结果

对被测试的 MOSFET 器件进行低压 ESD 应力试验, 发现经受 ESD 应力后, MOSFET 的电参数和  $1/f$  噪声参数均有不同程度的变化. 阈值电压  $V_{th}$  随 ESD 应力次数的变化关系如图 2 所示. 在经受第 9 次 ESD 应力之前  $V_{th}$  的变化非常小, 直到第 9 次应力之后,  $V_{th}$  才发生严重退化. 与  $V_{th}$  测试结果相类似, 最大跨导  $G_{m(\max)}$  随 ESD 次数的增加始终在下降, 在第 9 次 ESD 应力之前下降幅度很小, 直到第 9 次应力之后  $G_{m(\max)}$  才急剧下降, 结果如图 3 所示. 与  $V_{th}$  和  $G_{m(\max)}$  变化不同的是, 在整个 ESD 应力期间,

$1/f$  噪声幅度随 ESD 应力次数的增加始终以较大的斜率增加, 其相对变化率要比阈值电压和跨导快得多, 结果如图 4 所示.

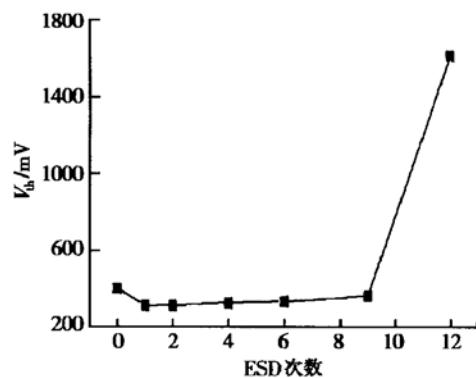


图 2 MOSFET 阈值电压在 ESD 试验期间的变化

Fig. 2 Changes of threshold voltage during ESD stress

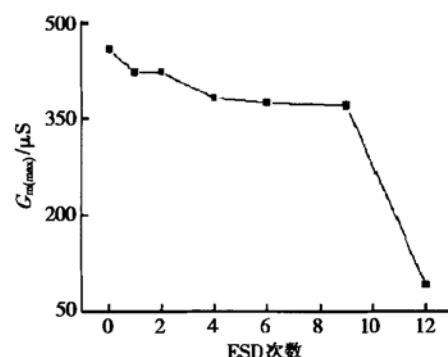


图 3 MOSFET 最大跨导在 ESD 试验期间的变化

Fig. 3 Changes of maximum trans-conductance during ESD stress

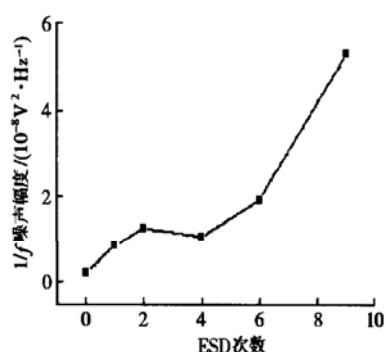


图 4 MOSFET  $1/f$  噪声幅度在 ESD 试验期间的变化

Fig. 4 Changes of  $1/f$  noise amplitude during ESD stress

为了比较施加 ESD 应力后 MOSFET 的跨导变化率和  $1/f$  噪声功率谱幅度变化率的相对大小, 图 5 将两种参数画在同一个双对数坐标系内, 描述  $1/f$  噪声功率谱密度  $S_{vg}$  和最大跨导  $G_{m(\max)}$  的倒数之间的关系, 发现  $\ln S_{vg}$  与  $\ln G_{m(\max)}$  之间有近似线性的关系, 可近似用下列经验公式表达

$$S_{vg} = A \left( \frac{1}{G_{m(\max)}} \right)^B \quad (1)$$

式中  $A$  和  $B$  为常数其值可以通过曲线拟合得到, 分别为  $1.31 \times 10^{-27}$  和  $6.55$ . 对式(1)微分后可得到  $1/f$  噪声谱密度和跨导的变化率之间的关系, 如下式所示

$$\frac{\delta(S_{vg})}{S_{vg}} = -B \frac{\delta(G_{m(\max)})}{G_{m(\max)}} \quad (2)$$

该式清楚地表明, 在 ESD 应力下,  $1/f$  噪声的相对变化率是跨导的相对变化率的  $B$  倍. 在本文的试验结果中  $B = 6.55$ . 这就是说,  $1/f$  噪声对于 ESD 潜在损伤的敏感程度比跨导敏感 6 倍以上. 这一结果表明,  $1/f$  噪声用于检测 MOSFET 的 ESD 潜在损伤时, 远比常规电参数敏感得多.

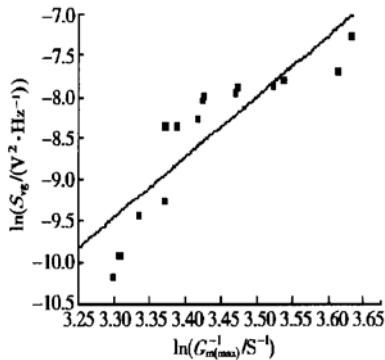


图 5 ESD 应力下  $1/f$  噪声谱密度变化与最大跨导变化之间的关系

Fig. 5 Relationship between the changes of  $1/f$  amplitude and those of trans-conductance during ESD stress

### 3 机理分析

#### 3.1 损伤产生的机理

为了研究潜在损伤, 实验中所加的 ESD 应力峰值幅度为  $30V$ , 属于低压 ESD. 从分子物理化学的角度分析, 这时  $\text{SiO}_2$  产生的潜在损伤(缺陷)实际上是其中的 Si—O 键、Si—Si 键、Si—H 键等在电场和

晶格热运动的作用下被弱化或者发生断裂, 形成不可逆的原子位移<sup>[5]</sup>. 这些缺陷在  $\text{SiO}_2$  禁带中形成一系列局域能级<sup>[6]</sup>, 如图 6 所示. 这些局域能级与  $\text{SiO}_2$  氧化层中的缺陷相对应, 它们的产生速率可以用标准的一级反应速率方程描述.

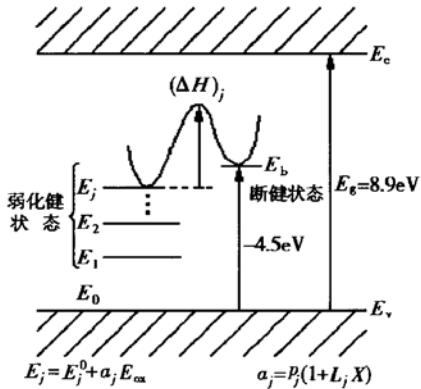


图 6 存在潜在损伤的  $\text{SiO}_2$  的能带图  
Fig. 6 Band diagram of defective  $\text{SiO}_2$

$$\frac{dn_j(x, y, z, t)}{dt} = -k_j n_j(x, y, z, t) \quad (3)$$

其中  $n_j(t)$  为第  $j$  种弱化键或断裂键的密度, 它是位置和时间的函数, 即  $n_j(t) = n_j(x, y, z, t)$ ;  $k_j$  为断键过程的反应速率常数;  $k_j$  的表达式如下

$$k_j = v_j^0 \exp \left[ -\frac{(\Delta H_0)_j - aE_{ox}}{k_B T} \right] \quad (4)$$

这里  $v_j^0$  为该弱化键与晶格相互作用的频率;  $(\Delta H_0)_j$  为第  $j$  种弱化键断键所需要的激活能;  $aE_{ox}$  为外加电场存在时因键极化所导致的断键过程激活能的减小量.

由于从 Si 氧化成  $\text{SiO}_2$  时存在有 128% 的体积膨胀, 所以在 Si/ $\text{SiO}_2$  界面处存在严重的物理应力<sup>[5]</sup>. 实验表明<sup>[5]</sup>热生长 Si/ $\text{SiO}_2$  界面处的应力非常大 ( $\cong 500 \text{ MPa/cm}$ ). 距离 Si/ $\text{SiO}_2$  界面越接近的  $\text{SiO}_2$  膜中存在的应力越大, 越远离 Si/ $\text{SiO}_2$  界面的  $\text{SiO}_2$  膜中存在的物理应力越小. 这样位于 Si/ $\text{SiO}_2$  界面附近的 Si—O—Si 键和 Si—H 键等会受到很大的物理应力, 致使界面处键的偏离应力自由态, 键能受到严重削弱. 这时, 断键速率表达式可以写成

$$\frac{dn_j(x, y, z, t)}{dt} = -v_0 \exp \left[ -\frac{(\Delta H_0)_j - aE_{ox} - \Delta E_p}{k_B T} \right] \times n_j(x, y, z, t) \quad (5)$$

其中  $\Delta E_p$  为 Si/ $\text{SiO}_2$  附近位置上储存在该键中的物理应力势能. 如果以 Si/ $\text{SiO}_2$  界面为  $z$  轴的起点,

以进入  $\text{SiO}_2$  方向为  $z$  轴的正方向, 则应力势能为

$$\Delta E_p = \Delta E_p^0 - \nabla E_p z \quad (6)$$

其中  $\Delta E_p^0$  为  $z=0$  处  $\text{SiO}_2$  中储存的物理应力势能;  $\nabla E_p$  为沿着  $z$  轴物理应力能量梯度, 我们认为它为常数<sup>[5]</sup>. 这时(5)式可以写成

$$\frac{dn_j(x, y, z, t)}{dt} = \{-v_0 \exp\left[-\frac{(\Delta H_0)_j - aE_{ox}}{k_B T}\right] \\ \times n_j(x, y, z, t)\} \exp(\Delta E_p^0 - \nabla E_p z) \quad (7)$$

则第  $j$  种陷阱的浓度随  $z$  的变化趋势为

$$n_j(x, y, z, t) \propto \exp(\Delta E_p^0 - \nabla E_p z) \quad (8)$$

而在  $\text{SiO}_2$  膜中距离  $\text{Si}/\text{SiO}_2$  界面越近的地方, 存储在键中的物理应力势能越大, 被物理应力弱化的键越多, 反之则越少. 由于存在两种效应的累积, 所以总陷阱浓度沿着  $z$  轴的变化速率应该比指数形式更快, 而变化主要存在于近邻  $\text{Si}/\text{SiO}_2$  界面  $3\text{nm}$  以内的范围中<sup>[5]</sup>. 根据以上的分析, 可以定性地预测出陷阱密度的空间分布, 如图 7 所示. 这一结果与 Van-heusden 等人实验得出的  $E'$  心随氧化层深度的变化曲线相类似<sup>[8]</sup>.

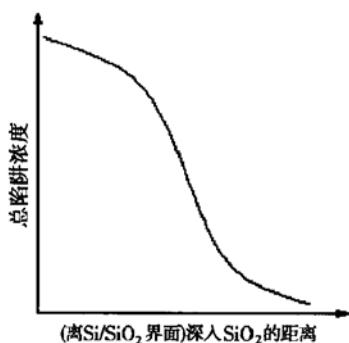


图 7 总陷阱浓度空间分布示意图

Fig. 7 Spatial distribution of total trap concentration

对(5)式进行积分, 可以得到缺陷浓度与 ESD 应力时间(即应力次数)的关系如下式所示:

$$n(t) \propto \exp(kt) \quad (9)$$

图 8 定性地给出了随着 ESD 应力次数增加, 氧化层中陷阱浓度的变化趋势.

### 3.2 损伤的发展引起相关参数的变化

如图 2 和图 3 所示, 在施加 ESD 应力期间, 经受第 1 次 ESD 应力到第 9 次应力过程中阈值电压  $V_{th}$  和最大跨导  $G_{m(max)}$  的变化非常小, 直到第 9 次应力之后,  $V_{th}$  和  $G_{m(max)}$  才发生严重退化. 这说明, 在第 9 次应力之前, MOSFET 中的 ESD 损伤是潜在的.

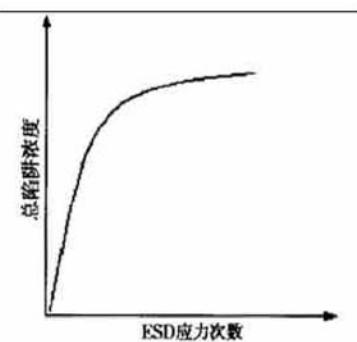


图 8 总陷阱浓度随 ESD 应力次数变化曲线

Fig. 8 Total trap concentration varies via ESD stress times

在第 9 次 ESD 应力之后, MOSFET 发生了即时退化失效. 发现在 1 到 12 次 ESD 应力期间,  $1/f$  噪声功率谱都以较大的斜率增大, 远比  $V_{th}$  和  $G_{m(max)}$  的变化显著.

阈值电压的变化是由氧化层中存在的宏观电荷效应所致. 阈值电压的降低是因为氧化层中存在宏观的空间正电荷; 反之, 阈值电压的升高是因为氧化层中存在宏观的空间负电荷. 在施加 ESD 应力期间, 氧化层中产生了不同种类、不同空间分布的陷阱. 其中有些充当电子陷阱, 有些充当空穴陷阱, 还有些既可以作电子陷阱又可以作空穴陷阱. 由于陷阱俘获载流子的几率不同, 俘获载流子前后荷电状态也不同, 有些带正电, 有些带负电, 还有些电中性. 所以, 宏观空间电荷效应只能是一种综合效应, 其中不但存在着正负电荷效应抵消的现象, 而且还无法对处于中性的陷阱进行表征. 这些电荷的空间分布会对空间电荷效应有很大的影响. 所以, 通过空间电荷效应来检测 MOSFET 的 ESD 潜在损伤, 很难敏感地反映潜在损伤的实际情况. 而且, 由于空间电荷所产生的电场与 MOSFET 所加的工作电场相比要小得多, 所引起的阈值电压的变化也很小, 很难精确测量. 所以, 在 1 到 9 次 ESD 应力期间, 阈值电压  $V_{th}$  有很小的变化, 但不是特别明显, 而且变化趋势也很难测定. 所以很难根据  $V_{th}$  来有效检测 MOSFET 中的 ESD 潜在损伤.

跨导的降低可以归因于界面处或者界面附近陷阱浓度的增大. 在 ESD 应力期间, 随着 ESD 次数的增加,  $\text{SiO}_2$  体内及  $\text{Si}/\text{SiO}_2$  界面的陷阱浓度都会增加, 如图 8 所示. 但作为电子陷阱、空穴陷阱以及既可以作电子陷阱又可以作空穴陷阱的缺陷, 对电荷的俘获和发射特性不同. 因此, 对某种特定的(电子

或者空穴)沟道载流子的散射和俘获、发射作用不同。这些界面陷阱可以对沟道载流子进行俘获与发射,导致沟道载流子数减少;或者通过散射效应导致沟道载流子的迁移率降低,引起跨导的降低,但由于缺陷的数量相对于沟道载流子数量是很小的,几乎可以忽略。所以在 1 到 9 次 ESD 应力期间,器件的最大跨导变化不是特别明显。这时,虽然在  $\text{SiO}_2$  中实实在在地存在着损伤,但由于检测不出来,所以说这时缺陷是“潜在”的。

$1/f$  噪声的起因与跨导相似,其起源是位于  $\text{Si}/\text{SiO}_2$  界面附近  $1 \sim 3\text{nm}$  范围内载流子陷阱(常称之为边界陷阱)通过散射和载流子的俘获与发射引起的迁移率涨落和载流子数涨落所致<sup>[9]</sup>。如图 8 所示,在施加 ESD 应力期间,在越邻近  $\text{Si}/\text{SiO}_2$  界面的地方,缺陷的浓度越大。邻近  $\text{Si}/\text{SiO}_2$  界面的区域成为了 ESD 损伤的敏感区域。该区域与  $1/f$  噪声的敏感区域相一致。边界陷阱对沟道载流子的俘获与发射引起了沟道载流子数的涨落,而陷阱荷电状态的改变又会造成沟道载流子迁移率的涨落。这两种因素都会导致沟道电流的涨落,从而产生了  $1/f$  噪声。在 ESD 应力期间,随着应力次数的增加,界面陷阱的浓度增加很快,如图 8 所示。而且界面陷阱浓度增加,必然会引起更多的电荷被俘获,所以引发的 MOS 沟道电流的低频噪声的变化也很大,如图 4 的实验结果所示。因此通过沟道  $1/f$  噪声的检测就可以敏感地检测出 MOSFET 中的 ESD 潜在损伤情况。

## 4 结论

(1) MOSFET 的 ESD 潜在损伤主要存在于氧化层中的一些非可逆原子位移。潜在损伤在  $\text{SiO}_2$  禁带中形成局域能级。这些局域能级作为电子陷阱或空穴陷阱,可以对电子或空穴进行俘获和发射。不同的陷阱在俘获电子前后,荷电状态不尽相同。

(2) 由于热生长氧化层在  $\text{Si}/\text{SiO}_2$  界面附近存在很大的应力,该区域的键被弱化。断键所需要的激活能比氧化层体内的要小,致使这个区域的断键速率远大于体内的断键速率。所以在 ESD 作用下,该区域断键的密度要远远大于体内的断键密度,而成为 ESD 损伤的敏感区域。

(3) 由于空间俘获电荷所引起的电场与 MOSFET 的工作电场相比很小,而且存在与位置有关的正负电荷效应相互抵消的情况,所以利用氧化层空

间电荷效应进行的 MOSFET 的 ESD 潜在损伤的检测手段( $C-V$  法、 $I-V$  特性、阈值电压  $V_{th}$  变化)的敏感性都不会很高。

(4) 跨导的降低可以归因于界面或者近界面陷阱浓度的增大。在 ESD 应力期间,随着 ESD 次数的增加,  $\text{SiO}_2$  体内及  $\text{Si}/\text{SiO}_2$  界面的陷阱浓度都会增加,但由于缺陷的数量相对于沟道载流子数来说是很小的,几乎可以忽略,所以其散射和俘获、发射效应可以忽略。因此通过跨导的变化来检测 MOSFET ESD 潜在损伤,效果不是很好。

(5) 由于 MOSFET 沟道电流  $1/f$  噪声对  $\text{Si}/\text{SiO}_2$  界面附近区域的陷阱密度高度敏感,敏感区域接近一致,而且 ESD 应力期间该区域的陷阱浓度增加很快,引起的  $1/f$  功率谱幅度增加也很显著。因此  $1/f$  噪声测量可以作为 MOSFET 的 ESD 潜在损伤的一种敏感检测方法,这一结果也得到了实验的验证。

## 参考文献

- [1] Zhuang Yiqi. Microelectronics devices reliability techniques on Applications. Beijing: Electronic Industry Press, 1996 (in Chinese) [庄奕琪. 微电子器件应用可靠性技术. 北京: 电子工业出版社, 1996]
- [2] Amerasekera E A, Campbell D S. An investigation of the nature and mechanisms of ESD damage in nMOS transistors. Solid-State Electron, 1998, 32(3): 199
- [3] Colvin J. The identification and analysis of latent ESD damages on CMOS input gates. Journal of Electrostatics, 1994, 33: 291
- [4] Kim S U. ESD induced gate oxide damage during wafer fabrication process. Journal of Electrostatics, 1993, 31: 323
- [5] McPherson J W, Mogul H C. Underlying physics of the thermo-chemical E model in describing low-field time-dependent dielectric breakdown in  $\text{SiO}_2$  thin films. J Appl Phys, 1998, 84(3): 1513
- [6] McPherson J W, Mogul H C. Disturbed bonding states in  $\text{SiO}_2$  thin-films and their impact on time-dependent dielectric breakdown. IEEE-IRPS Proceedings, 1998, 173: 47
- [7] Yang Tienchun, Saraswat K C. Effect of physical stress on the degradation of thin  $\text{SiO}_2$  films under Electrical stress. IEEE Trans Electron Devices, 2000, 47(4): 746
- [8] Vanheusden K, Stesmans A. Characterization and depth profiling of E' defects in buried  $\text{SiO}_2$ . J Appl Phys, 1993, 74(1): 275
- [9] Abowitz G. Surface states and  $1/f$  noise in MOS transistors. IEEE Trans Electron Devices, 1967, ED-14(11): 775

## A Sensitive Testing Technique to ESD Latent Damages in MOSFET<sup>\*</sup>

Ma Zhongfa, Zhuang Yiqi, Du Lei, Hua Yongxian and Wu Yong

(Microelectronic Institute, Xidian University, Xi'an 710071, China)

**Abstract:** Detecting of ESD latent damages in MOSFET is an ever existing difficult problem in VLSI technology. Based on experiments, it is found that  $1/f$  noise testing technique is more sensitive than other traditional electric parameters testing techniques (such as threshold voltage etc.). Under the same ESD stress conditions, the amplitude changes of  $1/f$  noise spectra induced are much more detectable than those of other electric parameters. For example, the relative changes of  $1/f$  noise spectra amplitudes are six times larger than those of threshold voltages. So, the  $1/f$  noise of channel current in MOSFET can be employed as a sensitive testing technique of ESD latent damages in MOSFET. Further more, the physics mechanism is thoroughly investigated.

**Key words:** MOSFET; ESD; latent damage;  $1/f$  noise; testing technique

**EEACC:** 2560R **Article ID:** 0253-4177(2002)11-1211-06

\* Project supported by National Natural Science Foundation of China (No. 69671003)

Ma Zhongfa male, was born in 1974, PhD candidate. He is engaged in the research on microelectronic reliability.

Zhuang Yiqi male, was born in 1956, professor, tutor of PhD candidates. He is engaged in the research on VLSI technology, microelectronic reliability, electronic devices noise.

Du Lei male, was born in 1954, associate professor. He is engaged in the research on microelectronic reliability, electronic material technology.

Received 1 December 2001, revised manuscript received 10 May 2002

© 2002 The Chinese Institute of Electronics