

带偏差约束的时钟线网的拓扑构造和优化*

刘 毅 洪先龙 蔡懿慈

(清华大学计算机科学与技术系, 北京 100084)

摘要: 提出了一种新的拓扑构造和优化方法, 综合考虑了几种拓扑构造方法的优点, 总体考虑偏差约束, 局部进行线长优化。实验结果表明, 它可以有效控制节点之间的偏差, 同时保证减小时钟布线树的整体线长。

关键词: 时钟布线; 拓扑构造; 时钟偏差

EEACC: 2570

中图分类号: TN47

文献标识码: A

文章编号: 0253-4177(2002)11-1228-05

1 引言

随着超大规模集成电路工艺的发展, 芯片设计得更为复杂, 可以以更高的速度工作。时钟偏差成为影响同步集成电路高速运行的一个重要约束条件。时钟信号的周期 C_p 要满足不等式的约束: $C_p \geq T_d + T_{skew} + T_{su} + T_{ds}$, 其中 T_d 是组合电路最长路径的延迟, 时钟偏差 T_{skew} 是从时钟源点到任意两个同步单元的最大延时差异, T_{su} 、 T_{ds} 分别是同步单元的数据建立时间和内部本征延时。在深亚微米工艺条件下, T_{su} 和 T_{ds} 都有明显减小, 由互连线延迟决定的 T_d 以及时钟偏差 T_{skew} 的大小和相位越来越影响着系统的稳定性和可靠性。因此, 如何在减小最长路径延迟的同时, 把时钟偏差控制在合理的范围内, 成为时钟系统设计的主要目标。

时钟布线通常采用树状布线方式, 树的根结点是时钟信号的引入端, 叶子节点是各个同步单元。布线过程可以分为拓扑构造和实际布线两个阶段。其中布线树的拓扑结构决定时钟节点的连接顺序, 而实际布线决定具体的走线位置。早期的时钟布线要求时钟信号同时到达各同步单元。在线性延迟模型下, 拓扑构造实际上是一种基于路径相等的方法。H 树算法^[1]可以有效减小时钟偏差, 但只适合于排列均匀的时钟节点, 而且要求负载非常平衡。Kuh^[2]提出的 MMM 方法递归地将节点集合平分为两个规

模相似的子集, 自顶向下划分得到拓扑结构。几何匹配方法^[3]则通过自底向上不断地合并节点, 直到所有的子树都合并成为根节点。上述几种方法只关心布线长度的均衡, 没有考虑到实际互连线和负载的影响。Tsay^[4]把 RC 网络时延模型应用到布线算法当中, 真正实现了布线延迟零偏差。它的拓扑构造方法类似于几何匹配方法, 寻找负载、物理位置较为合适的节点进行合并, 递归构造零偏差的布线树。

随着时钟布线的发展, 实际电路并不一定要求绝对的零偏差, 先后出现了有限偏差^[5]和有用偏差布线^[6, 7]。时钟线网布线中如何考虑节点之间的偏差约束, 构造适当的布线树拓扑结构成为高性能时钟系统设计中的新问题。本文在介绍几种拓扑构造方法的基础上, 提出了一种新的适合偏差约束控制的拓扑构造和优化方法。实验结果表明, 它可以很好地处理偏差约束, 效果也优于其它方法。

2 问题描述

在具体的时钟系统设计中, 从时钟源点到各个时钟节点的实际延迟值并不完全相同。如果把同步单元 FF_j 对应的时钟节点记作 S_j , 假设 t_i 和 t_j 分别代表时钟信号到达 S_i 和 S_j 的时间, 那么 S_i 和 S_j 之间的时钟偏差可以表示为 $skew_{i,j} = t_i - t_j$ 。

如图 1 所示, 同步单元 FF_{01} 和 FF_{02} 相邻, 如果

* 国家重点基础研究(编号: G1998030403) 及国家自然科学基金(批准号: 60167016) 资助项目

时钟信号 Clock 到达时钟节点 S_{01} 的时间比 S_{02} 早, 即 $t_{01} < t_{02}$, 就称之为负偏差; 反之如果时钟信号晚到 S_{01} , 即 $t_{01} > t_{02}$, 称之为正偏差。为了避免电路功能错误, 相邻同步单元的正负时钟偏差必须控制在一个合理范围之内:

$$\text{skew}_{1,2} = t_{01} - t_{02} \leq C_p - \max(D_{\text{logic}}) - D_{\text{ff}} - D_{\text{setup}} \quad (1)$$

$$- \text{skew}_{1,2} = t_{02} - t_{01} \leq \min(D_{\text{logic}}) + D_{\text{ff}} - D_{\text{hold}} \quad (2)$$

其中 D_{logic} 是组合电路延迟; D_{ff} 代表同步单元内延迟; $D_{\text{setup}}, D_{\text{hold}}$ 分别是数据建立时间和保持时间。

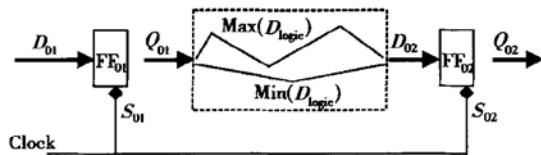


图 1 同步电路中节点之间的偏差

Fig. 1 A local data path in synchronous circuit

有偏差约束的时钟拓扑构造问题可描述为: 给定时钟源点 S_0 , 同步单元对应的时钟节点集合 $S =$

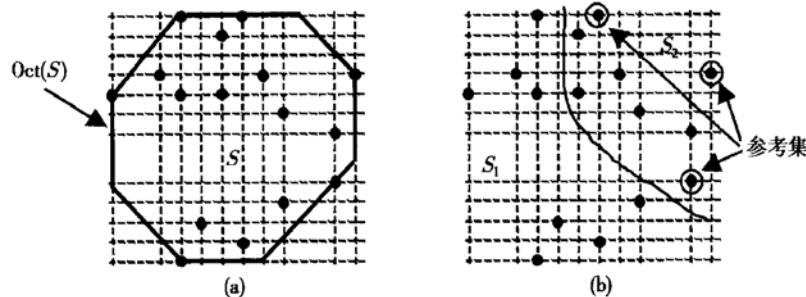


图 2 BB 划分方法

Fig. 2 Balanced bipartition method

3.2 自底向上合并

最近邻(NNG)方法^[7, 10]是一种自底向上的拓扑构造方法。算法首先建立一个最近邻关系图 $G(K, E)$, 如图 3 所示, 其中节点集合 K 对应各个时钟节点, 每个节点 v_i 有且只有一条出边 $e(v_i, v_j)$, 指向“距离” v_i 最近的节点 v_j , 即有 $|K| = |E|$ 。边 $e(v_i, v_j)$ 上赋有权重 $f(v_i, v_j)$, 权重的大小不仅取决于节点之间的物理距离, 还与负载、时延等情况有关。

$\{S_1, S_2, \dots, S_n\}$, 并给出节点之间的偏差约束 $C = \{t_i - t_j \in [\text{NSB}_j, \text{PSB}_j]\}$, 构造一树型的拓扑结构 T , 树的根结点是时钟源点 S_0 , 叶子节点是各个同步单元。利用节点间的偏差约束关系, 达到时钟布线长度最短, 从时钟源点到时钟节点延迟最小等目的。

3 时钟线网的拓扑构造方法

3.1 自顶向下划分

均匀划分(BB)方法^[6, 8, 9]是一种自顶向下的方法。与 MMM 方法^[2]不同, 它不只采用水平和垂直的划分线, 而是选定某参考集, 根据节点到参考集的距离进行划分, 因此增加了灵活性。

如图 2 所示, BB 方法首先确定一个可以覆盖点集 S 的八边形闭包 $\text{Oct}(S)$, 从闭包上选取一半节点作为参考集, 按照节点距离参考集的远近关系把 S 划分为子集 S_1 和 S_2 。定义点集 S 的半径为内部两个最远的节点之间的距离, $\text{Dia}(S) = \max\{\text{dist}(i, j) | i, j \in S\}$, 则此次划分的代价是 S_1 与 S_2 半径之和。由于参考集选取并不唯一, 可以从若干方案中选择代价最小的作为最终划分, 递归进行直至形成时钟布线树的整体拓扑结构。

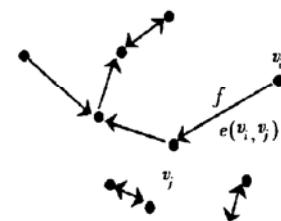


图 3 最近邻关系图

Fig. 3 Relation graph

关系图中如果两条边有公共节点, 则称这两条边“相关”; 如果一个边的集合内任何两条边彼此都不相关, 则称这个边集为“独立边集”。为了减小整体布线线长, 算法每次从独立边集中挑出 $|K|/k$ 条独立的边, 一般取常数 $2 \leq k \leq 4$ 。合并这些边相关的节点后, 再把新生成的父节点带入下一轮进行合并, 直至生成完整的时钟布线树。

3.3 综合方法

从上述的两种拓扑构造方法来看, 均匀划分方法从较高的层次入手, 可以总体把握所要连接的时钟节点情况。但是到达底层后, 节点数目明显减小, 八边形闭包方法使用起来会产生退化情况, 布线效果不一定最佳。最近邻方法从底层着眼, 优先合并距离最近的节点, 产生的时钟布线树线长会明显减小, 但是当节点数目较多时候, 问题的规模较大, 不易控制节点之间的偏差约束。

本文提出一种综合的拓扑构造方法, 它集中了前面两种方法的优点, 在初始阶段利用均匀划分方法对节点进行归类, 充分考虑节点之间的偏差约束条件。在局部构造布线树时采用最近邻方法, 寻求线长较短的布线方案。

在划分阶段, 需要注意利用节点之间的负偏差可以减小功耗^[6], 因此构造时钟树时也要尽量为产生负偏差服务。假设节点 v 是两子树合并后的根节点, 如果子树中含有若干方向相反的逻辑通路, 那么选择 v 的位置在使得一组节点间产生负偏差的同时, 会导致其它组节点间的正偏差。因此, 在划分时候须尽量把合理偏差范围小、偏差约束限制严格的节点归为同一子树优先合并, 两子树节点之间的逻辑通路也要尽量少, 且保持相同的逻辑方向。

综合方法的伪代码流程如图 4 所示。

```

Input: S: 时钟节点集合, 阈值 M
       NSB: 任意节点之间的负偏差约束
       PSB: 任意节点之间的正偏差约束
Output: 时钟布线树的拓扑结构 T
Procedure GenerateTopology (S, NSB, PSB)
  If (| S | > M) GenerateTopology - BB(S, NSB, PSB)
  Else           GenerateTopology - NNG(S, NSB, PSB)

Procedure GenerateTopology - BB(S, NSB, PSB)
  计算 Oct(S) 和参考集
  定义子集之间的偏差联系为
    SB1,2 = min(NSBi,j, PSBkl) + min(PSBi,j, NSBkl), ∀ Si, Sj
    ∈ S1, Sk, Sl ∈ S2
  取划分代价为 w1(Dia(S1) + Dia(S2)) + w2(SB1,2), w1 和 w2
  为常数
  挑选代价最小的划分方案 S = S1 ∪ S2
  Generate Topology (S1, NSB, PSB)
  Generate Topology (S2, NSB, PSB)

Procedure GenerateTopology - NNG (S, NSB, PSB)
  构造最近邻关系图 (K, E), 取常数 k= 2
  从关系图中挑选 | K | /k 条最短边, 合并对应的时钟节点, 并从
  S 中去除
  把生成的父节点加入集合 S 更新拓扑结构 T

```

图 4 综合拓扑构造算法
Fig. 4 High level description of algorithm

4 拓扑构造的优化

4.1 最近邻的选取

在最近邻方法中, 首先要构造出最近邻关系图 $G(K, E)$, 直接计算的复杂度是 $O(|K|^3)$ 。如果时钟节点比较多, 计算规模会很大。可以借用计算几何^[11]中 Voronoi 图与 Delaunay 分解的方法, 来加速最近邻关系图的创建过程。图 5 显示的是在不同的距离范数下的 Voronoi 图, 图中的顶点对应着各时钟节点, 它的对偶图构成了 Delaunay 三角分解。

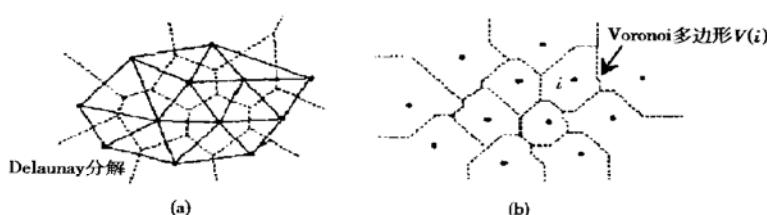


图 5 Voronoi 图 (a) L_2 距离; (b) L_1 距离
Fig. 5 Voronoi diagrams (a) L_2 metric; (b) L_1 metric

定理 1: 最近邻关系图 $G(K, E)$ 中的最近邻点问题在线性时间可转换成 Voronoi 图问题, 可以用 $O(|K| \log |K|)$ 时间解决, 且结果是最优的.

证明: 根据定义, 点 i 的每一个邻近点确定 Voronoi 多边形 $V(i)$ 的一条边. 为了找到 i 的一个最近邻近点, 仅必须去扫描 $V(i)$ 的每条边. 由于每条边仅属于两个相邻 Voronoi 多边形, 所以没有一条边将被检查两次以上. 因此给定 Voronoi 图, 用线性时间能找到最近邻近点.

4.2 拓扑结构的优化

有限偏差时钟布线^[5]的研究表明: 由于时钟节点之间存在合理偏差范围, 生产时钟布线树时两棵子树并不一定要求在根节点处合并, 这就给布线树的拓扑构造带来了更大的灵活性. 在得到最终的时钟布线树之后, 我们还可以对其拓扑结构进行优化. 通过变换底层节点的合并顺序, 枚举和比较若干种拓扑构造方案, 从中选出线长较短、时延较平衡的拓扑结构进行时钟布线.

图 6 所示的是一棵有 4 个节点的布线树. 如果节点之间的偏差约束并不十分严格, 可以通过移动布线树的根节点位置, 改变原来的拓扑结构. 图中所示的优化方案中, 节点 1 先与节点 2 合并, 再与节点 3 和节点 4 的子树合并, 最后得到新的时钟布线树.

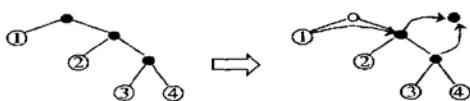


图 6 拓扑结构的优化

Fig. 6 Optimition of topology

5 实验结果

我们在 SUN Enterprise-450 工作站上实现了上述各种拓扑构造算法, 并对规模不同的几组例子进行了测试, 结果如表 1 所示.

表 1 测试实例数据

Table 1 Benchmark circuits

电 路	U1	U2	U3
时钟节点数	74	179	597
偏差约束数	77	174	317

为了便于评判不同拓扑构造方法的好坏, 我们用零偏差时钟布线作为实际布线进行检验. 布线过程中没有进行平衡作用的绕线和插入缓冲器的操作, 因而实际节点之间存在着时钟偏差. 具体测试数据如表 2 所示.

表 2 不同拓扑构造方法的零偏差布线结果

Table 2 Zero-skew routing results by different topology algorithms

电路	算法	总线长 / μm	最大时延 /ns	最大偏差 /ns	运行时间 /s
U1	BB	12419	5.83	0.012	0.10
	NNG	11034	5.40	0.113	0.04
	NNG+ 优化	11010	4.40	0.113	0.05
	综合方法	10894	4.81	0.055	0.12
U2	BB	20117	11.2	0.09	0.44
	NNG	17810	11.1	1.07	0.13
	NNG+ 优化	17682	11.0	1.04	0.17
	综合方法	18224	11.3	0.13	0.54
U3	BB	54298	38.8	0.39	3.68
	NNG	45036	51.1	8.60	1.00
	NNG+ 优化	44880	41.8	7.10	1.07
	综合方法	44629	39.3	0.64	5.08

从表 2 可以看出, BB 方法构造出的时钟布线树比较均匀, 因此时延和偏差特性较好, 但是总体线长也相应较长; NNG 方法则注重于减小线长, 但构造出的时钟布线树往往偏差较大; 适当的拓扑优化可以进一步减小线长和优化偏差; 综合方法集中了这几种拓扑构造方法的优点, 总体考虑偏差约束, 局部进行线长优化, 效果比较理想.

6 结论

本文回顾了时钟布线过程中的拓扑构造方法的发展, 分析了最近发表的几种拓扑构造方法的特点和适用范围, 提出了一种新的综合性拓扑构造和优化方法. 实验结果表明, 它可以有效控制节点之间的偏差约束, 同时保证减小布线树的整体线长.

今后可以把此拓扑算法结合相应实际布线步骤应用到实际的时钟布线中, 充分考虑时钟节点之间的偏差约束, 形成带偏差约束的时钟布线算法. 另外, 为了保持时钟信号的完整性, 还需要考虑缓冲器的插入.

参考文献

- [1] Bakoglu H, Walker J T, Meindl J D. A symmetric clock-dis-

- tribution tree and optimized high-speed interconnections for reduced clock skew in ULSI and VLSI circuits. IEEE International Conference on Computer Design: VLSI in Computers, ICCD '86, 1986: 118
- [2] Jackson M A B, Srinivasan A, Kuh E S. Clock routing for high-performance ICs. Proceedings of the 27th Design Automation Conference, 1990: 573
- [3] Cong J, Kahng A B, Robins G. Matching-based methods for high-performance clock routing. IEEE Trans CAD, 1993, 12 (8): 1157
- [4] Tsay R S. Exact zero skew. Proceedings of the 1991 International Conference on Computer-Aided Design, 1991: 336
- [5] Huang D J-H, Kahng A B, Tsao C-W A. On the bounded-skew clock and Steiner routing problems. Proceedings of 32nd Design Automation Conference, USA, 1995: 508
- [6] Xi J G, Dai W W-M. Useful-skew clock routing with gate sizing for low power design. Proceedings of 33rd Design Automation Conference, USA, 1996: 383
- [7] Tsao C W A, Koh C K. UST/DME: a clock tree router for general skew constraints. IEEE/ACM International Conference on Computer-Aided Design, 2000: 400
- [8] Chao T H, Hsu Y C, Ho J M, et al. Zero skew clock routing with minimum wirelength. IEEE Trans Circuits Sys II: Analog and Digital Signal Proc, 1992, 39(11): 799
- [9] Li Zhiyan, Yan Xiaolang. High speed multilevel staged clock routing. Chinese Journal of Semiconductors, 2000, 21(3): 290
[李芝燕 严晓浪. 高速多级时钟网布线. 半导体学报, 2000, 21 (3): 290]
- [10] Edahiro M. An efficient zero-skew routing algorithm. Proceedings of the 31st Design Automation Conference, 1994: 375
- [11] Preparata F P, Shamos M I. Computational geometry, an introduction. Springer-Verlag, 1990

Algorithm for Generating Topology of Skew-Constrained Clock Routing and Optimization^{*}

Liu Yi, Hong Xianlong and Cai Yici

(Department of Computer Science and Technology, Tsinghua University, Beijing 100084, China)

Abstract: A new clock tree topology generation algorithm is proposed for the clock routing. The optimization includes a constructive stage followed by local topology refinement. During the clock tree construction, the skew relationship between clock sinks is considered. Appropriate adjustment to the topology can reduce the delay and skew further. Voronoi diagram is used to accelerate computing. The experimental results show that the algorithm can produce a clock tree with both balanced topology and short wire length.

Key words: clock routing; topology; clock skew

EEACC: 2570

Article ID: 0253-4177(2002)11-1228-05

* Project supported by 973 National Key Project (No. G1998030403) and National Natural Science Foundation of China (No. 60167016)